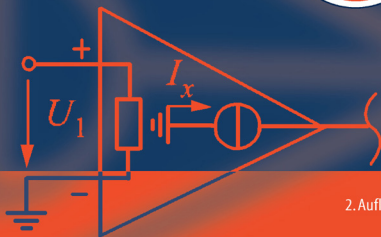


Siegl Schaltungstechnik

Analog und gemischt analog/digital

CD-ROM mit
virtuellem Labor
und ausführlichen
Aufgaben-
lösungen



2. Auflage



 Springer

Johann Siegl

Schaltungstechnik – Analog und gemischt analog/digital

Entwicklungsmethodik, Verstärkertechnik,
Funktionsprimitive von Schaltkreisen

2., bearbeitete und ergänzte Auflage

Mit 787 Abbildungen und 25 Tabellen

 Springer

Professor Dr. Johann Siegl
Hackenrichtstraße 21
90518 Altdorf
Deutschland
e-mail: johann.siegl@t-online.de

Bibliografische Information der Deutschen Bibliothek

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.ddb.de> abrufbar.

ISBN 3-540-24211-2 2. Auflage Springer Berlin Heidelberg New York
ISBN 3-540-44230-8 1. Aufl. Springer-Verlag Berlin Heidelberg New York

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder der Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der jeweils geltenden Fassung zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

Springer ist nicht Urheber der Daten und Programme. Weder Springer noch der Autor übernehmen die Haftung für die CD-ROM und das Buch, einschließlich ihrer Qualität, Handels- und Anwendungseignung. In keinem Fall übernehmen Springer oder der Autor Haftung für direkte, indirekte, zufällige oder Folgeschäden, die sich aus der Nutzung der CD-ROM oder des Buches ergeben.

Springer ist ein Unternehmen von Springer Science+Business Media

springer.de

© Springer-Verlag Berlin Heidelberg 2004, 2005
Printed in Germany

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Werk berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, daß solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften.

Satz: Reproduktionsfertige Vorlage vom Autor
Herstellung: LE-TeX Jelonek, Schmidt & Vöckler GbR, Leipzig
Einbandgestaltung: *design & production* GmbH, Heidelberg
Gedruckt auf säurefreiem Papier SPIN: 11348764 7/3141/YL - 5 4 3 2 1 0

Vorwort

Das Stoffgebiet der analogen und gemischt analog/digitalen Schaltungstechnik ist außerordentlich umfangreich. Die hier getroffene Stoffauswahl soll wichtige Grundlagen zum Verständnis analoger und gemischt analog/digitaler Schaltkreise vermitteln. Fundierte Kenntnisse der Schaltungstechnik auf Transistorebene bilden eine unverzichtbare Basis für die Entwicklung von Elektroniksystemen. Unlängst betitelte eine namhafte Fachzeitschrift einen Beitrag mit „Renaissance der Analog-Technik – Analog in einer digitalen Welt, Herausforderungen und Chancen“. Diese Schlagzeile steht beispielhaft dafür, dass trotz der fortschreitenden Digitalisierung das Thema „Analoge Schaltungstechnik“ für Elektroniksystementwickler hoch aktuell ist.

Der Inhalt zu den Grundlagen der analogen und gemischt analog/digitalen Schaltungstechnik gliedert sich in die Hauptsäulen: Entwicklungsmethodik, Verstärkertechnik, Funktionsprimitive und Funktionsschaltungen von aktiven Schaltkreisen. Funktionsprimitive sind die Bausteine von Schaltungen. Erkennt man und kennt man die Eigenschaften der Funktionsprimitive einer komplexeren Schaltung, so erschließt man sich sehr viel leichter deren Funktionsweise. Die funktionsorientierte Vorgehensweise wird auch vielfach mit „Functional Design“ gekennzeichnet. Die Einführung in die Entwicklungsmethodik beinhaltet auch eine Einführung in rechnergestützte Entwurfungsverfahren zur Designbeschreibung und zur Designverifikation. Mit Orcad-Lite/PSpice (CD-Rom) steht dem Anwender ein gängiges „Toolset“ für die Designbeschreibung und die Designverifikation zur Verfügung, mit dem alle wesentlichen Funktionen nach heutigem Stand der Technik dargestellt und verifiziert werden können. Neben der Einführung in die Beschreibung und Verifikation von analogen und gemischt analog/digitalen Schaltungen mit PSpice erfolgt eine Einführung in die Hardwarebeschreibungssprache VHDL-AMS. Beispiele von Modellbeschreibungen und Testbenchbeschreibungen wichtiger Funktionsprimitive und Funktionsschaltkreise erläutern die Anwendung von VHDL-AMS. Die VHDL-AMS Beispiele sind ebenfalls auf der CD-Rom abgelegt.

Nach einer Einführung in die Entwicklungsmethodik von Elektroniksystemen stehen im Vordergrund die Probleme der „inneren“ Schaltungstechnik von wichtigen Funktionsbausteinen für Elektroniksysteme und deren Zusammenschaltung zu komplexeren Funktionseinheiten. Naturgemäß ist die Verstärkertechnik mit die wichtigste Analogfunktion, geht es doch darum, schwache und verrauschte Signale geeignet aufzubereiten, um sie dann der „digitalen Welt“ wieder zuführen zu können. Gefördert werden soll das „Denken“ in einfachen Modellen und Makromodellen, um sich ein Schaltungsverhalten durch eigenes Abschätzen erschließen zu können.

Voraussetzung für erfolgreiches selbständiges Entwickeln ist das Abschätzen der statischen Eigenschaften und des dynamischen Verhaltens im Frequenz- und Zeitbereich, sowie der Schnittstelleneigenschaften von Schaltungen. Die Auswahl einer Schaltung zur Lösung einer praktischen Aufgabenstellung erfolgt immer auf Basis von geeigneten Funktionsprimitiven und Funktionsschaltkreisen, um bestimmte vorgegebene charakteristische Eigenschaften zu erfüllen. Können mit einer ausgewählten Schaltung vorgegebene Eigenschaften nicht realisiert werden, so muss auf alternative Schaltungskonzepte zurückgegriffen werden. An zahlreichen Praxisbeispielen wird die Zerlegung einer Schaltung in Funktionsprimitive und die Ermittlung der Eigenschaften einer Schaltung durch Abschätzanalyse auf der Basis vereinfachter Modelle geübt. Ein reichhaltiges Übungsprogramm zu allen Hauptkapiteln bietet die Möglichkeit der Vertiefung des Lehrstoffs. Ausführlich ausgearbeitete Lösungen zu den Übungen finden sich auf der CD-Rom. Sämtliche Beispiele sind als Experimente auf der begleitenden CD-Rom verfügbar und so aufbereitet, dass sie unmittelbar mit der Demo-Version des Schaltkreissimulators Orcad-Lite/PSpice verifiziert werden können. Damit kann der Anwender in über 250 vorbereiteten Experimenten eigene vertiefende Erfahrungen im Umgang mit einer genaueren Schaltungsanalyse zur Bestätigung der Abschätzungen für die Ermittlung von Schaltungseigenschaften sammeln.

Wegen des umfangreichen Stoffgebietes werden bewußt textuelle Erläuterungen so knapp wie möglich gehalten, zugunsten der Darstellung von Sachverhalten anhand von Ergebnissen an begleitenden Experimenten. Um das selbständige Experimentieren auf Basis der vorbereiteten Beispiele zu erleichtern, wird in die Handhabung und Funktionalität der Schaltkreissimulation mit Orcad-Lite/PSpice eingeführt. Die funktionsorientierte Beschreibung (auf der CD-Rom) soll das allgemeine Verständnis für rechnergestützte Entwurfsverfahren fördern.

Dank gilt dem Verlag für die zuteilgewordene Unterstützung und Kooperationsbereitschaft. Ein besonderer Dank richtet sich an meinen Kollegen, Herrn Prof. Dr. Hubert Karl, für die Korrekturlesung und für wertvolle Hinweise bzw. Anregungen, sowie an meine Kollegen Prof. Dr. Thomas Lauterbach und Prof. Dr. Edgar Zocher für die kritische Durchsicht von Kap. 2. Mein Sohn Christian unterstützte mich dankenswerterweise bei der elektronischen Aufbereitung des Manuskripts. Nicht zuletzt möchte ich aber auch meiner Familie danken, für die mit Geduld und Rücksicht ertragene „Abwesenheit“ während der Manuskripterstellung.

Altdorf, im Sommer 2003

Johann Siegl

In der 2. Auflage wurden einige Abschnitte ergänzt und abgerundet. Die ausgearbeiteten PSpice-Experimente stehen zusätzlich für die Version 10.0 zur Verfügung.

Altdorf, im Frühjahr 2005

Johann Siegl

Inhaltsverzeichnis

1. Einführung	1
1.1 Motivation für die analoge Schaltungstechnik	1
1.2 Wichtige Grundbegriffe	3
2. Entwicklungs- und Analysemethodik	9
2.1 Methodik zur Elektroniksystementwicklung	9
2.1.1 Prozessablauf bei der Elektroniksystementwicklung	9
2.1.2 Beispiele für Anwendungen der analogen Schaltungstechnik	15
2.1.3 Realisierungsmöglichkeiten von Schaltungen	20
2.1.4 Strukturierung der Schaltungstechnik	21
2.1.5 Prozessablauf bei der Schaltungsentwicklung	32
2.1.6 Prozessablauf bei der Schaltkreissimulation	36
2.2 Vorgehensweise bei der Schaltungsanalyse	42
2.2.1 Beschreibung und Analyse einer Testanordnung	42
2.2.2 Die Hardwarebeschreibungssprache VHDL-AMS	53
2.2.3 Modellbeschreibungen einer Diode	68
2.2.4 DC/AC/TR-Analyse dargestellt an einer Beispielschaltung	80
2.2.5 Analyse einer nichtlinearen Schaltung im Arbeitspunkt	91
2.2.6 Detektorschaltung mit Arbeitspunkteinstellung	95
2.2.7 Frequenzbereichsanalyse – Bodediagramm	97
2.3 Wärmeflussanalyse	111
3. Grundlegende Funktionsprimitive	117
3.1 Passive Funktionsgrundschaltungen	117
3.1.1 Passiver Integrator und Differenziator	117
3.1.2 Kapazitiver Spannungsteiler	119
3.1.3 Frequenzkompensierter Spannungsteiler	120
3.1.4 Übertrager	123
3.1.5 RC-Resonator	124
3.1.6 LC-Resonatoren	126
3.1.7 Angepasster Tiefpass/Hochpass	132
3.2 Funktionsgrundschaltungen mit Dioden	134

3.2.1	Gleichrichterschaltungen und Spannungsvervielfacher	134
3.2.2	Anwendungen der Diode als Spannungsquelle	142
3.2.3	Signaldetektorschaltungen.	143
3.2.4	Begrenzer-, Klemm- und Schutzschaltungen	152
3.2.5	Wirkprinzip von Schaltnetzteilen	156
4.	Linearverstärker.	161
4.1	Eigenschaften von Linearverstärkern und Makromodelle	161
4.1.1	Grundmodell eines Linearverstärkers	161
4.1.2	Schnittstellenverhalten	168
4.1.3	Aussteuergrenzen eines Linearverstärkers	170
4.1.4	Rauschen	173
4.2	Rückgekoppelte Linearverstärker	187
4.2.1	Rückkopplung allgemein und Schwingbedingung	188
4.2.2	Frequenzgang des rückgekoppelten Systems	194
4.2.3	Seriengegengekoppelte LV mit gesteuerter Spannungsquelle	197
4.2.4	Seriengegengekoppelte LV mit gesteuerter Stromquelle	199
4.2.5	Parallelgegengekoppelte LV mit gesteuerter Spannungsquelle	202
4.2.6	Parallelgegengekoppelte LV mit gesteuerter Stromquelle	206
4.3	Stabilität und Frequenzgangkorrektur von LV	208
4.3.1	Analyse der Schleifenverstärkung.	209
4.3.2	Frequenzgangkorrektur des Geradeausverstärkers	210
4.3.3	Frequenzgangkorrektur am Rückkopplungsnetzwerk.	216
4.4	Operationsverstärker	223
4.4.1	Erweiterung des Makromodells.	223
4.4.2	Gleichtaktunterdrückung und Aussteuergrenzen von OPs	229
4.4.3	Einflüsse der DC-Parameter auf die Ausgangsoffsetspannung.	233
4.4.4	Rauschen von OP-Verstärkern	236
4.4.5	Slew-Rate Verhalten eines OP-Verstärkers	238
4.5	OP-Verstärkeranwendungen	242
4.5.1	Instrumentenverstärker	242
4.5.2	Sensorverstärker	243
4.5.3	Treppengenerator.	244
4.5.4	Kompressor/Expander-Verstärker.	245
4.5.5	Aktive Signaldetektoren	247
4.5.6	Tachometerschaltung zur analogen Frequenzbestimmung	248
4.5.7	Analoge Filterschaltungen.	249
4.5.8	Virtuelle Induktivität.	253
4.5.9	Schmitt-Trigger	255

4.5.10 Astabiler Multivibrator	256

5. Funktionsschaltungen mit Bipolartransistoren..... 259

5.1 Eigenschaften und Kennlinien von Bip.-Transistoren..... 259

5.1.1 Wichtige Kennlinien eines Bipolartransistors.....	259
5.1.2 Physikalischer Aufbau und Grundmodell	264
5.1.3 DC-Modellvarianten	271
5.1.4 AC-Modellvarianten	274
5.1.5 Rauschen eines BJT-Verstärkers.....	277
5.1.6 Simulationsmodell in VHDL-AMS.....	278
5.1.7 Seriengegengekoppelter Transistor.....	282
5.1.8 Parallelgegengekoppelter Transistor.....	285

5.2 Arbeitspunkteinstellung und Stabilität..... 286

5.2.1 Schaltungsvarianten zur Arbeitspunkteinstellung	287
5.2.2 Arbeitspunktbestimmung und Arbeitspunktstabilität	293

5.3 Wichtige Funktionsprimitive mit BJTs..... 301

5.3.1 RC-Verstärker in Emittergrundschaltung	301
5.3.2 RC-Verstärker in Basisgrundschaltung.....	310
5.3.3 Emitterfolger	316
5.3.4 Der Bipolartransistor als Spannungsquelle	320
5.3.5 Der Bipolartransistor als Stromquelle	322
5.3.6 Darlingtonstufen	325
5.3.7 Kaskode-Schaltung	330
5.3.8 Verstärker mit Stromquelle als Last	333

5.4 Schalteranwendungen des Bipolartransistors..... 336

5.4.1 Spannungsgesteuerter Schalter	336
5.4.2 Gegentaktschalter	342

5.5 Beispiele von Funktionsschaltungen..... 346

5.5.1 Logarithmischer Verstärker.....	346
5.5.2 Optischer Empfänger.....	348
5.5.3 AM/FM-modulierbarer Oszillator.....	350

6. Funktionsschaltungen mit FETs..... 359

6.1 Eigenschaften von Feldeffekttransistoren..... 359

6.1.1 Eigenschaften von Sperrschicht-Feldeffekttransistoren	360
6.1.2 Eigenschaften von Isolierschicht-Feldeffekttransistoren	368

6.2 Arbeitspunkteinstellung und Arbeitspunktstabilität..... 377

6.3 Anwendungsschaltungen mit Feldeffekttransistoren..... 386

6.3.1 Verstärkerschaltungen mit Feldeffekttransistoren.....	386
6.3.2 Anwendung des Linearbetriebs von Feldeffekttransistoren	399

6.4 Digitale Anwendungsschaltungen mit MOSFETs	403
6.4.1 NMOS-Inverter	403
6.4.2 CMOS-Inverter	413
6.4.3 Schalter-Kondensator-Technik	423
6.5 Beispiele von Funktionsschaltungen	428
6.5.1 Spannungsgesteuerter Oszillator	428
6.5.2 Phasenvergleichler	430
6.5.3 Induktiver Abstandssensor	433
7. Gemischte Funktionsprimitive und Funktionsschaltungen	437
7.1 Differenzstufen	437
7.1.1 Emittergekoppelte Differenzstufen	437
7.1.2 Basisgekoppelte Differenzstufen	451
7.1.3 Differenzstufen in Kaskodeschaltung	463
7.1.4 Differenzstufen mit Feldeffekttransistoren	466
7.2 Konstantstrom- und Konstantspannungsquellen	471
7.2.1 Konstantstromquellen	471
7.2.2 Konstantspannungsquellen	478
7.3 Schaltungsbeispiele zur Potenzialverschiebung	481
7.4 Schaltungsbeispiele für Treiberstufen	484
7.4.1 Treiberstufen im A-Betrieb	485
7.4.2 Komplementäre Emitterfolger im AB-Betrieb	497
7.5 Beispiele von Funktionsschaltungen	503
7.5.1 OP-Verstärker uA741 – Abschätzanalyse	503
7.5.2 Zweistufiger Linearverstärker mit BJTs	506
7.5.3 Regelverstärker mit BJTs	514
7.5.4 Doppelgegentakt-Mischer	516
7.6 PLL-Schaltkreis	519
7.6.1 Aufbau und Wirkungsprinzip	519
7.6.2 Funktionsbausteine einer PLL	522
7.6.3 Systemverhalten	528
7.6.4 Anwendungen	533
8. Analog/Digitale Schnittstelle	537
8.1 Zur Charakterisierung einer Logikfunktion	537
8.1.1 Modellbeschreibung einer Logikfunktion	538
8.1.2 Ereignissteuerung	545
8.1.3 Entsprechungen zwischen Schematic- und VHDL-Beschreibung	549
8.2 Digital/Analog Wandlung	549
8.3 Abtasthalteschaltungen	554

8.4 Analog/Digital Wandlung	556
Übungen	565
Übung 1 PSpice-Übung	565
Übung 2 Frequenzbereichsanalyse und Bodediagramm	568
Übung 3 Rauschen, Rauschzahl von Verstärkern	571
Übung 4 Linearverstärker – DC-Analyse	573
Übung 5 Rückgekoppelte Linearverstärker – AC-Analyse	576
Übung 6 Rückgekoppelte LV – Stabilitätsanalyse	580
Übung 7 Bipolartransistorschaltungen	585
Übung 8 Feldeffekttransistorschaltungen	593
Übung 9 Differenzstufen	599
Formelzeichen	611
Empfohlene Literatur	616
Stichwortverzeichnis	618

1 Einführung

In der Einführung gilt es deutlich zu machen, wofür Kenntnisse der analogen Schaltungstechnik benötigt werden und wie der Lehrstoff für die Erarbeitung der Kenntnisse eingeteilt wird. Im Weiteren erfolgt eine kurze Wiederholung von wichtigen Grundbegriffen aus den Grundlagen der Elektrotechnik.

1.1 Motivation für die analoge Schaltungstechnik

Die analoge Schaltungstechnik ist trotz der fortschreitenden Digitalisierung ein wichtiger Bestandteil der Elektroniksystementwicklung. Die Physik und allgemein die Natur gibt uns analoge Zustandsgrößen in Form von Temperatur, Kraft, Druck, Feuchte, Dichte, Weg, Beschleunigung u.a. vor. Bei der Informationsübertragung über eine Funkstrecke oder über eine längere leitungsgebundene Übertragungsstrecke ist am Empfangsort das ankommende Signal sehr schwach und verrauscht. Die analoge Schaltungstechnik hilft schwache verrauschte Signale aufzubereiten, um sie dann der „digitalen Welt“ zuführen zu können. Ähnliches gilt für zumeist schwache Sensorsignale. Zusammenfassend lässt sich feststellen: Kenntnisse der analogen Schaltungstechnik sind u.a. notwendig für:

- ☐ „Frontend“-Funktionen bei der Informationsübertragung – Aufbereitung des Signals für den Transmitter (Sender), Regenerierung des Signals am Empfangsort (Empfänger).
- ☐ Synchronisation autonomer Systeme – z.B. Synchronisation zwischen Sender und Empfänger, u.a. durch Phasenregelkreise (PLL: Phase Locked Loops).
- ☐ Sensorelektronik – Aufbereitung von Sensorsignalen; Sensoren sind Messfühler für physikalische Größen.
- ☐ Leistungselektronik – Ansteuerung von Leistungsfunktionen; Leistungsfunktionen sind u.a. Motoren, Stellglieder, Lautsprecher.
- ☐ Entwurf neuer Schaltkreiszellen für die Integration von Schaltkreisen auf Silicium.
- ☐ Störungsanalyse von Elektroniksystemen – Abblockmaßnahmen, Koppelmechanismen, parasitäre Einflüsse, Einführung von I/O-Modellen für die Analyse von Reflexions- und Übersprechstörungen.

In digitalen Systemen ist bei zunehmender Signalverarbeitungsgeschwindigkeit ein analoges Grundverständnis und eine analoge Sicht für die Übertragungswege

und Kopplungswege erforderlich. Bei höheren Signalverarbeitungsgeschwindigkeiten sind den Signalleitungen, den Versorgungsleitungen und der „Groundplane“ elektrische Eigenschaften zuzuordnen, die sich beispielsweise beim Schalten eines Transistors ungünstig auswirken können. Als Folge davon ergeben sich unter Umständen „Spikes“ (Störungen) auf Signalleitungen, Versorgungsleitungen und Groundplanes (Bezugspotenzial), die gegebenenfalls das Verhalten des Systems beeinträchtigen.

Die Entwicklungsmethodik der analogen Schaltungstechnik unterscheidet sich grundsätzlich von der Vorgehensweise in der digitalen Schaltungstechnik. In der digitalen Schaltungstechnik gibt es eine systematische Methodik zur Beschreibung von Logiksystemen mittels synthesesfähiger Hardwarebeschreibungssprachen. Die Vielfalt der Funktionsprimitive (u.a. Gatter, Buffer, Flip-Flops, Register, ALUs, Multiplexer, Demultiplexer) ist begrenzt. Bei geeigneter Beschreibung des Verhaltens oder der Struktur eines Logiksystems mittels einer Hardwarebeschreibungssprache bildet ein Logik-Synthesewerkzeug automatisch die gegebene Modellbeschreibung in durch die ausgewählte Schaltkreistechnologie vorgegebene Funktionsprimitive ab. Die analoge Schaltungstechnik ist durch eine wesentlich höhere Anzahl von Funktionsprimitiven und Funktionsbausteinen gekennzeichnet. Es gibt beispielsweise weit über einige Hundert bekannte und bewährte Oszillatorschaltungen. Für den Schaltungsentwickler stellt sich die Frage: Welche der bekannten Oszillatorschaltungen ist für einen konkreten Anwendungsfall mit bestimmten Anforderungen (z.B. für 433MHz) geeignet? Welche Eigenschaften soll der Oszillator aufweisen und welche konkrete Oszillatorschaltung hilft die Eigenschaften zu verwirklichen? Für die Beantwortung dieser Frage gibt es noch keine systematisch automatisierbare Vorgehensweise.

Zur systematischen Einführung in die analoge Schaltungstechnik ist es notwendig, zuallererst in die Analyse- und Entwicklungsmethodik einzuführen. Das folgende Kap. 2 beschäftigt sich mit dieser Thematik. Anschließend werden in Kap. 3 wichtige passive Anwendungsschaltungen und Schaltungsbeispiele mit Dioden vorgestellt und behandelt. Hier soll aufgezeigt werden, dass jede derartige Anwendungsschaltung bzw. dass jedes Funktionsprimitiv ein Verhalten und Eigenschaften aufweist, die helfen, bestimmte Probleme in konkreten Anwendungen zu lösen. Eine komplexe Anwendungsschaltung besteht aus einer Vielzahl von Funktionsprimitiven. Erkennt man die Funktionsprimitive und kennt man deren Eigenschaften, so erschließt man sich sehr viel leichter das Verständnis um eine Schaltung. Ein Oszillator besteht beispielsweise aus folgenden Funktionsprimitiven:

- ☐ Verstärkerelement;
- ☐ Frequenzbestimmender Resonator (Resonanzoszillator) oder frequenzbestimmendes Laufzeitglied (Laufzeitoszillator);
- ☐ Begrenzer (auch im Verstärkerelement enthalten);
- ☐ Treiberstufe.

Die Grundlage der analogen Schaltungstechnik bildet die systematische Kenntnis wichtiger analoger Funktionsprimitive und Funktionsschaltungen (u.a. passive

Funktionsprimitive, Diodenschaltungen, Verstärkerelemente, Konstantspannungsquellen, Konstantstromquellen, Rückkopplungsschaltungen).

In Kap. 4 wird in die Verstärkertechnik eingeführt. Dies beinhaltet auch die Einführung in die Anwendung von Operationsverstärkern. Naturgemäß ist die wichtigste Aufgabe der analogen Schaltungstechnik die Verstärkung kleiner verrauschter Signale und deren Aufbereitung. Was geeignet analog aufbereitet ist, muss nicht aufwendig digital nachbearbeitet werden. Es schließt mit Beispielen wichtiger Anwendungsschaltungen ab. In Kap. 5 erfolgt die Einführung in wichtige Anwendungsschaltungen mit Bipolartransistoren. In Kap. 6 geht es um die Einführung in Anwendungsschaltungen mit Feldeffekttransistoren. Kap. 7 behandelt wichtige Funktionsprimitive (u.a. Differenzstufen, Stromquellen, Spannungsquellen, Treiberstufen) von in der Praxis häufig vorkommenden Funktionsschaltungen (u.a. Verstärker, Regelverstärker, Mischer, optische Empfänger), mit Blickrichtung auf integrierbare Funktionsprimitive und Funktionsschaltungen. In Kap. 8 wird die analog/digitale Schnittstelle behandelt. Übungsaufgaben sind im Anhang enthalten. Bei den Übungsaufgaben geht es insbesondere um das Abschätzen von Schaltungseigenschaften. Anhand zahlreicher praktischer Beispiele wird in ausführlichen Lösungen (im Anhang auf der begleitenden CD-Rom) die Abschätzmethodik für gegebene Problemstellungen aufgezeigt.

1.2 Wichtige Grundbegriffe

Signale: Signale sind Informationsträger. Prinzipiell unterscheidet man zwischen deterministischen Signalen und nichtdeterministischen Signalen (z.B. Rauschen). Deterministische Signale lassen sich durch geschlossene mathematische Ausdrücke beschreiben. Nichtdeterministische Signale sind Zufallssignale oder stochastische Signale, die mit Mitteln der Statistik zu behandeln sind. Rauschgrößen werden u.a. durch den Leistungsmittelwert charakterisiert. Deterministische Signale weisen eine das Signal „tragende“ physikalische Größe auf. Dies kann eine elektrische Spannung/Strom sein. Darüber hinaus gibt es u.a. akustische Signale, optische Signale oder Signale, die einer elektromagnetischen Welle aufgeprägt sind. Im Folgenden werden elektrische Signale betrachtet, deren zeitlicher Momentanwert durch einen mathematischen Ausdruck beschrieben wird. Im mathematischen Ausdruck sind Parameter enthalten. Bei einer sinusförmigen Größe sind dies u.a.: Amplitude, Phase, Frequenz.

Ein analoges Signal kann innerhalb gerätetechnisch bedingter Grenzen jeden beliebigen Wert annehmen. Im Gegensatz dazu wird ein diskretes Signal innerhalb bestimmter vorgegebener Grenzen nur mit diskreten Werten beschrieben. Ein binäres Signal ist ein diskretes Signal, das nur zwei Werte "0" oder "1" annehmen kann. Bild 1.2-1 zeigt ein zeitdiskretisiertes Signal dargestellt mit 8 binären Signalen. Damit lassen sich $2^8 = 256$ Amplitudenstufen realisieren.

Grundsätzlich ist einem Signal eine Signalquelle zugeordnet. Durch Auswahl der Signalquelle und durch geeignete Wahl der Parameter der Signalquelle wird

eine bestimmte Signalform eingestellt. Eine besondere Bedeutung haben periodische, insbesondere sinusförmige Signalquellen als Testsignale für analoge Schaltungen (Signalgeneratoren). Prinzipiell lässt sich ein periodisches Signal immer im Zeitbereich (Oszilloskop) und im Frequenzbereich (Spektrumanalysator) darstellen.

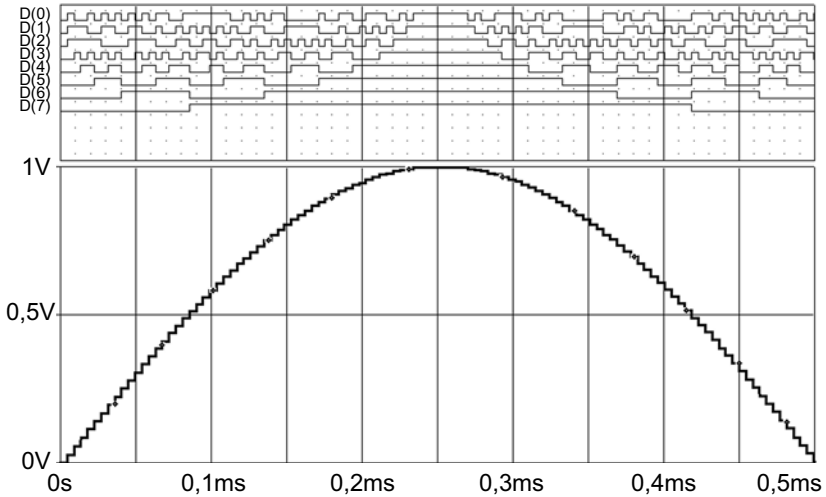


Bild 1.2-1: Zeitdiskretisierte sinusförmige Halbwelle dargestellt mit 8 binären Signalen D(0) bis D(7)

Spannungen und Ströme im Zeitbereich: Eine sinusförmige Wechselspannung mit einem Gleichspannungsanteil (DC-Anteil) wird folgendermaßen dargestellt.

$$u(t) = U^{(DC)} + U^{(AC)} \cdot \sin(\omega t - \varphi_u); \quad (1.2-1)$$

$u(t)$: zeitlicher Momentanwert der Spannung;

$U^{(DC)}$: Gleichspannungsanteil;

$U^{(AC)}$: Wechselspannungsamplitude;

f : Signalfrequenz; $\omega = 2\pi f$;

φ_u : Nullphasenwinkel;

φ_u/ω : Verzögerungszeit des ersten Nulldurchgangs;

In der Regel wird auf eine besondere Kennzeichnung des Gleichspannungsanteils (DC) bzw. der Wechselspannungsamplitude (AC) durch den hier verwendeten hochgestellten Index verzichtet. In Bild 1.2-2 ist der zeitliche Momentanwert einer

sinusförmigen Wechselspannung mit Gleichspannungsanteil dargestellt. Der Effektivwert einer sinusförmigen Wechselspannung ergibt sich aus der Amplitude mit $U_{eff} = U / \sqrt{2}$. Ohne besondere Kennzeichnung stellt bei sinusförmigen Größen der Großbuchstabe die Amplitude (Spitzenwert) dar. Nichtsinusförmige periodische Signale lassen sich nach Fourier durch Überlagerung vieler sinusförmiger Signale mit im allgemeinen unterschiedlichen Amplituden und unterschiedlichen Nullphasenwinkeln darstellen (Spektrum). Typische Signale sind: Tonsignale (Frequenzbereich von 50Hz bis 20kHz), Videosignale (Frequenzbereich bis 5MHz), Sensorsignale und insbesondere Datensignale mit unterschiedlichen Kurvenformen und Bitraten. Unter einem Bit versteht man eine binäre Einheit, die "0" oder "1" sein kann.

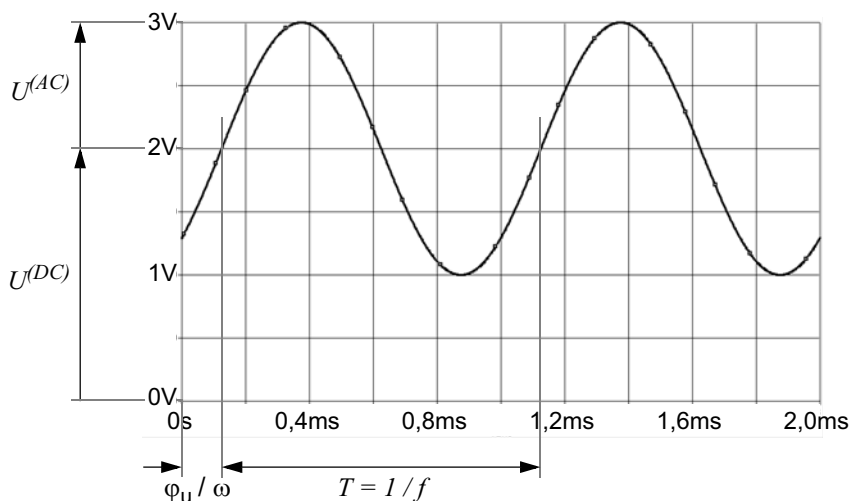


Bild 1.2-2: Zeitlicher Momentanwert einer sinusförmigen Spannung mit DC-Anteil

Komplexe Darstellung von Spannungen und Strömen: Mit Hilfe der Beziehung $e^{j\alpha} = \cos \alpha + j \sin \alpha$ lässt sich der zeitliche Momentanwert einer sinusförmigen Spannung durch die Projektion eines rotierenden komplexen Zeigers auf die Imaginärachse darstellen (Bild 1.2-3).

In Bild 1.2-3 bleibt der DC-Anteil unberücksichtigt. Zum praktischen Rechnen wird in der Regel nur die komplexe Amplitude $\underline{U}$ benötigt. Komplexe Zeiger lassen sich wie Vektoren behandeln. Zwei komplexe Amplituden gleicher Frequenz ergeben die komplexe Summe im Zeigerdiagramm. Ein wesentlicher Vorteil der komplexen Darstellung von Spannungen und Strömen u.a. ist, dass deren zeitliche Ableitung durch die Multiplikation mit $j\omega$ vereinfacht wird.

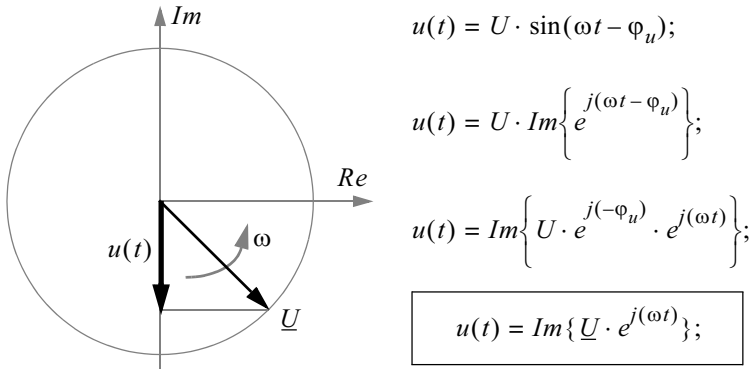


Bild 1.2-3: Komplexer rotierender Zeiger mit der Abbildung auf die Imaginärachse

Überlagerungssatz: Bei linearen oder linearisierten Schaltungen mit mehreren unabhängigen Signalquellen kann der Überlagerungssatz angewandt werden. Im Beispiel (Bild 1.2-4) ist eine Schaltung mit zwei unabhängigen Signalquellen $\underline{U}_1$, $\underline{U}_3$ und einer spannungsgesteuerten Quelle (gesteuert durch $\underline{U}_i$) gegeben. Bei Anwendung des Überlagerungssatzes wird zunächst die Signalquelle $\underline{U}_3$ ausgeschaltet und die Wirkung von $\underline{U}_1$ auf den Ausgang betrachtet, dann wird die Wirkung von $\underline{U}_3$ bei ausgeschalteter Signalquelle $\underline{U}_1$ ermittelt. Die gesteuerte Quelle ist in beiden Fällen wirksam.

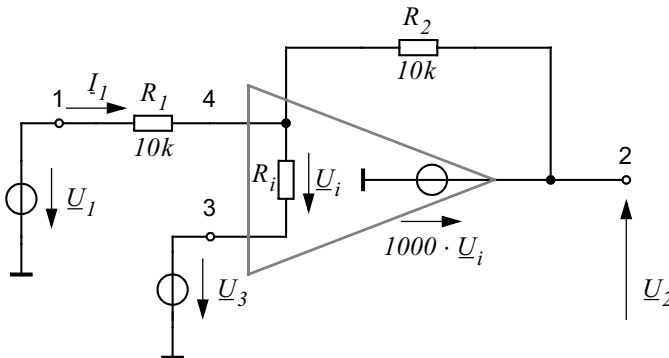


Bild 1.2-4: Schaltung mit zwei unabhängigen Signalquellen und einem Verstärkerelement

Im Folgenden werden die beiden Teillösungen ermittelt, zunächst die Wirkung von $\underline{U}_1$ bei abgeschalteter Signalquelle $\underline{U}_3$:

$\underline{U}_3 = 0$, $\underline{U}_i \ll \underline{U}_1$ und R_i sehr hochohmig:

$$\underline{U}_1 / R_1 = \underline{U}_2 / R_2;$$

$$\underline{U}_2 / \underline{U}_1 = R_2 / R_1;$$

(1.2-2)

Sodann gilt es die Wirkung von $\underline{U}_3$ bei abgeschalteter Signalquelle $\underline{U}_1$ zu betrachten:

$$\underline{U}_1 = 0, \underline{U}_i \ll \underline{U}_3:$$

$$\underline{U}_3/R_1 = -(\underline{U}_3 + \underline{U}_2)/R_2;$$

$$\underline{U}_2/\underline{U}_3 = -(R_2/R_1 + 1);$$

(1.2-3)

Durch Überlagerung der beiden Teillösungen erhält man die Gesamtlösung für die Ausgangsspannung $\underline{U}_2$:

$$\underline{U}_2 = \underline{U}_1 \cdot R_2/R_1 - \underline{U}_3 \cdot (R_2/R_1 + 1);$$

(1.2-4)

Knotenspannungen, Zweigströme und Zweigimpedanzen: Knoten-Differenzspannungen sind Zweigspannungen von einem Netzknoten zu einem anderen. Knotenspannungen oder Knotenpotenziale sind Spannungen von einem Netzknoten zum Bezugspotenzial (in PSpice: Knoten 0 ist identisch mit dem Bezugspotenzial „Ground“). Unter einem Zweigstrom versteht man den Strom durch einen Stromzweig von Knoten x nach Knoten y . Im nachstehenden Beispiel (Bild 1.2-5) ist der Strom $\underline{I}_1$ der Zweigstrom im Stromzweig von Knoten 1 nach Knoten 4; $\underline{U}_1$ ist die Knotenspannung bzw. das Knotenpotenzial von Knoten 1 gegen das Bezugspotenzial.

Eine Zweigimpedanz erhält man aus dem Quotienten einer Knotenspannung und dem betrachteten Zweigstrom. Es soll nunmehr die Zweigimpedanz $\underline{Z}_x$ in der gegebenen Schaltung bestimmt werden. Die Zweigimpedanz bestimmt sich im konkreten Beispiel aus der Knotenspannung $\underline{U}_i$ und dem Zweigstrom durch R_2 , sie stellt eine „virtuelle Impedanz“ gegen das Bezugspotenzial dar.

$$\underline{Z}_x = \underline{U}_i / (1001 \cdot \underline{U}_i / R_2) = R_2 / 1001;$$

(1.2-5)

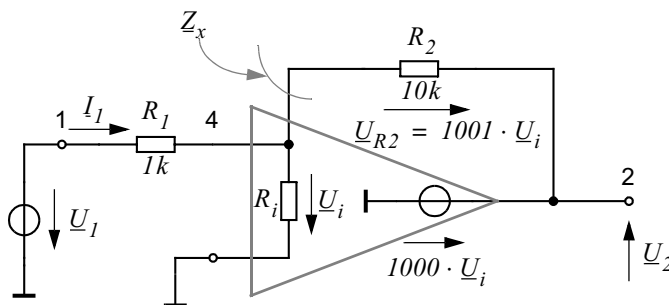


Bild 1.2-5: Zur Ermittlung einer Zweigimpedanz in einem Schaltkreis

Für die „virtuelle“ Zweigimpedanz $\underline{Z}_x = R_2/1001$ ergibt sich im betrachteten Beispiel ein Wert von ca. 10Ω . Vom Eingang aus gesehen wirkt die Zweigimpedanz $\underline{Z}_x$ also von Knoten 4 zum Bezugspotenzial (Bild 1.2-6). Je höher die Verstärkung der spannungsgesteuerten Spannungsquelle ist (im Beispiel ist die

Verstärkung 1000), um so niederohmiger wird bei der gegebenen Schaltungsanordnung Knoten 4 durch die transformierte Zweigimpedanz mit $Z_x = R_2/1001$ belastet. Der Zweigstrom $I_I \approx \underline{U}_I/R_I$ bei genügend kleinem $\underline{U}_i$ fließt somit bei genügend hochohmigem Widerstand R_i über R_I nach R_2 und bildet dort die Zweigspannung $\underline{U}_{R2} = I_I \cdot R_2$. Mit $\underline{U}_{R2} \approx \underline{U}_2$ ist schließlich $\underline{U}_2 = \underline{U}_I \cdot R_2/R_I$. Bild 1.2-6 zeigt die Belastung von Knoten 4 mit der Zweigimpedanz $Z_x = R_2/1001$. Der Zweigstrom I_I fließt also in den niederohmigen Stromzweig mit der Zweigimpedanz Z_x .

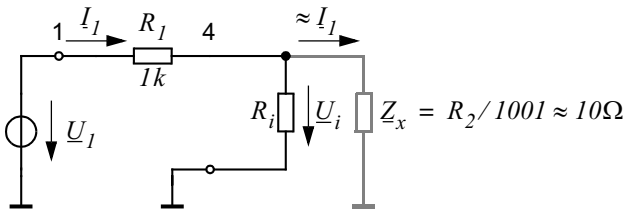


Bild 1.2-6: Belastung von Knoten 4 durch R_2 ; es wirkt die transformierte Zweigimpedanz Z_x

Insbesondere für die Abschätzanalyse ist es wichtig den Hauptsignalweg zu finden. Dazu bedarf es oft der Abschätzung wirksamer Zweigimpedanzen.

Ist in einer Schaltung ein Netzknoten gekennzeichnet (z.B. in Bild 1.2-5 Knoten 4), so steht implizit $\underline{U}_4$ für die Spannung von Knoten 4 zum Bezugspotenzial. Im Beispiel ist dann $\underline{U}_4 = \underline{U}_i$. Dazu muss nicht extra der Spannungspfeil angegeben werden. Soll die Phasenlage der Knotenspannung um 180° gedreht sein, wie z.B. bei $\underline{U}_2$ in Bild 1.2-5, so ist explizit die Phasendrehung durch den gedrehten Spannungspfeil zu kennzeichnen.

2 Entwicklungs- und Analysemethodik

Eingeführt wird in die Entwicklungs- und Analysemethodik von analogen und gemischt analog/digitalen Funktionsschaltkreisen für Elektroniksysteme auf Transistorebene. Wichtig dabei ist die Kenntnis des allgemeinen Entwicklungsprozesses und der dafür eingesetzten Methoden zur Beschreibung von Schaltungen und deren Verifikation.

2.1 Methodik zur Elektroniksystementwicklung

Es geht um eine Kurzdarstellung zur Einführung in die Elektroniksystementwicklung. Dabei stellen sich die Fragen, wo wird die analoge Schaltungstechnik benötigt, wie werden derartige Schaltungen systematisch entwickelt, verifiziert und in einer Zieltechnologie realisiert. Die analoge Schaltungstechnik behandelt die Grundlagen für die Elektroniksystementwicklung auf Transistor-Ebene. Derartige Grundlagen werden benötigt für die Schaltungsentwicklung analoger und gemischt analog/digitaler Systeme (Mixed A/D). Die Schaltungsentwicklung ist ein Teilgebiet der Elektroniksystementwicklung. Im Folgenden soll die Schaltungsentwicklung im Umfeld der Elektroniksystementwicklung betrachtet werden, dabei wird auf nachstehende Aspekte näher eingegangen:

- ☐ Prozessablauf (Workflow) bei der Elektroniksystementwicklung;
- ☐ Signifikante Beispiele für Anwendungen der analogen Schaltungstechnik;
- ☐ Realisierungsmöglichkeiten von Schaltungen: Schaltungstechnologien;
- ☐ Strukturierung der Schaltungstechnik.

2.1.1 Prozessablauf bei der Elektroniksystementwicklung

Als erstes erfolgt eine Kurzdarstellung des Produktentwicklungsprozesses. Zur Förderung der Übersicht wird in die wesentlichen Prozessschritte und Grundbegriffe des Elektroniksystementwicklungsprozesses eingeführt. Bei der Entwicklung eines Hardware-Produktes in der Informationstechnik/Elektronik werden folgende Phasen des Produktentwicklungsprozesses durchlaufen.

- ☐ Konzeptphase → Systementwurf, Systemkonstruktion, Spezifikation, Systemaufteilung;
- ☐ Feinentwurf bzw. Subsystementwurf → Schaltungsentwicklung;

- ☐ Physikalischer Entwurf → Layouterstellung und Erstellung der Fertigungsunterlagen für Labormuster;
- ☐ Musterfertigung und Modulfertigung;
- ☐ Modultest und Systemtest;
- ☐ Vorserie → Prototypfertigung, Systemprüfung, Fertigungsfreigabe.

Eine Produktidee wird nach einer eingehenden Marktanalyse zu einem Entwicklungsauftrag. Erfahrene Systementwickler entwerfen ein Systemkonzept und spezifizieren Anforderungen. Kritische Funktionen sind vorab in einer Machbarkeitsstudie eingehend zu untersuchen. Insgesamt wird auf Systemebene oft durch Systemsimulation das Konzept verifiziert und dessen Machbarkeit auch insbesondere unter Kostengesichtspunkten geprüft. Nach Abschluss des Systementwurfs erfolgt der Feinentwurf. Die Funktionsblöcke müssen mit realen Schaltkreisen „gefüllt“ werden. Ist der Feinentwurf hinreichend verifiziert, so muss der Entwurf in ein fertigbares physikalisches Design umgesetzt werden. Bild 2.1-1 erläutert den prinzipiellen Ablauf der Elektroniksystementwicklung bis zur Erstellung der Fertigungsunterlagen in einer vorgegebenen Zieltechnologie.

Die analoge Schaltungstechnik ist Teil des Feinentwurfs insbesondere von analogen und gemischt analog/digitalen Funktionsblöcken des Systementwurfs. Sie behandelt die „innere“ Schaltungstechnik auf Transistorebene. Soweit möglich werden Funktionsblöcke durch vorgefertigte oder käufliche Bausteine realisiert. Sind Funktionsblöcke in hohen Stückzahlen erforderlich, so sind anwendungsspezifisch integrierte Bausteine interessant. Die Entwicklung voll kundenspezifisch integrierter Bausteine (ASIC: Application Specific Integrated Circuit) erfordert u.a. solide Kenntnisse der analogen Schaltungstechnik.

Im Folgenden wird in die wichtigsten Begriffe des Elektroniksystementwicklungsprozesses eingeführt mit jeweils einer kurzen Erläuterung.

Produktidee und Marketing: Ausgehend von einer Produktidee bzw. eines Verbesserungsvorschlags für ein bestehendes Produkt erstellen Marketingexperten ein „Marketing Requirement Document – MRD“. Dieses Dokument enthält genaue Anforderungen an ein Produkt bzw. an eine Produktweiterentwicklung, um das neue Produkt von vergleichbaren Angeboten am Markt abzuheben. Eine Marktanalyse gibt Aufschluss über die Marktchancen, das mögliche Marktvolumen, die Absatzchancen, die Umsatz- und Gewinnmöglichkeiten und die dafür erforderliche Vertriebsstrategie. Die Aufgabe des Marketing ist somit u.a. die Beobachtung des für die Firma relevanten Marktsegmentes, Marktanforderungen zu analysieren, zu definieren und eine strategische Produktplanung zu erstellen. Nicht zuletzt gilt es auch geeignete Unterlagen zur Präsentation der Leistungsmerkmale eines neuen Produkts aufzubereiten.

Systementwicklung: Die Systementwicklung befasst sich mit der konzeptionellen und planerischen Umsetzung von Produkthanforderungen. Eine wichtige Aufgabe ist der Entwurf der Systemarchitektur und daraus abgeleitet die Systemspezifikation. Wie bereits erwähnt, müssen vorab kritische Funktionen in einer Machbarkeitsstudie auf Risiken hinsichtlich der Realisierbarkeit untersucht

werden. Erfahrene Systementwickler erstellen das Systemkonzept bzw. die Systemarchitektur. Im Ergebnis werden u.a. Funktionsblöcke definiert und Grundanforderungen festgelegt, u.a. deren Funktionsdefinition, verfügbare Versorgungsspannungen, maximal zulässige Stromaufnahme, maximal zulässige Verlustleistungsaufnahme, Temperaturbereich, Umwelteinflüsse (z.B. Verschmutzung, Dämpfe, Gase). Unter Moduldefinition versteht man die Aufteilung des Gesamtsystems in Systemmodule und damit u.a. auch die Aufteilung der Entwicklungsverantwortung und die Festlegung der Schnittstellen. Für das Gesamtsystem und die Systemmodule ist eine detaillierte Spezifikation erforderlich. Die Spezifikationsvorgaben legen u.a. die Modulfunktionen und deren Schnittstellen fest. Nach Festlegung des Systemkonzepts ist u.a. auch zu definieren, wie und mit welchen Testaufbauten die vorgegebenen Eigenschaften getestet und überprüft werden sollen.

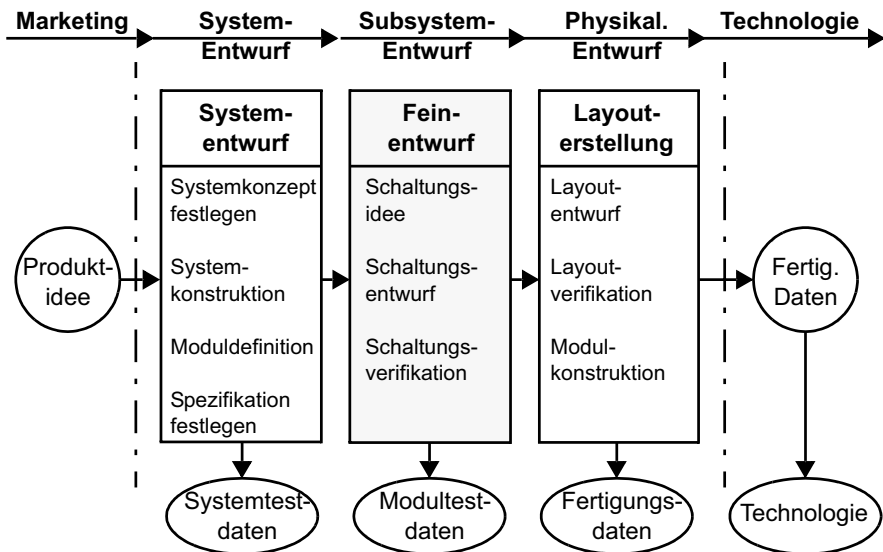


Bild 2.1-1: Phasen der Elektroniksystementwicklung von der Marktanforderung (Marketing Requirements) bis zur Erstellung der Fertigungsunterlagen für die notwendigen Module; Einordnung des Schaltungsentwurfs im Umfeld der Elektroniksystementwicklung

□ Funktionsbeschreibung: Die Funktionsbeschreibung enthält u.a. die genaue Funktionsdefinition, sowie deren Ein- und Ausgänge. Die Verhaltensbeschreibung im allgemeinen oder die Übertragungsfunktion im besonderen bestimmen u.a. die Festlegung der Funktion eines Systemmoduls.

- ☐ **Rahmenbedingungen:** Die Einhaltung von vorgegebenen Grenzdaten, wie z.B. die maximal zulässige Stromaufnahme, die maximal zulässige Leistungsaufnahme und der verfügbare Bauraum sind zu beachten. Weiterhin sind das Masse/Versorgungssystem und die vorgesehenen Versorgungsspannungen als Vorgaben zu definieren.
- ☐ **Schnittstellenbeschreibungen:** Hier gilt es die Interaktionsstellen eines Systems oder eines Systemmoduls (u.a. Ports), deren Eigenschaften und Signalformen, deren Grenzwerte und Ansteuerbedingungen festzulegen.
- ☐ **Aufbau- und Verbindungstechnik:** Darunter versteht man die Festlegung des Systemaufbaus bzw. des Aufbaus eines Systemmoduls. Es muss klar sein, in welcher Technologie ein Systemmodul gefertigt werden soll und wie der Gesamtaufbau des Systems erfolgt.
- ☐ **Strukturbeschreibung:** In einer hierarchischen Darstellung wird das Zusammenwirken von Systemmodulen und Teilfunktionen beschrieben.
- ☐ **Systemumgebung:** Darunter versteht man den Temperaturbereich, den ein System oder ein Systemmodul ausgesetzt ist, sowie die mögliche Stahlenbelastung oder weitere Umwelteinflüsse in Form von z.B. chemischen Belastungen. Nicht zuletzt gilt es Anforderungen an die Elektromagnetische Verträglichkeit zu beachten. Ein System oder ein Systemmodul darf andere Systeme in nicht unzulässiger Weise beeinflussen.

Systemkonstruktion: Der Systemkonstrukteur definiert den möglichen Einbauplatz und den mechanischen Aufbau eines Produkts. Aus Sicht des Elektronikentwicklers spielen u.a. auch Kühlmaßnahmen für die Elektronik eine wichtige Rolle (siehe Kap 2.4). Insbesondere bei hohen Packungsdichten bereitet die geeignete Verlustleistungsabfuhr oft erhebliche Probleme.

Feinentwurf: Hier sind die Vorgaben der Systemkonzeptersteller im Rahmen eines Feinentwurfs umzusetzen. Der Schaltungsentwurf stellt den Feinentwurf von Elektroniksystemmodulen dar. Ausgehend von der vorgegebenen Modulfunktion, den Schnittstellenbedingungen und sonstigen Spezifikationsvorgaben gilt es eine dafür geeignete Schaltung auszuwählen und die Schaltung an die gegebenen Anforderungen anzupassen, um die Spezifikationsvorgaben erfüllen zu können. Nach Auswahl einer geeigneten Schaltungsidee ist der Schaltungsentwurf so auszulegen, dass vorgegebene Eigenschaften erfüllt werden können. Die Schaltungsauslegung erfolgt zumeist auf Basis von Abschätzungen des Schaltungsentwicklers. Der Schaltungsentwurf wird bei analogen und gemischt analog/digitalen Systemen im allgemeinen durch einen Schaltplan (Schematic) beschrieben. Anhand von geeigneten Testanordnungen wird der Schaltungsentwurf verifiziert. Zunächst erfolgt die Schaltungsverifikation durch Schaltkreissimulation und damit verbunden die Optimierung der Dimensionierung mit Blickrichtung auf u.a. Parameterstreuungen (Exemplarstreuungen), Temperatureinflüsse und Alterungseffekte von verwendeten Komponenten. Ein wichtiger Punkt vor Abschluss des Feinentwurfs eines Systemmoduls ist die Festlegung des modulspezifischen Testkonzepts. Es geht darum genau zu definieren, was wie und unter welchen

Bedingungen mit welchen Testaufbauten die vorgegebenen Eigenschaften getestet und überprüft werden sollen.

Layoutentwurf und Modulkonstruktion: In dieser Phase geht es um die Erstellung des „physikalischen Entwurfs“ unter Berücksichtigung von Vorgaben durch den Schaltungsentwickler betreffs der Gestaltung des Masse-Versorgungssystems, der Platzierung und der Layoutgestaltung kritischer Schaltungsfunktionen. Elektroniksysteme werden zumeist auf Baugruppenträgern realisiert. Basis eines Baugruppenträgers ist eine Leiterplatte (PCB: Printed Circuit Board). Dazu muss die symbolische Schaltungsbeschreibung in die physikalische Beschreibung einer Zieltechnologie umgesetzt werden. Die zweidimensionale Abbildung der physikalischen Beschreibung ist das Layout eines Schaltungsentwurfs. Hierzu werden Werkzeuge für die Layouterstellung verwendet, das sind u.a. Layout-Editoren bzw. Auto-Router. Nach Erstellung des Layouts eines Schaltungsentwurfs sind die Einbauplätze der Schaltkreisfunktionen und die Verbindungsleitungen bekannt. Insbesondere bei höheren Frequenzen ergeben sich zusätzliche parasitäre Einflüsse durch die Aufbautechnik und durch die Verbindungsleitungen, die in einer Schaltungsverifikation unter Berücksichtigung dieser Einflüsse analysiert werden müssen. Schließlich benötigt der Baugruppenträger Befestigungselemente und z.B. eventuelle spezielle Kühlmaßnahmen, die in der Modulkonstruktion beschrieben werden.

Fertigungsdaten: In einem Fertigungsdatensatz sind alle für die Fertigung eines Systemmoduls erforderlichen Unterlagen enthalten. Bei einer Elektronik-Baugruppe ist dies u.a. die Stückliste, der Dokumentensatz für die Erstellung der Leiterplatte, sowie der Dokumentensatz für die Entwurfsbeschreibung und der Testvorgaben. Der Layoutdatensatz enthält im engeren Sinn alle für die Fertigung einer Leiterplatte erforderlichen Fertigungsdaten, u.a. Dokumentensatz mit Layoutdaten im geeigneten Datenformat, Filmdaten, Bohrlochdaten, Bestückdaten.

Prototypenfertigung: Nach Erstellung der physikalischen Designdaten für die im System benötigten Baugruppen erfolgt die Musterfertigung und anschließend die Musterprüfung. Vor einer Fertigungsfreigabe wird das Konzept nach einer Prototypenfertigung einer eingehenden Erprobung durch Systemtests unterzogen. Bild 2.1-2 zeigt den prinzipiellen Ablauf einer Prototypenfertigung. Mit Blickrichtung auf den Prozessablauf, dargestellt in Bild 2.1-2, werden im Folgenden die wichtigsten Begriffe der Prototypenfertigung erläutert.

Teilelogistik: Ausgangspunkt der Fertigung eines Elektroniksystemmoduls sind der Baugruppenträger (nackte Leiterplatte), die elektronischen und elektromechanischen Bauteile als Kaufteile und die anwendungsspezifisch integrierten Bausteine (ASIC). Die Teilelogistik kümmert sich um die Verfügbarkeit der erforderlichen elektrischen, elektromechanischen und mechanischen Teile in der erforderlichen Qualität. „Application Specific Integrated Circuits“ werden insbesondere bei höherem Stückzahlbedarf von Systemmodulen verwendet, um den Platzbedarf sowie die Kosten zu reduzieren und die Zuverlässigkeit zu erhöhen. Komplette Systemmodule lassen sich anstelle des Aufbaus auf einer Leiterplatte

direkt als integrierter Baustein (IC) realisieren. Dazu muss der Schaltungsentwurf in eine geeignete ASIC-Technologie abgebildet werden.

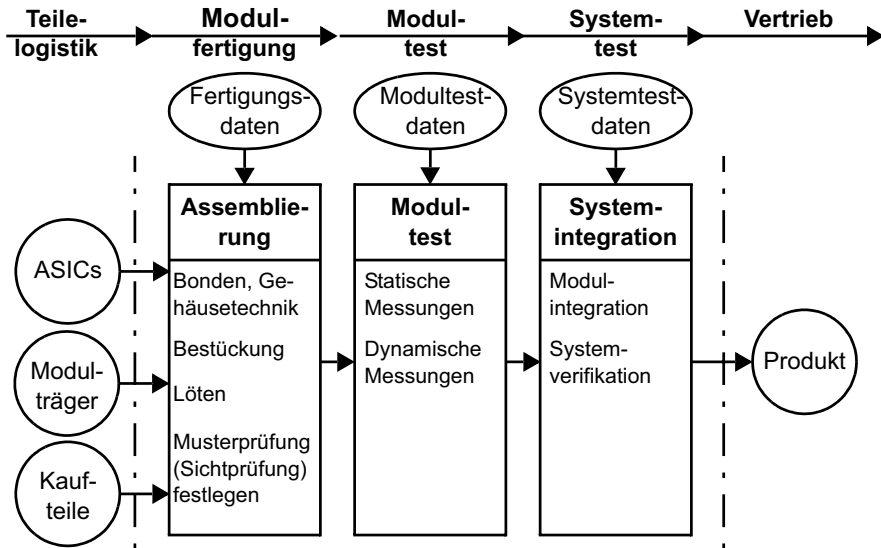


Bild 2.1-2: Phasen der Prototypenfertigung eines Elektroniksystems; Modulfertigung, Modultest bis zur Systemintegration und den Systemtests

Modulfertigung: Die Modulfertigung bzw. Baugruppenfertigung „verbaut“ die im Fertigungsdatensatz vorgegebenen Bauteile. Dafür werden verschiedene Techniken eingesetzt. Unter Assemblierung versteht man allgemein das Zusammenfügen von Komponenten zu einem Subsystemmodul. Assemblierungstechniken sind u.a. Bonden, Kleben, Löten. Je nach Anforderung können ungehäuste Halbleiterbauelemente auf einem Submodulträger montiert und dann speziell abgedeckt bzw. gehäust werden. Üblicherweise werden „nackte Halbleiter“ in ein Gehäuse montiert und über Bondverbindungen angeschlossen. Unter Bestückung versteht man den Montagevorgang von Bauteilen auf dem Baugruppenträger. Dazu werden u.a. Bestückungsautomaten verwendet. Beim Lötvorgang werden die Anschlüsse von Bauteilen mit den auf dem Baugruppenträger gegebenen Anschluss pads verbunden. Man unterscheidet Schwall-Löten und Reflow-Löten. Beim Reflow-Löten wird eine Lötpaste auf den Baugruppenträger aufgedruckt. Der Lötvorgang erfolgt bei Einhaltung eines bestimmten Temperaturprofils in einem Durchlaufofen. Beim Schwall-Löten durchläuft die bestückte Baugruppe ein Schwall-Lötbad.

Musterprüfung: Als erstes erfolgt eine Sichtprüfung der gefertigten Baugruppe. Dazu verwendet man u.a. automatische Sichtprüfungsgeräte mit komplexer Bildverarbeitung. Vor der Weiterverarbeitung müssen Systemmodule einem eingehenden elektrischen Test unterzogen werden. Man unterscheidet grundsätzlich zwischen statischen Messungen und dynamischen Messungen. Statische Messungen sind erste einfache Tests, u.a. Stromaufnahme, Leistungsaufnahme und die

Überprüfung von Arbeitspunkten. Unter dynamischen Messungen versteht man weitergehende Messungen zur Ermittlung von Systemeigenschaften im Zeitbereich oder im Frequenzbereich.

Systemintegration und Systemverifikation: Mehrere Systemmodule bilden ein System. Unter Systemintegration versteht man den Zusammenbau von Systemmodulen zu einem System. Das zusammengefügte System muss einem eingehenden Test unterzogen werden. In Systemmessungen werden die Eigenschaften eines Systems in der Gesamtheit analysiert und überprüft inwieweit die erwarteten Spezifikationsdaten auch unter gegebenen Umweltbedingungen und Fertigungsstreuungen erfüllt sind. Dazu zählen auch Tests, um nachzuweisen, dass geltende Vorschriften (u.a. VDE-Vorschriften, CE-Kennzeichnung) eingehalten werden. Nach erfolgreichen Tests anhand einer Prototypenserie erfolgt schließlich die Produktfreigabe.

Der in Bild 2.1-1 und Bild 2.1-2 skizzierte Prozessablauf für die Entwicklung und Prototypfertigung eines Elektroniksystems soll in sehr gestraffter Form darstellen, wie ein Elektroniksystem entwickelt, prototypisch hergestellt und getestet wird. Kenntnisse der analogen Schaltungstechnik sind in vielen Entwurfsphasen als Basiswissen erforderlich. Im besonderen konzentriert sich die analoge Schaltungstechnik auf den Feinentwurf analoger und gemischt analog/digitaler Funktionsmodule.

2.1.2 Beispiele für Anwendungen der analogen Schaltungstechnik

Anhand von signifikanten Anwendungen wird aufgezeigt, wo die analoge Schaltungstechnik trotz fortschreitender Digitalisierung unverzichtbar ist. Wie bereits erwähnt, gibt uns die Physik analoge Größen vor. Für die elektronische Signalaufbereitung sind im allgemeinen Kenntnisse der analogen Schaltungstechnik erforderlich. Ein Tonsignal am Mikrofonausgang ist analog. Das Signal am Antennenfußpunkt bei einer Funkstrecke ist sehr schwach und verrauscht, dasselbe gilt am Ende einer längeren leitungsgebundenen Übertragungsstrecke. Bei höheren Taktfrequenzen in Logiksystemen genügt es nicht, das System auf rein logischer Ebene zu betrachten. Die Signaltreiber bilden mit den Verbindungsleitungen und den Signaleingängen wiederum eine Übertragungsstrecke. Reflexionsstörungen und Übersprechstörungen können auftreten. Zweifellos ist heute die Analogtechnik zunehmend auf sogenannte „Frontend“-Funktionen beschränkt. Bild 2.1-3 verdeutlicht die „Frontend“-Funktionen bei der Informationsübertragung, bei der Messwertaufnahme (Signalaufnahme durch Sensoren) und bei Leistungsfunktionen (Ansteuerung von Aktuatoren). Auch bei digitaler Informationsübertragung ist das Signal am Empfangsort quasi analog. Es muss erst regeneriert und aufbereitet werden bevor es digital weiter verarbeitet werden kann. Bei Bitraten oberhalb ca. *100MBit/s* ist die Digitaltechnik ohne ein Basiswissen der analogen Schaltungstechnik nicht zu beherrschen.

Im Frequenzbereich unterhalb einigen MHz können viele Analogfunktionen durch Standard-IC's (beispielsweise u.a. mit Operationsverstärkern) realisiert wer-

den. Der Anwender braucht dabei kein sehr tiefes Verständnis über das Innenleben dieser Standard-IC's. Bei Anwendungen, die keine Massenstückzahlen ermöglichen, können mit zunehmender Frequenz oberhalb des MHz-Bereichs zunehmend weniger allgemeine Standard-IC's für Analogfunktionen eingesetzt werden. Der Anwender muss sich aus Funktionsgrundsaltungen die geforderte Schaltungsfunktion realisieren. Bietet ein Anwendungsbereich hohe Stückzahlen, so werden zumeist von Halbleiterherstellern integrierte Funktionsbausteine für den Anwendungsbereich angeboten oder der Anwender entwickelt selbst einen vollkunden-spezifisch integrierten Funktionsbaustein. Insbesondere für die Entwicklung von vollkunden-spezifisch integrierten Funktionsbausteinen sind solide Kenntnisse der analogen Schaltungstechnik auf Transistorebene erforderlich.

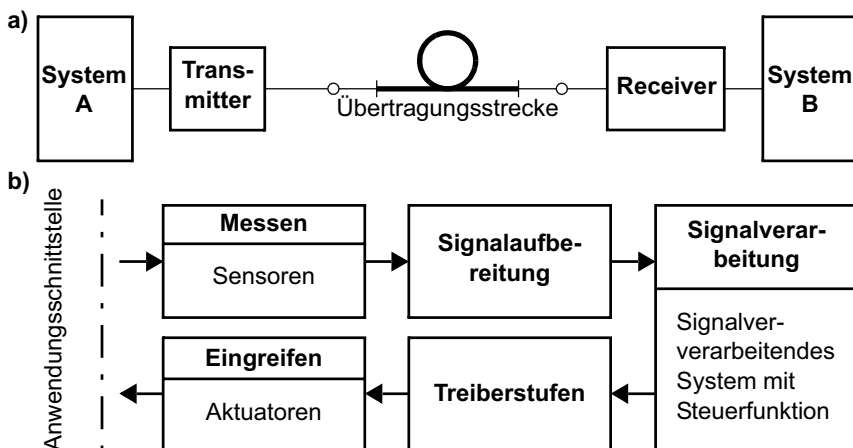


Bild 2.1-3: Frontend-Funktion – Signalaufnahme (analog), Signalaufbereitung (analog/digital), Signalverarbeitung (digital) und „Einwirken“ in einen Prozess (meist analog); a) Informationsübertragung; b) Messaufnahme und Stellfunktionen

Die Signalübertragung bei einem Übertragungssystem gemäß Bild 2.1-3a) kann u.a. erfolgen über eine Funkstrecke, eine Infrarotstrecke, eine Ultraschallstrecke oder eine leitungsgeführte Strecke. Wird ein Plastik-Lichtwellenleiter als Übertragungsmedium verwendet, so benötigt man einen dafür geeigneten optischen Sender (Transmitter) und Empfänger (Receiver). Den beispielhaften Schaltplan eines optischen Empfängers zeigt Bild 2.1-4. Auf die Schaltung wird später noch detailliert eingegangen (siehe Abschnitt 5.5.2). Hier geht es zunächst nur darum, in einem praktischen Projektbeispiel das Ergebnis einer Schaltungsentwicklung im Prototypenstadium vorzustellen.

Hinsichtlich der Aufbautechnik ist in besonderem Maße auf das Masse/Versorgungssystem zu achten. Die Masseführung auf der Leiterplatte ist sorgfältig elektrisch mit dem Modulgehäuse zu verbinden. Als Modulgehäuse verwendet man im Experimentierstadium oft ein Standard-Weißblechgehäuse. Das Layout des Empfängers ist in Bild 2.1-6 dargestellt. Bild 2.1-5 zeigt den praktischen prototypischen Aufbau des optischen Empfängers.

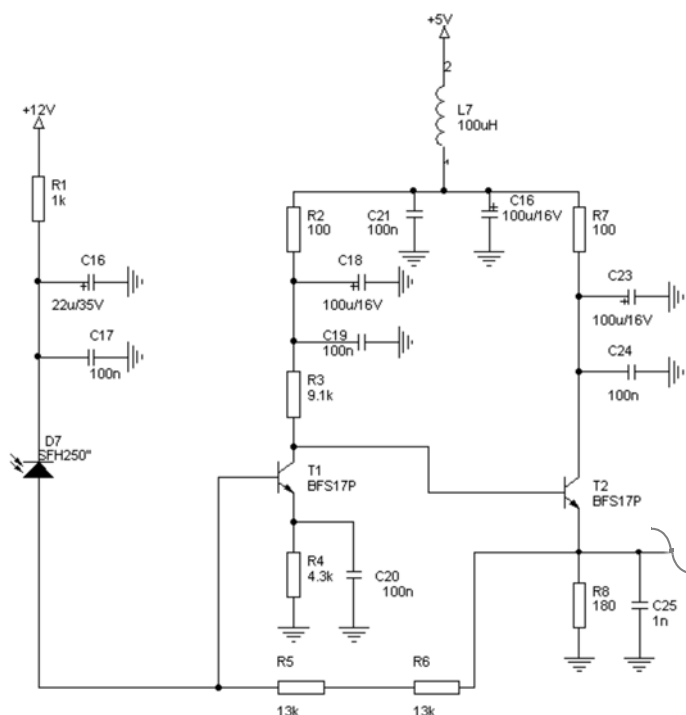


Bild 2.1-4: Auszug aus dem **Schaltplan** eines optischen Empfängers für Plastik-Lichtwellenleiter – Bildquelle: Dipl.-Ing. (FH) E. Bluoss, FH Nürnberg

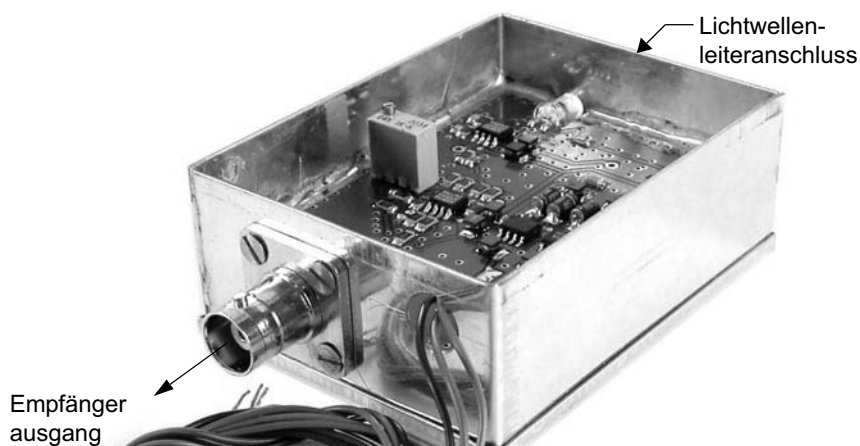


Bild 2.1-5: Praktischer Aufbau eines optischen Empfängers für Plastik-Lichtwellenleiter – Bildquelle: Dipl.-Ing. (FH) E. Bluoss, FH Nürnberg

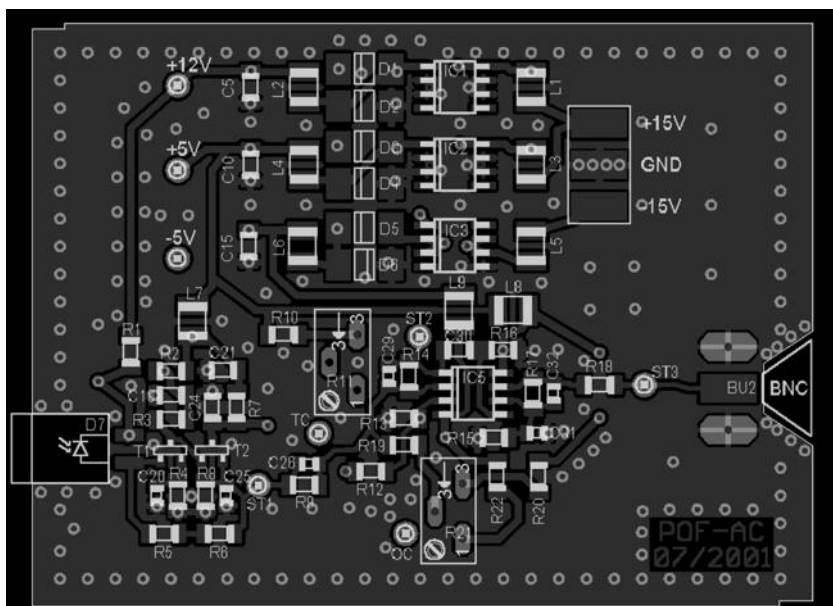


Bild 2.1-6: Ausschnitt aus dem **Layout** eines optischen Empfängers für Plastik-Lichtwellenleiter – Bildquelle: Dipl.-Ing. (FH) E. Bluoss, FH Nürnberg

Als Beispiel für die Prinzipdarstellung einer Messaufnahme mit nachfolgender Signalverarbeitung und mit Aktuatorfunktion in Bild 2.1-3b) ist in Bild 2.1-7 ein System zur elektroakustischen Tonaufzeichnung und Tonwiedergabe skizziert. Eine akustische Schwingung wird von einem Mikrofon (Sensor) erfasst, anschließend verstärkt und über einen Analog/Digitalwandler der Signalverarbeitungseinheit zugeführt. Über einen Digital/Analogwandler, einer Treiberstufe und einem Lautsprecher (Aktuator) lässt sich eine akustische Schwingung wieder gewinnen. Eine beispielhafte Realisierung wird in Abschnitt 6.3.1 behandelt.

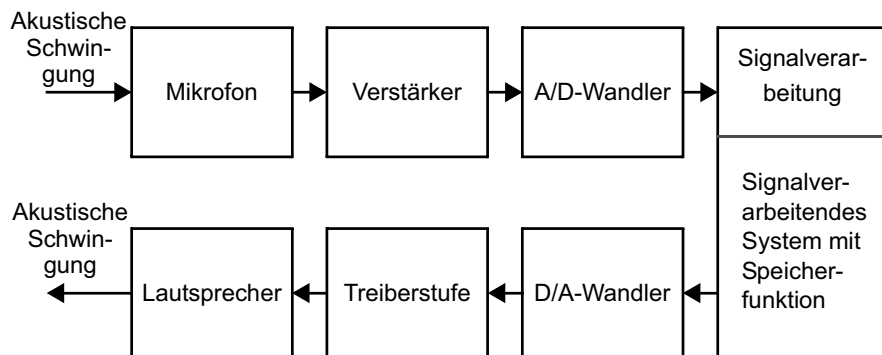


Bild 2.1-7: Prinzip der elektroakustischen Tonaufzeichnung und Tonwiedergabe

Ein weiteres praktisches Beispiel aus dem Bereich Sensorelektronik zeigt einen induktiven Abstandssensor (Bild 2.1-8).

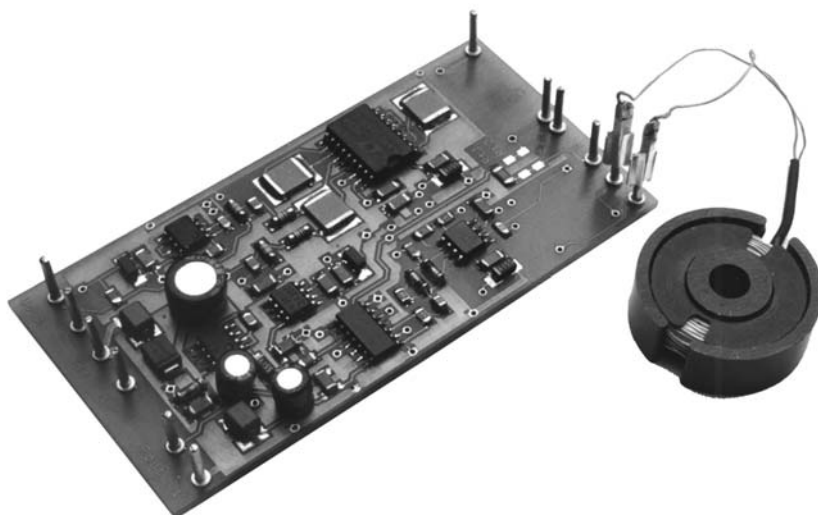


Bild 2.1-8: Induktiver Abstandssensor

Die Induktivität ist Teil eines Parallelresonanzkreises. Die Eigenschaften des Parallelresonanzkreises werden bei Annäherung eines metallischen Gegenstandes verändert. Das magnetische Feld des Resonanzkreises erzeugt im angenäherten metallischen Gegenstand einen Wirbelstrom, der Wirbelstromverluste verursacht, die wiederum sich u.a. als Bedämpfung des Resonanzkreises bemerkbar machen. Mittels einer geeigneten Sensorschaltung kann ein Sensorsignal erzeugt werden, das im Idealfall proportional zur Entfernung des metallischen Gegenstandes ist. Derartige Sensoren werden in anderer Ausprägung u.a. auch als Drehratensensor in Anti-Blockier-Systemen (ABS-Systemen) eingesetzt. Die Prinzipschaltung der Sensorelektronik eines induktiven Abstandssensors wird in Kap. 6.5 behandelt.

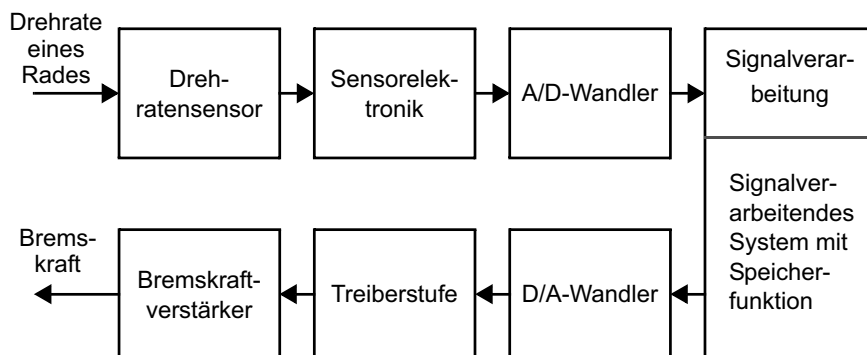


Bild 2.1-9: Prinzip eines ABS-Systems zur Bremskraftregelung für Kraftfahrzeuge

Bild 2.1-9 zeigt das Grundprinzip eines Anti-Blockier-Systems in Kraftfahrzeugen. Über einen Drehratensensor wird die Drehgeschwindigkeit eines Rades erfasst. Eine Sensorelektronik erzeugt ein zur Drehrate eines Rades proportionales elektrisches Signal, das nach Analog/Digital-Wandlung (A/D-Wandlung) von einer Signalverarbeitungs- und Regelungseinheit bearbeitet wird, um dann über eine Steuereinheit nach Digital/Analog-Wandlung (D/A-Wandlung) einer Treiberstufe zugeführt zu werden. Der Bremskraftverstärker erzeugt schließlich, gesteuert über die Treiberstufe, eine geregelte Bremskraft.

2.1.3 Realisierungsmöglichkeiten von Schaltungen

Die abstrakte Beschreibung einer Schaltung mittels z.B. eines Schaltplans gilt es in einer vorgegebenen Zieltechnologie physikalisch zu realisieren. Vorgestellt werden die wichtigsten Schaltungstechnologien. Die Funktionen von elektronischen und informationstechnischen Geräten und Systemen werden durch Schaltungen realisiert. Die Realisierung von Schaltungen ist in verschiedenen Schaltungstechnologien möglich:

1. **Leiterplattentechnik** (PCB: Printed Circuit Board – Technik) – auf einem geeigneten Trägermaterial (Beispiel: Handelsname FR4) werden in einer oder mehreren Lagen Leitungsstrukturen durch Photo/Ätztechnik aufgebracht. Die Leiterplatte wird dann mit bedrahteten oder mit oberflächenmontierten Bauteilen (SMD: Surface Mounted Devices) bestückt. Bild 2.1-6 und Bild 2.1-8 zeigen praktische Beispiele.

2. **Hybrid-Schaltungstechnik** – Dickschicht- oder Dünnschichttechnik auf Keramiksubstraten (Al_2O_3). Alle Leitungen und Widerstände werden integriert, die übrigen Bauteile werden diskret aufgebracht und im Reflow-Lötverfahren mit Anschlussleitungen verbunden. Bild 2.1-10 zeigt ein praktisches Beispiel.

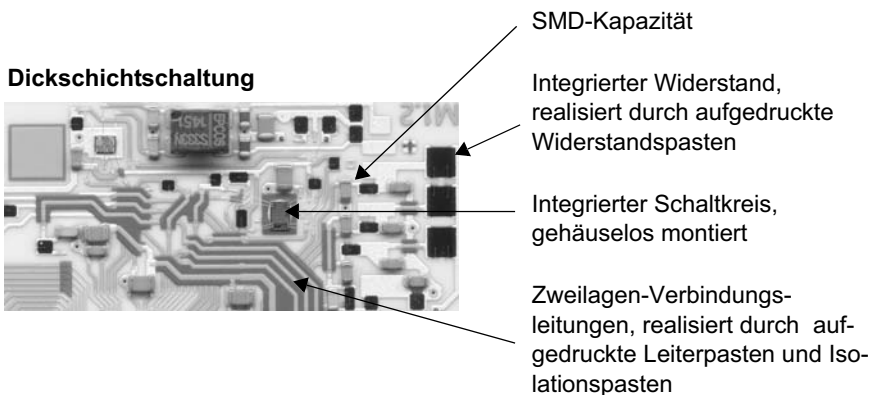
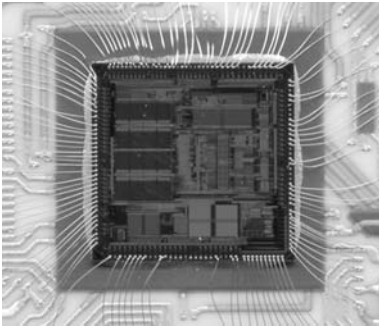


Bild 2.1-10: Ausschnitt einer Schaltung zur Getriebesteuerung realisiert in Dickschichttechnologie – Bildquelle Firma Temic, Nürnberg

3. Monolithisch integrierte Schaltungstechnik – alle passiven und aktiven Schaltungselemente werden auf einem Halbleitergrundmaterial (z.B. Silizium) integriert. In Bild 2.1-11a) ist ein integrierter Funktionsbaustein mittels Bondverbindungen in die umliegende Schaltung eingebaut.

a) Integrierte Schaltungstechnik



b) Verdrahtungsebene auf Silizium

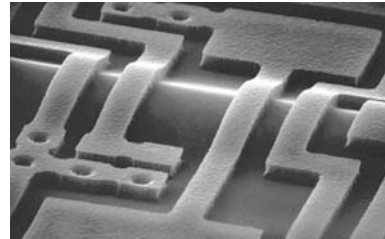


Bild 2.1-11: Integrierte Schaltung; a) Integrierter Funktionsbaustein; b) Verdrahtungsebene auf Silizium – Bildquelle Firma Temic, Nürnberg

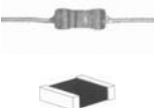
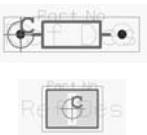
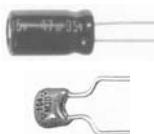
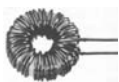
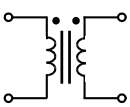
Bei hohem Stückzahlbedarf werden soweit wie möglich integrierte Funktionsbausteine eingesetzt. Falls keine Standard-Bausteine (z.B. Chipsatz) verfügbar sind, müssen Funktionsbausteine anwendungsspezifisch entwickelt werden. Die unter Punkt 2 vorgestellte Dickschichttechnik ist insbesondere für die Realisierung von Leistungsfunktionen mit speziellen Anforderungen (z.B. Treiberstufen, Aktuator-schaltungen) interessant. In Automotive-Anwendungen ist dies u.a. vielfach gegeben.

2.1.4 Strukturierung der Schaltungstechnik

Die systematische Einteilung der Schaltungstechnik in Schaltkreiselemente, Funktionsprimitive, Funktionsschaltkreise und Systemmodule fördert den Überblick für das Verständnis komplexerer Elektroniksystemmodule. Bauelemente sind die Basis der analogen und gemischt analog/digitalen Schaltungstechnik. Tab. 1 zeigt wichtige diskrete Schaltkreiselemente. Jedes diskrete Schaltkreiselement wird durch verschiedene Sichten (Views) repräsentiert. Eine Repräsentation ist ein das Schaltkreiselement charakterisierendes Symbol. Ein Symbol steht für eine bestimmte Schaltkreisfunktion. Symbole werden für die Schaltpläneingabe benötigt. Daneben ist dem Schaltkreiselement eine Bauform (Gehäuse: Package) bzw. eine zweidimensionale Abbildung der Gehäuseform in Form des „Footprints“ zugeordnet. „Footprints“ stellen den „Physical View“ im Layout dar. Die hier getroffene Stoffauswahl zur Schaltungstechnik soll die Grundlagen vermitteln, um u.a. aus Schaltkreiselementen Funktionsprimitive und Funktionsschaltkreise zu bilden, sie zu verstehen, zu dimensionieren und zu optimieren. Voraussetzung ist die Kenntnis der physikalischen Eigenschaften, der charakterisierenden Kennlinien und der Modelle

einschließlich der Modellparameter der Schaltkreiselemente. Modelle stellen eine weitere Repräsentation eines Schaltkreiselementes dar. Das Modell wird für die Simulation des elektrischen Verhaltens benötigt.

Tabelle 2.1 - 1: Diskrete Schaltkreiselemente

Schaltkreiselement	Symbol	Package	Footprint
R ... Widerstand			
C ... Kondensator			
L ... Induktivität			
K ... gekoppelte Induktivitäten			
D ... Diode			
Q ... Bipolartransistor			
J ... JFET			
M ... MOSFET			

Beispiele möglicher Gehäuseformen von diskreten Schaltelementen sind in nachstehendem Bild 2.1-12 dargestellt. Grundsätzlich unterscheidet man zwischen der bedrahteten und der oberflächenmontierten Aufbautechnik (SMD: Surface Mounted Devices). Je größer die Gehäuseform ist, um so günstiger kann die Wärmeableitung vom aktiven Schaltelement zur Umgebung gestaltet werden.



Bild 2.1-12: Beispiele von Gehäuseformen (Packages); a) bedrahtete Aufbautechnik (TO92, TO220, DIP16); b) oberflächenmontierte Aufbautechnik (SOT23, SOT323, SOT363); die Darstellungen sind nicht maßstäblich

Die Bezeichnung „Schaltkreisfunktion“ stellt einen unscharfen Überbegriff dar. Einem geeignet beschalteten integrierten Operationsverstärker kann beispielsweise eine Schaltkreisfunktion zugeordnet werden. Im Prinzip lässt sich allgemein eine Funktion in jeder Hierarchiestufe durch ein Symbol repräsentieren. Dem Operationsverstärker selbst ist ein Symbol bzw. ein Gehäuse zugeordnet. Vielfach können mehrere Schaltkreisfunktionen in einem Gehäuse untergebracht sein. Die Abbildung von Schaltkreisfunktionen – repräsentiert durch Symbole – in ein bestimmtes Gehäuse beschreibt das „Mapping“. Das „Mapping“ definiert also die Abbildung der Symbole und deren Schnittstellen in ein Gehäuse auf die Schnittstelle des Gehäuses (Bild 2.1-13). Dabei wird auch die Vertauschbarkeit von Symbolen und von Symbolpins festgelegt. Die Vertauschbarkeit von Symbolen und von Symbolpins erleichtert oft die Erstellung des geometrischen Layouts, um Überkreuzungen von Signalleitungen zu vermeiden.

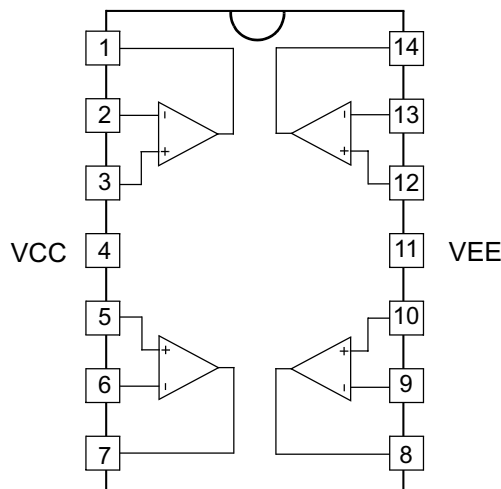


Bild 2.1-13: Mapping: Zuordnung der Symbole von Schaltkreisfunktionen auf ein Dual-Inline-Package mit Anschlussbezeichner (TLE2084 Operational Amplifier)

In der hier vorgenommenen Stoffauswahl geht es vornehmlich um die Vermittlung von Kenntnissen über wichtige analoge und gemischt analog/digitale Funktionsschaltkreise. Im Folgenden wird eingeteilt in:

- ☐ Schaltkreiselemente (z.B. R für Widerstand, L für Induktivität, C für Kapazität, K für gekoppelte Induktivitäten, D für Diode, Q für Bipolartransistoren, J für Sperrschicht-Feldeffekttransistoren, M für Isolierschicht-Feldeffekttransistoren);
- ☐ Funktionsprimitive bzw. Funktionsgrundsaltungen (z.B. kapazitive Spannungsteiler, Verstärkergrundsaltungen bzw. Verstärkerelemente, Konstantstromquellen, Konstantspannungsquellen, Darlingtonstufen, Kaskodestufen, Differenzstufen, elektronische Strombegrenzungen);
- ☐ Funktionsschaltkreise (z.B. Verstärker, Operationsverstärker, Treiberstufen, Mischer, Oszillatorschaltungen, Phasenregelkreise bzw. PLL-Schaltkreise, Analog/Digital-Wandler, Digital/Analog-Wandler);
- ☐ Systemmodule (z.B. Optischer Empfänger, Überlagerungsempfänger, Sensor-elektroniksystem).

Einige passive Funktionsprimitive gebildet aus passiven Schaltkreiselementen werden im Abschnitt 3.1 vorgestellt und erläutert. In Abschnitt 3.2 erfolgt die Darstellung einer Auswahl von Diodenschaltungen als Funktionsschaltungen für bestimmte Anwendungen. Ein kapazitiver Spannungsteiler kann beispielsweise als Impedanztransformator wirken, wenn bestimmte Randbedingungen eingehalten werden. Damit lässt sich eine niederohmige Schnittstelle auf eine hochohmige Schnittstelle transformieren (Funktion: Impedanztransformation). Kap. 5 und 6 behandeln u.a. Funktionsprimitive bzw. Funktionsgrundsaltungen gebildet mit Bipolartransistorschaltungen bzw. Feldeffekttransistorschaltungen. In Kap.7 wird in weitere wichtige Funktionsprimitive für Funktionsschaltungen eingeführt, wie sie u.a. in integrierten Schaltungen gegeben sind.

Bild 2.1-14 zeigt die Schaltung des altbekannten integrierten Operationsverstärkers uA741 als Auszug aus einem Datenblatt. Die Schaltung in Bild 2.1-14 besteht aus folgenden Funktionsprimitiven:

- ☐ Differenzstufen:
 - Kaskode-Differenzstufe mit Q1 bis Q4;
 - Basisgekoppelte Differenzstufen Q5&Q6; Q8&Q9; Q10&Q11; Q12&Q13;
- ☐ Stromquellen: die basisgekoppelten Differenzstufen wirken als Stromquellen;
- ☐ Darlingtonstufe mit Q15&Q17 und R12;
- ☐ Konstantspannungsquelle mit Q16, R7&R8;
- ☐ Treiberstufe mit Q14, Q20;
- ☐ Elektronische Strombegrenzung mit Q18&R9, Q22&R11.

Differenzstufen, Konstantstromquellen, Konstantspannungsquellen und Treiberstufen werden in Kap. 7 eingehend behandelt. Mit dem Kenntnisstand von Kap. 5 (u.a. Darlingtonstufe) und Kap. 7 ist die Schaltung in Bild 2.1-14 relativ leicht zu verstehen.

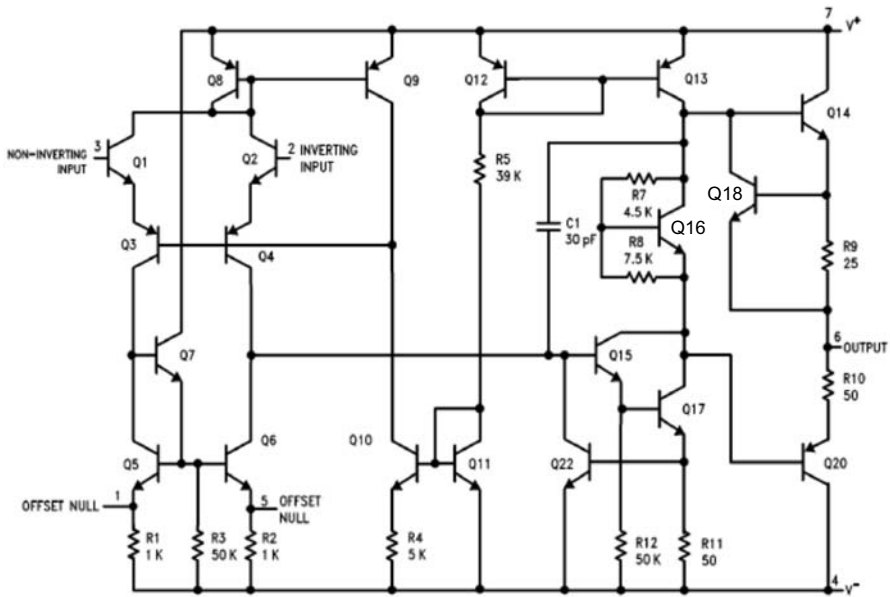


Bild 2.1-14: Schaltplan eines integrierten Standard-IC's (uA 741: Datenblattauszug)

Ein weiteres altbekanntes Beispiel: Ein Logikgatter in TTL-Technik besteht aus einem Multi-Emitter-Bipolartransistor als Längsschalter und einer Treiberstufe; das ECL-Gatter (ECL: Emitter Coupled Logic) aus einer emittergekoppelten Differenzstufe als Komparator mit einer nachfolgenden Treiberstufe.

Die Grundlagen zur analogen Schaltungstechnik konzentrieren sich daher vornehmlich auf das grundlegende Verständnis der Eigenschaften von Funktionsprimitiven und Funktionsschaltkreisen. Sie bilden die Basis für die Entwicklung von Funktionsschaltungen als den „Bausteinen“ für Elektroniksystemmodule. Am Beispiel des Schaltkreises von Bild 2.1-14 wird die schon mehrfach getroffene Aussage deutlich: kennt man die Eigenschaften der Funktionsprimitive, so erschließt man sich sehr viel leichter das Verständnis der Schaltung. Dazu sei beispielhaft die Teilschaltung mit $Q16$, $R7$ & $R8$ in Bild 2.1-14 herausgegriffen. Die Teilschaltung stellt eine Konstantspannungsquelle zur Vorspannungserzeugung für $Q14$ und $Q20$ dar. Die Spannungsquelle lässt sich durch die Leerlaufspannung und den Innenwiderstand charakterisieren, wobei der Innenwiderstand möglichst niederohmig sein soll. Der Teilschaltung kann demnach ein Makromodell bestehend aus der Konstantspannungsquelle U_0 und einem Innenwiderstand r_i zugeordnet werden (siehe Bild 2.1-15). Die gewünschten Ersatzwerte U_0 und r_i ergeben sich durch geeignete Dimensionierung der Teilschaltung. In Abschnitt 5.3.4 wird auf diese Schaltung näher eingegangen.

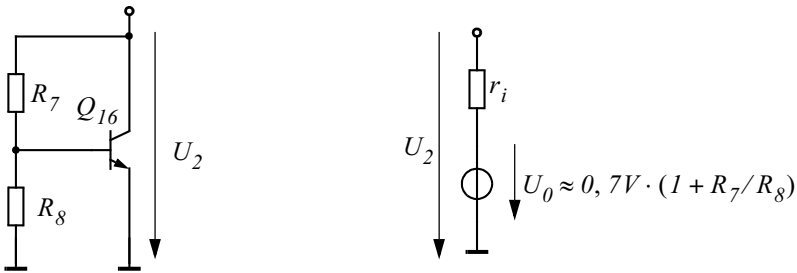


Bild 2.1-15: Beispiel für eine Teilschaltung, die eine Konstanzspannungsquelle als Funktionsprimitiv darstellt

Die gesamte erste Stufe mit $Q1$ bis $Q9$ der Schaltung von Bild 2.1-14 lässt sich durch eine spannungsgesteuerte Stromquelle darstellen, wobei die Stromübertragungsfunktion als bekannt vorausgesetzt wird. Bild 2.1-16 zeigt die Beschreibung der ersten Stufe durch eine spannungsgesteuerte Stromquelle mit gegebener Stromübertragungsfunktion. Auch hier gilt: kennt man das Funktionsmodell der Teilschaltung gemäß Bild 2.1-16, so erschließt man sich das Verhalten der ersten Verstärkerstufe in Bild 2.1-14 mit insgesamt 9 Bipolartransistoren. Bei der Erarbeitung der Grundlagen zur Schaltungstechnik muss es also darum gehen, möglichst viele derartiger Funktionsprimitive bzw. Funktionsschaltkreise zu verstehen und um geeignete Funktionsmodelle oder Makromodelle zuzuordnen zu können.

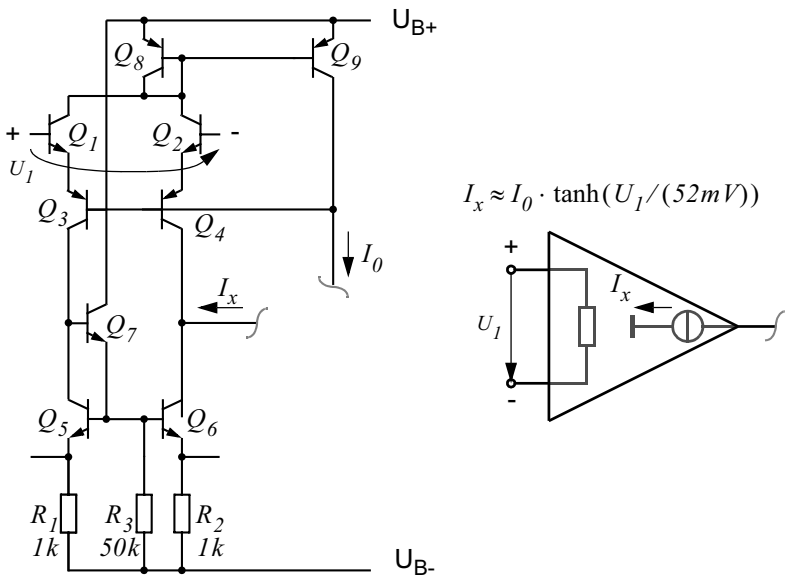


Bild 2.1-16: Spannungsgesteuerte Stromquelle als Funktionsmodell oder Makromodell für die erste Stufe der Schaltung in Bild 2.1-14

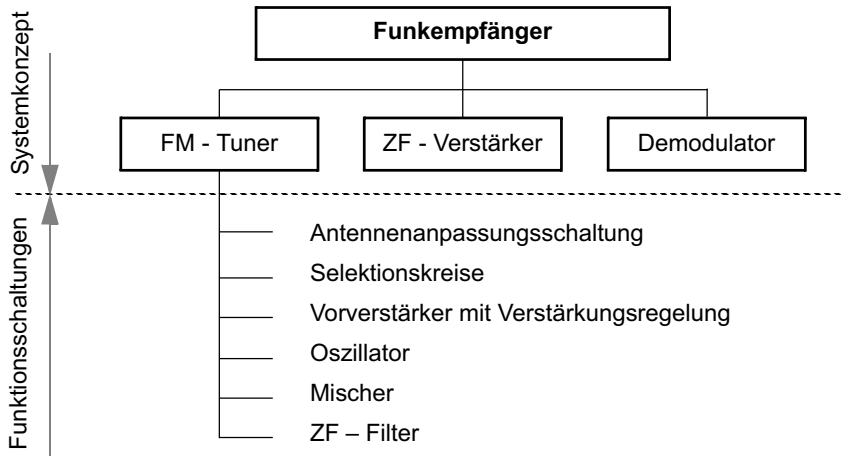


Bild 2.1-17: Systemmodule eines Empfängers mit den Funktionsschaltungen des FM-Tuners

Hierarchische Vorgehensweise: Bild 2.1-17 zeigt am Beispiel eines Funkempfängers für frequenzmodulierte Signale (FM) die Systematik des hierarchischen Aufbaus von Systemmodulen bestehend aus Funktionsschaltungen. Der betrachtete FM-Tuner dient zur Verstärkung, Vorselektion und Umsetzung eines Empfangssignals auf eine Zwischenfrequenzlage. Derartige Überlagerungsempfänger finden Anwendung u.a. in Funkempfängern und in Messempfängern. Neuere Schaltungskonzepte verwenden integrierte Funktionsschaltkreise, die hier nicht betrachtet werden sollen. Zum besseren Verständnis wird auf ein Schaltungskonzept realisiert durch diskrete Schaltkreiselemente zurückgegriffen.

Der FM-Tuner gliedert sich in die in Bild 2.1-17 aufgelisteten Funktionsschaltungen. Neuere Empfängerkonzepte bestehen aus einem Eingangsverstärker und einem direkt nachgeschalteten Analog/Digital-Wandler. Die Demodulation und Signalaufbereitung erfolgt auf der digitalen Seite mittels digitaler Signalverarbeitung. Allerdings werden dafür entsprechend schnelle Analog/Digital-Wandler benötigt. Sind geeignet schnelle A/D-Wandler nicht verfügbar, so muss das Eingangssignal von einer höheren Frequenzlage in eine tiefere Frequenzlage umgesetzt werden. Bild 2.1-18 zeigt das Blockschaltbild eines FM-Tuners, der das Eingangssignal am Fußpunkt der Antenne aufnimmt, selektiert, vorverstärkt und auf eine Zwischenfrequenzlage umsetzt.

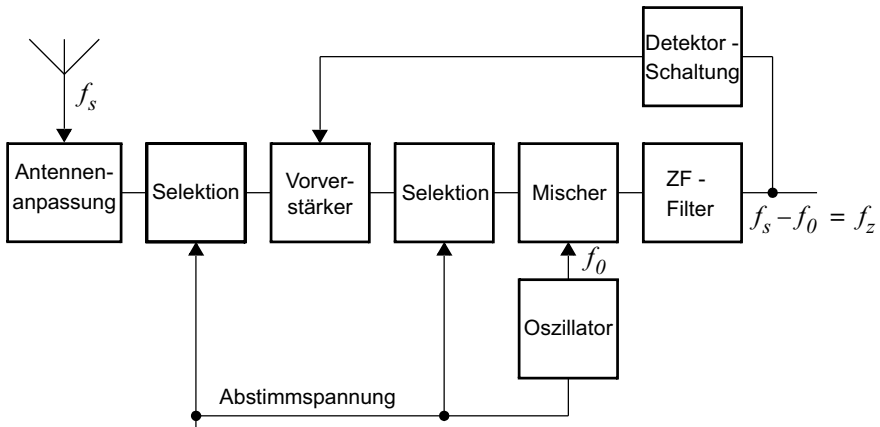


Bild 2.1-18: Blockschaltbild eines konventionellen FM-Tuners

Die Funktionseinheit eines Überlagerungsempfängers ist in Bild 2.1-19 dargestellt. Wesentlich dabei ist die Umsetzung des Empfangssignals mit der Frequenz f_s mittels einer Oszillatorfrequenz f_0 auf eine konstante Zwischenfrequenz f_z . Die Hauptverstärkung und Selektion erfolgt auf der Zwischenfrequenzebene. Das Empfangssignal ist einem bestimmten Empfangskanal zugeordnet. Soll ein anderer Empfangskanal empfangen werden, so muss die Oszillatorfrequenz so verändert und abgestimmt werden, dass wiederum die feste, konstante Zwischenfrequenz entsteht. Mit dem Oszillator sind auch die Selektionskreise auf den neuen Empfangskanal abzustimmen. Problematisch dabei ist der Gleichlauf zwischen der Abstimmung des Oszillators und der Abstimmung der Selektionskreise. In verbesserten Schaltungskonzepten können hier geeignete Regelschaltungen (PLL-Schaltkreis) helfen, auf die später eingegangen wird.

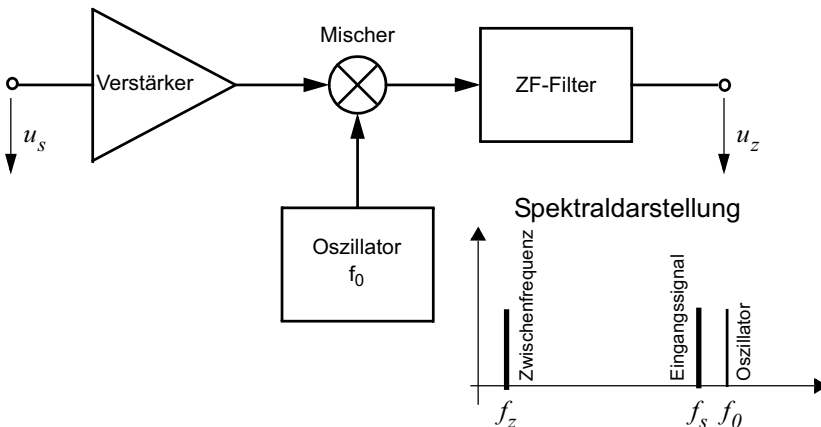


Bild 2.1-19: Blockschaltbild und Funktionsdarstellung eines Überlagerungsempfängers; u_s ist das Eingangssignal, u_z die Schnittstelle zum ZF-Verstärker

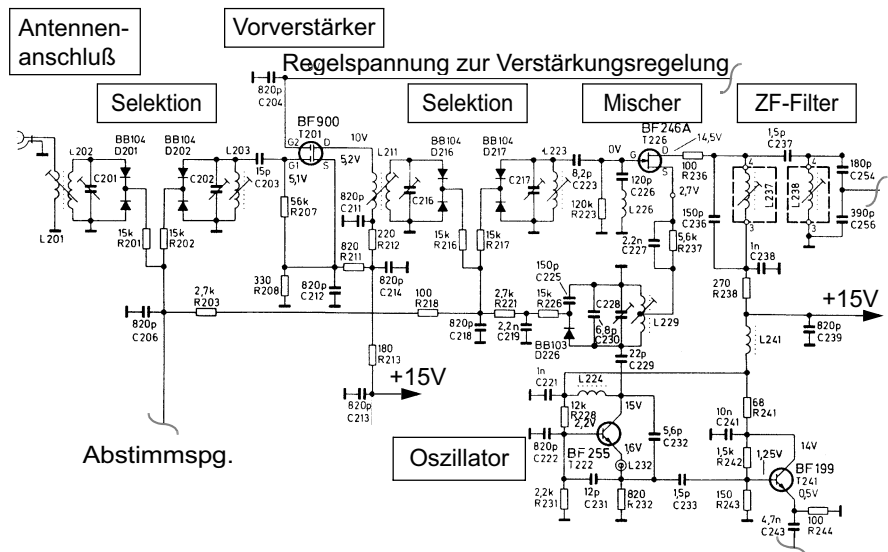


Bild 2.1-20: Schaltungsbeispiel eines konventionellen FM-Tuners mit den Modulen: Antennenanpassschaltung, Selektionskreise, Vorverstärker, Oszillator, Mischer, ZF-Filter, Amplitudendetektor für Verstärkungsregelung des Vorverstärkers

Im FM-Tuner wird das Antennensignal mit der Frequenz f_s (z.B. $88,9\text{MHz}$) über eine Antennenanpassschaltung auf den ersten Selektionskreis geführt (Vorselektion). Die elektronische Abstimmung des Selektionskreises erfolgt über die Abstimmungsspannung an den Kapazitätsdioden (BB104). Ein regelbarer rauscharmer Vorverstärker hebt das Eingangssignal aus dem Rauschen heraus und führt es einem zweiten Selektionskreis zu. Mittels eines abstimmbaren Oszillators der Frequenz f_0 und eines Mixers erfolgt die Umsetzung des Eingangssignals auf eine konstante Zwischenfrequenzlage f_z (z.B. bei UKW-Empfang: $10,7\text{MHz}$). Über ein ZF-Filter liegt am Ausgang des FM-Tuners das auf die Zwischenfrequenz umgesetzte Eingangssignal vor. Die Regelspannung zur Verstärkungsregelung (AGC: Automatic Gain Control) des Vorverstärkers wird über eine Amplitudendetektorschaltung aus der Amplitude des Zwischenfrequenzsignals abgeleitet. Bild 2.1-20 zeigt ein realisiertes Schaltungsbeispiel eines konventionellen FM-Tuners mit den gekennzeichneten Funktionsblöcken.

Das komplexe Schaltungsbeispiel in Bild 2.1-20 soll zeigen, wie ein Systemmodul (hier der FM-Tuner) sich in Funktionsmodule aufgliedert. Ein Funktionsmodul lässt sich wiederum in Funktionsprimitive zerlegen. Als wichtige Funktionsprimitive werden als erstes Abblockmaßnahmen des Systemmoduls betrachtet. Wie bereits erwähnt, ist dem Masse/Versorgungssystem eines Systemmoduls besondere Aufmerksamkeit beim praktischen Aufbau zu widmen. Die Versorgungsspannung von +15V wird im Beispiel über eine Drossel mit 1mH und einem Kondensator

mit $0,1\mu F$ gefiltert auf einen Funktionsblockkondensator von $220\mu F$ zugeführt und auf die einzelnen Funktionen verteilt. Diese Filtermaßnahme der Spannungsversorgung ist aus Platzgründen in Bild 2.1-20 nicht dargestellt. Eine ähnliche Filtermaßnahme der Spannungsversorgung ist auch in der Schaltung in Bild 2.1-4 zu finden. Alle $820pF$ bzw. $1nF$ Kondensatoren stellen bei der Betriebsfrequenz von ca. $100MHz$ einen Abblockkondensator dar. Für die Frequenzbereichsanalyse im $100MHz$ Bereich wirken diese Abblockkondensatoren als Kurzschluss. Tab. 2 zeigt typische Werte für Abblockkondensatoren, sie sind so groß wie nötig und so klein wie möglich – je nach Anwendungsfrequenzbereich – zu wählen.

Tabelle 2.1 - 2: Werte für Abblockkondensatoren

Anwendungsfrequenzbereich	Wert des Abblockkondensators
ca. $10kHz$ (NF)	ca. $10\mu F$
ca. $1MHz$ (Mittelwellenbereich)	ca. $100nF$
ca. $100MHz$ (UKW-Bereich)	ca. $1nF$
ca. $1000MHz$ (HF)	ca. $100pF$

Die Versorgungsleitung einer Schaltkreisfunktion muss wirksam abgeblockt werden, um eine hinreichend niederohmige Versorgungsimpedanz zu erhalten. Allgemein müssen die Versorgungsspannungsanschlüsse von Funktionsbausteinen, die Stromänderungen verursachen, geeignet abgeblockt werden. Die Zuführungsleitungen der Spannungsversorgung weisen Induktivitätsbeläge und Kapazitätsbeläge auf. Damit wird die niederohmige Impedanz der Versorgungsquelle transformiert. Der Abblockkondensator macht die Versorgungsimpedanz wieder niederohmig. Er stellt gleichsam eine lokale Ladungsquelle dar, so dass kurzzeitige Stromänderungen aus dieser lokalen Ladungsquelle versorgt werden. Bei einem Induktivitätsbelag der Versorgungsleitung von ca. $2nH/mm$ und einer Leitungslänge von $500mm$ ergibt sich eine Induktivität von $1000nH$. Verursacht ein Funktionsbaustein eine Stromänderung von $20mA$ innerhalb von $10ns$, so ergibt sich dabei eine Störspannung auf der Versorgungsleitung von:

$$\Delta u = 1000nH \cdot \frac{\Delta i}{\Delta t} = 2V;$$

Eine Störspannung von $2V$ auf der Versorgungsleitung ist unakzeptabel. Geeignet gewählte Abblockkondensatoren vermeiden diese Störspannungen.

Das ausgewählte Beispiel in Bild 2.1-20 soll die hierarchische Gliederung eines Elektroniksystemaufbaus aufzeigen. Auf der untersten Ebene sind die in Bild 2.1-19 skizzierten Blockfunktionen mit realen Funktionsschaltkreisen auszufüllen. Dies ist die Aufgabe der analogen Schaltungstechnik. Für die Dimensionierung und Optimierung der Funktionsschaltkreise sind detaillierte schaltungstechnische Kenntnisse erforderlich.

Allgemein lässt sich ein Funktionsschaltkreis in Funktionsprimitive zerlegen. Der Oszillator in Bild 2.1-20 beispielsweise besteht aus den in Bild 2.1-21 skizzier-

ten Funktionsprimitiven (siehe auch Übung 6.7):

- ❑ Verstärkerelement mit dem Transistor $T222$; das Verstärkerelement benötigt eine geeignete Beschaltung und wirkt auch als Amplitudenbegrenzer;
- ❑ Resonanzkreis zur Festlegung der Oszillatorfrequenz.

Bild 2.1-21 zeigt die Aufteilung des Oszillators in die genannten Funktionsprimitive. Der Transistor benötigt einen Arbeitspunkt, bei dem sich Verstärkereigenschaften einstellen. Mit den Widerständen $R228$, $R231$ und $R232$ erfolgt die Arbeitspunkteinstellung von $T222$. Derartige Verstärkerelemente werden in Kap. 5 eingehend behandelt. Die Induktivität $L224$ stellt eine Drossel dar, sie ist für die Betriebsfrequenzen hochohmig. Die Ankopplung des Resonanzkreises mit $L229$ und einer parallel abstimmbaren Kapazität C_{tune} erfolgt über $C229$. Von der Ankopplungskapazität aus bilden $C232$ und $C231$ einen Rückkopplungspfad zum Emitteneingang des Transistors.

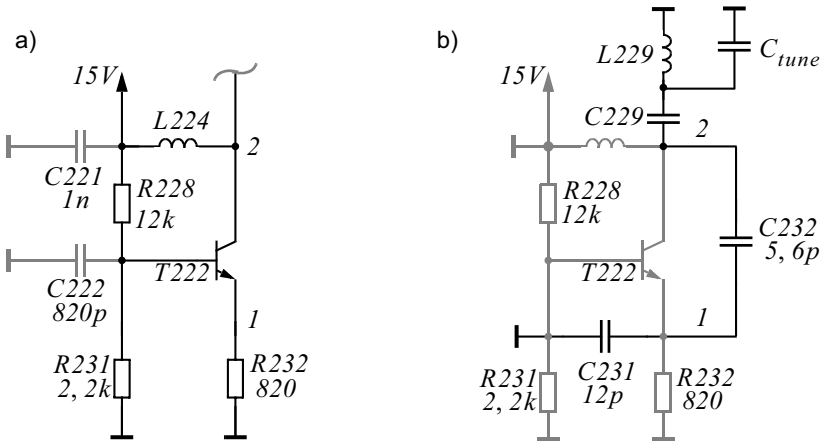


Bild 2.1-21: Oszillator – a) Verstärkerelement mit $T222$ inclusive Maßnahmen zur Arbeitspunkteinstellung; $C221$ und $C222$ sind Abblockkondensatoren, $L224$ ist eine Drosselspule; b) Frequenzbestimmender Resonanzkreis mit Rückkopplung über $C232$ und $C231$

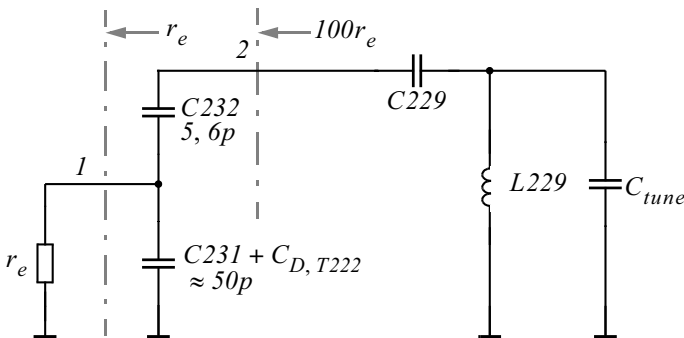


Bild 2.1-22: Kapazitiver Spannungsteiler am Resonanzkreis des Oszillators

Der Resonanzkreis beinhaltet mit dem kapazitiven Spannungsteiler ein weiteres Funktionsprimitiv. Im Abschnitt 3.1 wird noch näher auf den kapazitiven Spannungsteiler mit seiner Funktion als Impedanztransformator eingegangen. Die Kapazitäten C_{232} und C_{231} mit der Diffusionskapazität $C_{D,T222}$ der Emitter-Basis-Diode von $T222$ bilden einen kapazitiven Teiler. Damit ergibt sich die in Bild 2.1-22 skizzierte Ersatzschaltung für den frequenzbestimmenden Parallelresonanzkreis des betrachteten Oszillators. Der Teiler mit C_{232} und C_{231} inklusive der Diffusionskapazität des Transistors $T222$ hat die Aufgabe die relativ niederohmige Eingangsimpedanz des Transistors $T222$ gegeben durch r_e an der Schnittstelle 1 auf eine hochohmigere Impedanz (hier ca. $100r_e$) gemessen an der Schnittstelle 2 zu transformieren. Das Ausgangssignal des Oszillators wird zwar von Knoten 2 nach Knoten 1 durch den Teiler abgeschwächt. Wesentlich hier ist die Impedanztransformation durch den kapazitiven Spannungsteiler.

Die hier beschriebene beispielhafte Zerlegung eines Funktionsschaltkreises in Funktionsprimitive gilt im Prinzip für alle Funktionsschaltkreise. Wesentliche Aufgabe des hier vorliegenden Lehrbuches ist es, diese Sichtweise und Vorgehensweise herauszuarbeiten und zu fördern. Allgemein stellt sich nunmehr die Frage, wie kommt man zu Schaltungen für einen bestimmten Funktionsbaustein. Als Beispiel sei hier wiederum der Oszillator herausgegriffen. Im Falle des FM-Tuners muss der Oszillator Schwingungen im Frequenzbereich von ca. 96MHz bis 118MHz erzeugen. Der Oszillator muss über die Abstimmungsspannung einstellbar sein und mittlere Anforderungen hinsichtlich des Phasenrauschens erfüllen. Von den weit über 100 bekannten und bewährten Oszillatorschaltungen kommen für den geforderten Frequenzbereich mit den gegebenen Anforderungen nur noch wenige in Betracht. Im Beispiel von Bild 2.1-20 wurde ein Colpitts-Oszillator gewählt. Dazu bedarf es der Kenntnis möglicher Oszillatorschaltungen und deren Eigenschaften, die u.a. den Einsatzbereich definieren. Anders als bei digitalen Schaltungen ist hier eine automatisierte Schaltungssynthese nicht möglich. Die Schaltungssynthese in der analogen Schaltungstechnik beschränkt sich auf die Dimensionierung und Optimierung einer gegebenen ausgewählten Schaltung, um vorgegebene Eigenschaften zu erfüllen. Gibt die gewählte Schaltung die Eigenschaften nicht her, so muss eine andere geeignete Schaltung gewählt und den gegebenen Anforderungen angepasst werden.

2.1.5 Prozessablauf bei der Schaltungsentwicklung

Der systematische Ablauf (Designflow oder Workflow) der Schaltungsentwicklung wird aufgezeigt und die dafür erforderliche Entwicklungsumgebung im Rahmen eines „virtuellen“ Elektronik-Labors bzw. eines realen Elektronik-Labors. Bild 2.1-23 zeigt die prinzipielle Vorgehensweise bei der Schaltungsentwicklung eines Funktionsbausteins.

Der Systementwickler legt in seinem Systemkonzept die Anforderungen an den Funktionsbaustein fest. Er definiert die verfügbare Versorgungsspannung, deren Stabilität, den zulässigen Leistungsverbrauch, die Umgebungsbedingungen, die

Schnittstellenbedingungen und nicht zuletzt die eigentliche Schaltungsfunktion. Diese Spezifikation stellt den Ausgangspunkt für den Schaltungsentwickler im Rahmen des Feinentwurfs dar. Er wählt mit seiner Erfahrung oder eventuell unter Zuhilfenahme eines Informationssystems für bewährte Funktionsschaltungen eine geeignete Schaltung aus und dimensioniert sie gemäß den gegebenen Anforderungen. Als nächstes gilt es die ausgewählte Schaltung der Anwendung anzupassen, sie zu optimieren, zu verifizieren und zu prüfen, ob die geforderten Eigenschaften erzielt werden. Dies geschieht als erstes per Schaltkreissimulation. Ein Schaltkreissimulator stellt ein „virtuelles“ Elektroniklabor dar. So wie im realen Labor Messgeräte zur Verifikation der Schaltungseigenschaften zur Verfügung stehen, bietet ein Schaltkreissimulator verschiedene Analysemethoden zur Designverifikation anhand einer Testanordnung (Testbench). Kritische Schaltungen werden experimentell so aufgebaut, dass der Aufbau auch der Zieltechnologie entspricht, um parasitäre Eigenschaften der Aufbautechnik hinreichend genau zu erfassen. Durch geeignete Messungen erfolgt die Schaltkreisverifikation und Optimierung, solange bis die Spezifikationswerte eingehalten werden können. Neben der elektrischen Analyse gilt es auch in einer Wärmeflussanalyse die Verlustleistungsabfuhr von kritischen Bauelementen zu betrachten. Darüber hinaus ist gegebenenfalls in einer Störungsanalyse das mögliche Störpotenzial eines Schaltungsaufbaus zu untersuchen, um einschlägige Vorschriften einhalten zu können.

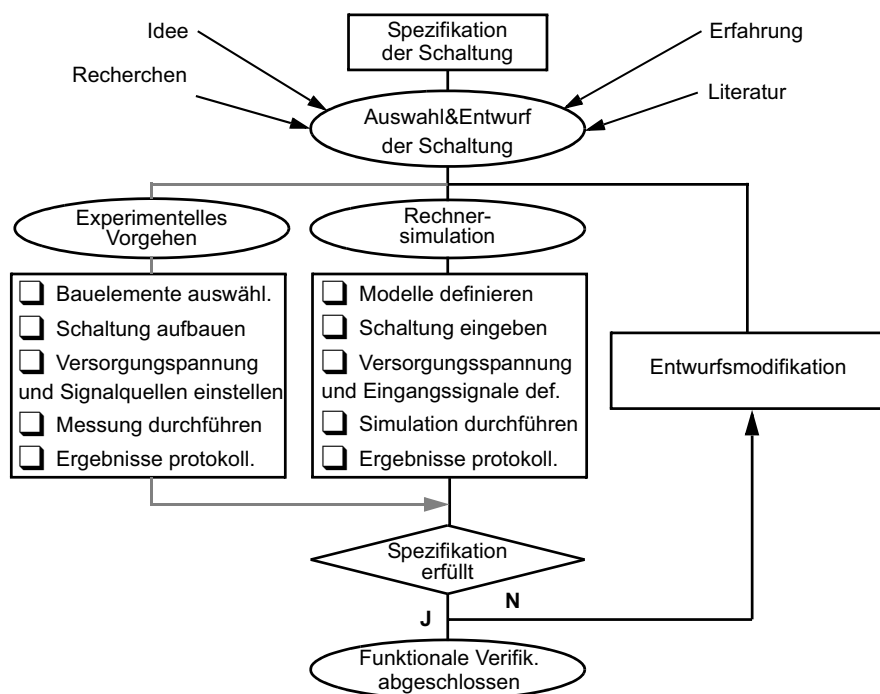


Bild 2.1-23: Ablauf einer Schaltungsentwicklung: Funktionale Verifikation

Nach erfolgreicher Schaltungsverifikation (Funktionale Verifikation) wird der Entwurf in die Zieltechnologie umgesetzt und der Prototyp verifiziert. Um den Einfluss von Bauteilstreuungen studieren zu können, muss die messtechnische Verifikation anhand einer Vorserie an mehreren Entwicklungsmustern eingehend studiert werden. Den Ablauf für den Aufbau von Prototypen und die Prototypenverifikation zeigt Bild 2.1-24.

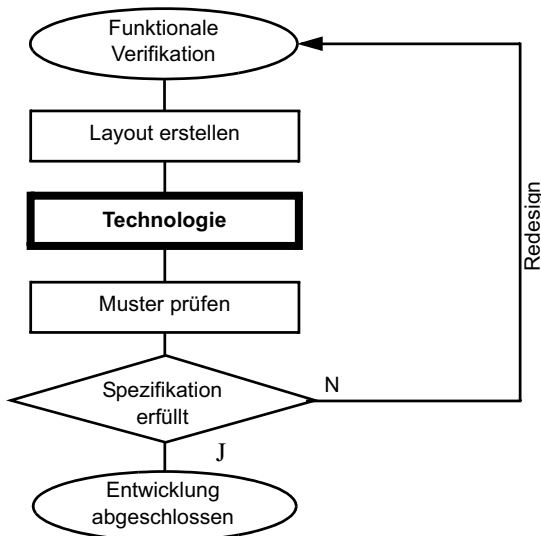


Bild 2.1-24: Schaltungsverifikation am Prototyp realisiert in der Zieltechnologie

Zur Verifikation von Musteraufbauten bzw. Testbenches ist ein Elektronik-Labor erforderlich. Den typischen Aufbau eines Elektronik-Labors zeigt Bild 2.1-25; es besteht im allgemeinen aus:

- ☐ Versorgungsspannungsquellen (Power-Supplies) für Gleichspannungen (DC-Spannungen);
 - ☐ Signalquellen (Sinus-Quellen u.a. modulierbar) für Frequenzbereichs- und Transienten-Analyse (AC- und TR-Analyse);
 - ☐ Funktionsgeneratoren (Signalquellen mit Dreieck-, Rechteck-, Trapez-, Sinus-Kurvenform) für TR-Analyse;
 - ☐ DC-Multimetern für DC-Analyse;
 - ☐ AC-Multimetern für Breitband-AC-Analyse;
 - ☐ Oszilloskop für TR-Analyse;
- Spezialmesssysteme sind:
- ☐ Spektrumanalysator für die Frequenzbereichsanalyse linearer und nichtlinearer Schaltungen – dargestellt wird das Frequenzspektrum über einen bestimmten Frequenzbereich (Spektralanalyse mit Spektraldarstellung);

- ☐ Netzwerkanalysator für die lineare komplexe AC-Analyse (u.a. auch Vektordolmeter), damit lassen sich Übertragungsfunktionen, Verstärkungsfrequenzgänge und Impedanzverläufe nach Betrag und Phase darstellen;
- ☐ Rauschmessplatz zur Ermittlung der Rauschzahl.

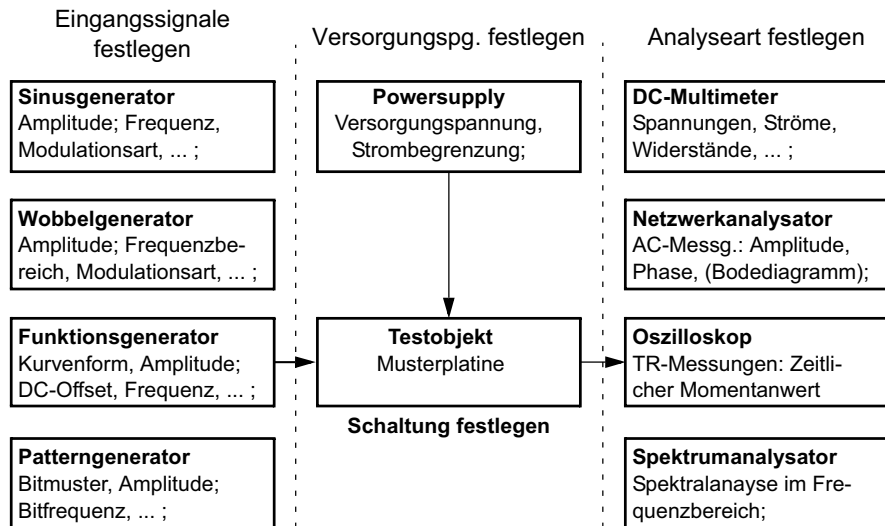


Bild 2.1-25: Prinzipieller Aufbau eines Elektronik-Labors zur Schaltungsverifikation

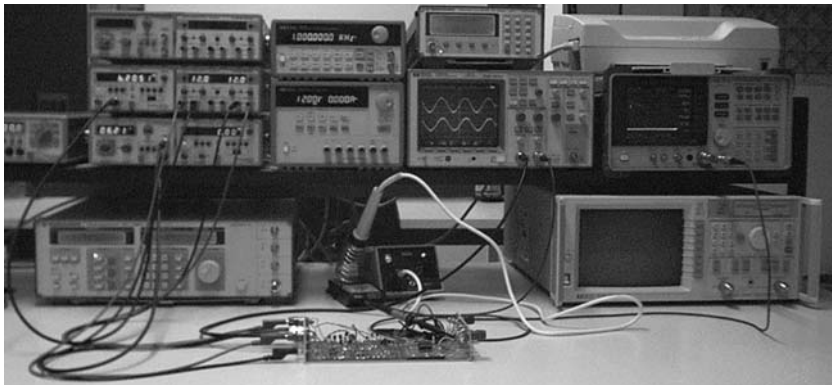


Bild 2.1-26: Beispielhafter praktischer Arbeitsplatz eines Elektronik-Labors mit Testaufbau

Für den experimentellen Aufbau wird eine Schaltung oft auf einer Testplatine (z.B. Lochrasterplatine) erstellt. Die Testplatine wird in einem Testadapter gefasst. Mit dem Testadapter erhält man definierte Anschlussbedingungen für die Testsignale. Die zu untersuchende Schaltung zusammen mit der Spannungsversorgung und den Eingangssignalen bildet einen Testaufbau bzw. eine Testbench. Bild 2.1-

26 zeigt beispielhaft einen Arbeitsplatz in einem Elektronik-Labor mit Testadapter und Testplatine.

Man unterscheidet im wesentlichen drei Analysearten:

- ☐ DC-Analyse (DC: DirectCurrent): Gleichspannungs- und Gleichstromanalyse mit DC-Multimetern; Ergebnis der DC-Analyse sind die Betriebspunkte bzw. Arbeitspunkte der verwendeten Schaltkreiselemente.
- ☐ AC-Analyse (AC: AlternateCurrent): Lineare Frequenzbereichsanalyse mit dem Netzwerkanalysator; Ergebnis sind Frequenzgänge von Übertragungsfunktionen, Verstärkungen oder von Schnittstellenimpedanzen. Eine Spektralanalyse nichtlinearer Schaltungen im Frequenzbereich erfolgt mit dem Spektrumanalysator (Darstellung von Frequenzspektren).
- ☐ TR-Analyse (TR: Transient): Zeitbereichsanalyse der zeitlichen Momentanwerte von Signalen linearer und nichtlinearer Schaltungen mit dem Oszilloskop. Bei Definition einer Signalperiode und periodischer Fortsetzung der definierten Signalperiode kann prinzipiell das Ergebnis der Zeitbereichsanalyse mittels Fouriertransformation in eine Spektraldarstellung im Frequenzbereich transformiert werden.

2.1.6 Prozessablauf bei der Schaltkreissimulation

Vorgestellt wird der Prozessablauf und die dafür erforderlichen Werkzeuge zur Designdefinition und Designverifikation mittels Schaltkreissimulation. In einem „virtuellen“ Elektronik-Labor lassen sich die Eigenschaften von Schaltungen verifizieren.

Neben der praktischen Messung an einer realen Testanordnung, lässt sich eine Schaltung beschrieben durch einen Schaltplan auch mittels Schaltkreissimulation verifizieren. Ein Schaltkreissimulator weist ebenfalls die drei wichtigsten genannten Analysearten auf. In der Regel geht die Schaltkreissimulation immer dem praktischen Experiment voraus. Mittels Schaltkreissimulation gewinnt man ein tieferes Verständnis der Eigenschaften der zu untersuchenden Schaltung. Insbesondere gilt es, das funktionale Verhalten einer gegebenen Schaltung zu analysieren und die Auswirkungen von Parameterstreuungen auf die geforderten Eigenschaften einer Schaltung zu studieren. Alle hier beschriebenen Experimente werden mit dem Schaltkreissimulator Orcad-Lite/PSpice Version 9.2 verifiziert. Die notwendigen Softwaremodule eines „virtuellen“ Labors und den Prozessablauf zur Verifikation einer Schaltung mittels eines Schaltkreissimulators zeigt Bild 2.1-27.

Experiment 2.1-1: Linearverst – Designbeispiel für den Prozessablauf.

In einem ersten Experiment soll beispielhaft die Vorgehensweise zur Beschreibung einer Schaltung und zur Verifikation einer Schaltung praktisch dargestellt werden. In dem Beispiel geht es nicht darum die Schaltung zu verstehen, vielmehr liegt das Augenmerk auf den Werkzeugen zur Schaltungsdefinition, zur Schaltkreissimulation und zur Darstellung der „gemessenen“ Ergebnisse. Auf die Schaltung selbst wird in Abschnitt 7.5.1 näher eingegangen.

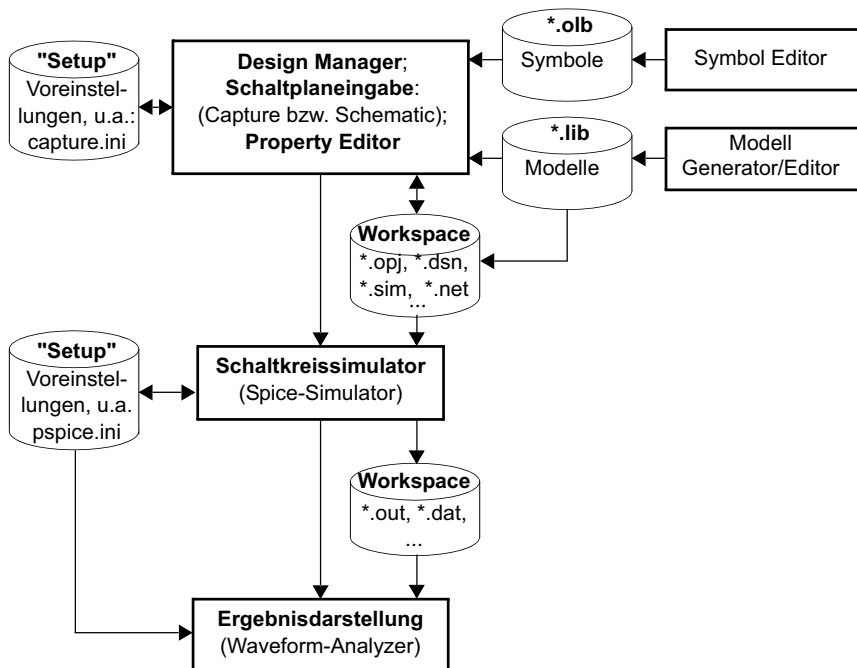


Bild 2.1-27: Softwaremodule eines „virtuellen“ Labors und Prozessablauf mit Schaltplaneingabe, Schaltkreissimulator und graphischer Ergebnisdarstellung

Der im Bild 2.1-27 skizzierte Designflow ist bei allen EDA-Systemen (EDA: Electronic Design Automation) ähnlich. Die Schaltungsdefinition oder Designdefinition erfolgt mit einem Werkzeug zur symbolischen Beschreibung eines Schaltplans (*Capture* bzw. *Schematic*). Dazu werden Symbole für Schaltkreiselemente benötigt, die in einer Symbol-Library (hier: *.olb) abgelegt sind. Die Erstellung und Bearbeitung von Symbolen ermöglicht der *Symbol Editor*. Über bestimmte Attribute am Symbol wird die Referenz vom Symbol zu einem dazu gültigen Modell aufgelöst. Komplexere Modelle bzw. Modellparametersätze sind in einer Model Library (hier: *.lib) hinterlegt. Im projektspezifischen „Workspace“ werden alle projekt- und designspezifischen Objekte (hier: *.opj, *.dsn, *.sim, *.net, *.dat, u.a.) abgelegt, dies gilt auch für designspezifische Symbole und Modelle. Der *Design Manager* ist ein „Projekt-Browser“; er stellt in einer Baumstruktur alle Design-Ressourcen dar, u.a. lassen sich Objekte auswählen und darauf verfügbare Methoden anwenden. Alle Voreinstellungen (z.B. Librarypfade, Fenstergestaltung, Schriftarten und Schriftgrößen) sind im „Setup“ definiert. Die Grundvoreinstellungen werden im *.ini File bzw. in der „Registry“ festgelegt.

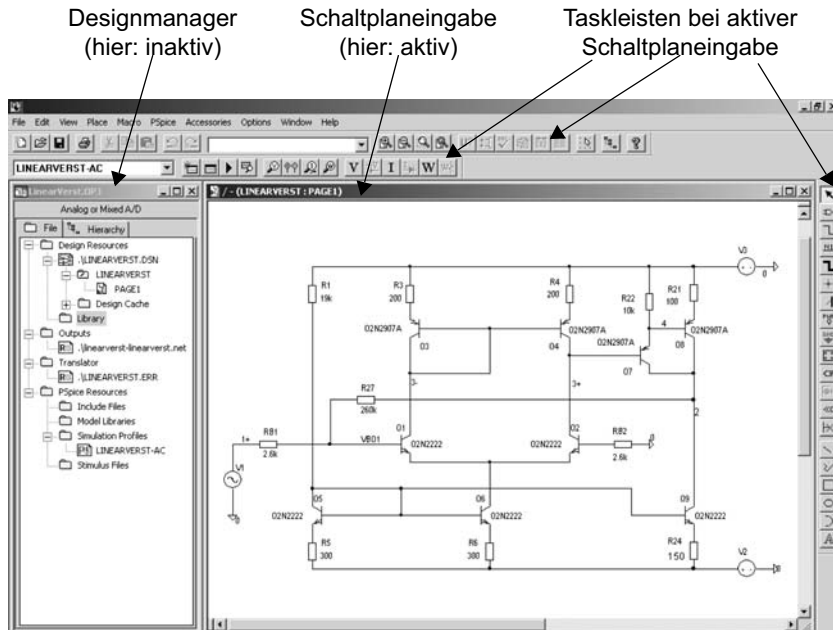


Bild 2.1-28: Orcad-Lite/PSpice-A/D Bedienoberfläche: links Design-Manager mit Design-Ressourcen, rechts Schaltplaneingabe – Designsheet (Page1) mit Schaltplan

Im ersten Schritt muss ein Projekt über das Menü *<File/New/Project>* in einem, dem Projekt zugeordneten „Workspace“ mit der Option „Analog or Mixed A/D“ angelegt werden (*.opj). Dabei ist der „Workspacepfad“ zu definieren. Soll auf ein existierendes Projekt (*.opj) zugegriffen werden, so ist dieses mit *<File/Open/Project>* zu öffnen. Die Definition der Schaltung erfolgt durch die Schaltplaneingabe in einem *Designsheet* (Arbeitsblatt) eines Designs (*.dsn). Je nach Auswahl des Design Manager Fensters oder des Fensters zur Schaltplaneingabe erscheinen in der „Taskleiste“ unterschiedliche Funktionen. Bei Auswahl des Fensters zur Schaltplaneingabe ist eine zusätzliche „Taskleiste“ am rechten Rand verfügbar, über die wesentliche Funktionen zur Erstellung des Schaltplans aufgerufen werden können.

Jedes Schaltkreiselement, jede Schaltkreisfunktion wird durch ein Symbol repräsentiert. Symbole für gegebene Schaltkreiselemente können aus einer *Symbol Library* (*.olb) ausgewählt und in das Designsheet instanziiert werden; sie werden dann zu einer Designinstanz. Über die Instanzierungsfunktion („Place Part“) der „Taskleiste“ am rechten Rand der Schaltplaneingabe lassen sich Symbole auswählen und instanziiieren. Wird ein Symbol aus einer Symbol Library in einem Designsheet instanziiert, so wird das Symbol zu einer Designinstanz mit eigenem Namen (Reference bzw. Reference-Designator). Bild 2.1-29 zeigt die aktive Instanzierungsfunktion in der rechten „Taskleiste“ und die Auswahl einer Symbol

Library (z.B. eval.olb). Dazu müssen die verwendeten Symbol Libraries registriert sein. Die Registrierung erfolgt u.a. im *.ini File. Eine Nachregistrierung ist über „Add Libraries“ im „Place Part“ Menü möglich (siehe Bild 2.1-29).

Der Schaltplan besteht aus den instanziierten Symbolen und den Verbindungen zwischen den Anschlusspins (Schnittstellen) der Symbole. Für die Definition der Verbindungen steht die Funktion „Place Wire“ zur Verfügung. Sie befindet sich direkt unterhalb der „Place Part“ Funktion in der „Taskleiste“ am rechten Rand des Fensters zur Schaltplaneingabe. Alle instanziierten Symbole sind im „Design Cache“ aufgelistet (siehe Design Resources im Design Manager).

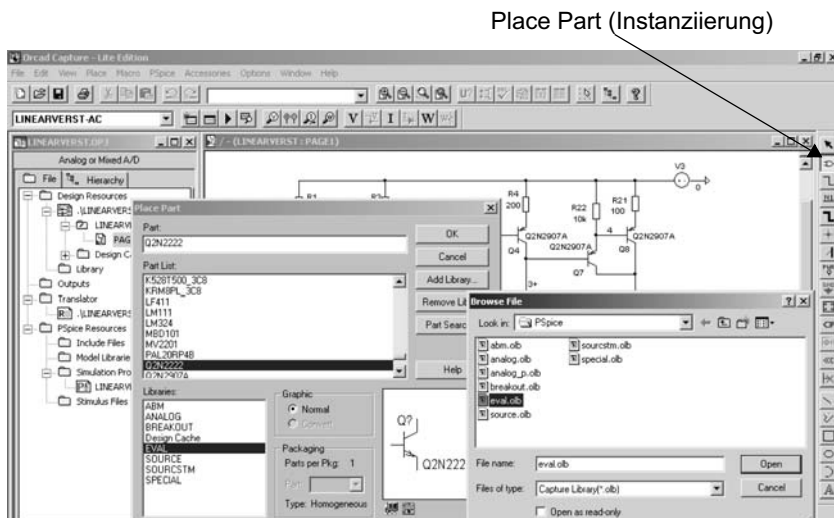


Bild 2.1-29: Orcad-Lite/PSpice-A/D Schaltplaneingabe mit Auswahl einer Symbol Library aus der Schaltkreisfunktionen – repräsentiert durch ein Symbol – instanziiert werden

Jedem Symbol muss ein Modell zugeordnet sein. Neben den „Intrinsic“-Modellen eines Schaltkreissimulators gibt es nutzerspezifische oder projektspezifische Modelle. Die Eigenschaften der PSpice-Modelle werden durch Modellgleichungen und Modellparameter festgelegt. Modellparametersätze sind in einer *Model Library* (*.lib) abgelegt. Die Bearbeitung eines Modellparametersatzes erfolgt mit dem Model Editor. Ein Attribut am Symbol referenziert auf ein Modell bzw. auf einen Modellparametersatz, das in einer registrierten Model Library verfügbar sein muss. Die Bearbeitung von Attributen u.a. an Symbolen, an Symbolpins und an Verbindungsnetzen erfolgt mit dem Property Editor.

Nach Fertigstellung der Schaltungsdefinition im Schematic wird beim Aufruf des Simulationsprozesses zunächst die Datenbasis für den eigentlichen Simulationsprozess aufbereitet, u.a. wird eine textuelle Netzliste (*.net) erstellt. Der Simulator benötigt neben der Netzliste Angaben was wie simuliert werden soll (u.a. Analyseart). Die Definition dieser Angaben erfolgt im Simulation Profile bei Aufruf der entsprechenden Funktion zur Festlegung des *Simulation Profile* (*.sim). Die

nötigen Einstellungen lassen sich über ein Menü vornehmen, siehe Bild 2.1-30. Konkret wird im Beispiel eine AC-Analyse ausgewählt. Dazu muss u.a. der Frequenzbereich und der „Sweep Type“ (hier: logarithmisch) definiert werden.

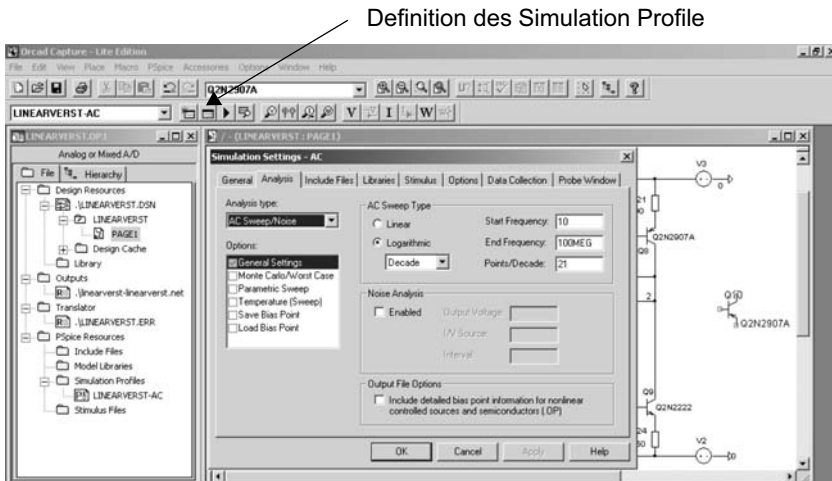


Bild 2.1-30: PSpice A/D: Definition des Simulation Profile

Nachdem alle Vorgaben vollständig und gültig sind (Netzliste und Simulation Profile) kann der eigentliche Simulationsprozess durchgeführt werden. Der Start der Simulation erfolgt durch Betätigung des Funktionsknopfs rechts neben der Definition des Simulation Profile. Die Ergebnisse des Simulationsprozesses sind bei einer analogen Schaltkreissimulation Knotenspannungen und Zweigströme.

Alle Knotenspannungen und Zweigströme werden vom Schaltkreissimulator in ein Ausgabe-File (*.dat) geschrieben. Die tabellenartig vorliegenden Simulationsergebnisse in Form der Knotenspannungen und Zweigströme können nun mittels des „Waveform-Analyzers“ graphisch dargestellt werden. Damit lassen sich Ergebnisspalten (Knotenspannungen und Zweigströme) aus der Ergebnistabelle auswählen und zu einem gültigen Ausdruck formen, siehe Bild 2.1-31. Der „Waveform-Analyzer“ ist eine Art „Tabellenspalten-Calculator“ mit graphischer Darstellungsmöglichkeit.

Das Ergebnis der Simulation schließlich zeigt Bild 2.1-32. Die Genauigkeit der Schaltkreissimulation hängt von der Modellgenauigkeit der verwendeten Modelle für die Instanzen eines Schaltkreises ab. Effekte die in Modellen der Schaltkreiselemente nicht abgebildet sind, lassen sich somit durch die Simulation nicht erfassen. Gegenüber dem messtechnischen Experiment hat der Simulationsprozess den Vorteil, dass gezielt Einflussgrößen auf das Schaltungsverhalten studiert werden können. Beispielsweise kann bei einer Transistorschaltung speziell der Parameter „Sperrschichtkapazität“ auf das Schaltungsverhalten untersucht werden. Eine derartige Separierung eines einzelnen Parameters ist im praktischen Aufbau nur sehr

schwer möglich. Die Schaltkreissimulation dient vor allem dazu, sich ein tieferes Verständnis über das Schaltungsverhalten und deren Einflussgrößen zu erarbeiten, nach vorangegangener Abschätzanalyse.

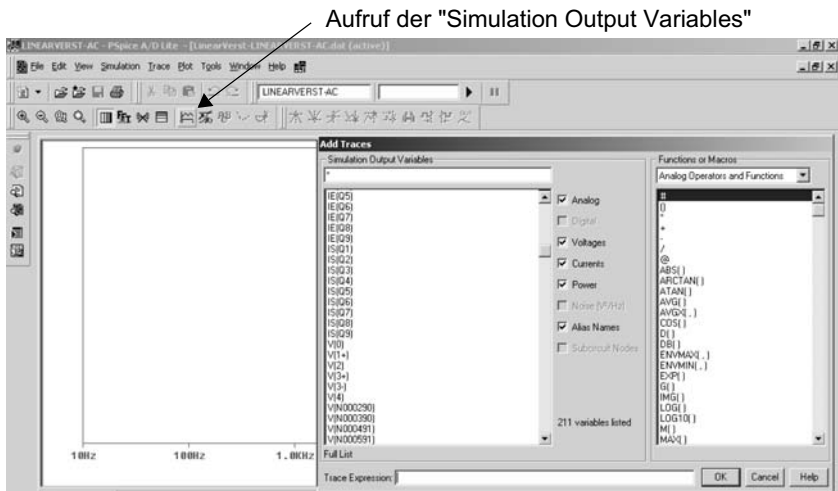


Bild 2.1-31: Waveform-Analyzer und Auswahl von Knotenspannungen und Zweigströmen zur Definition eines darzustellenden Ausdrucks (Trace Expression)

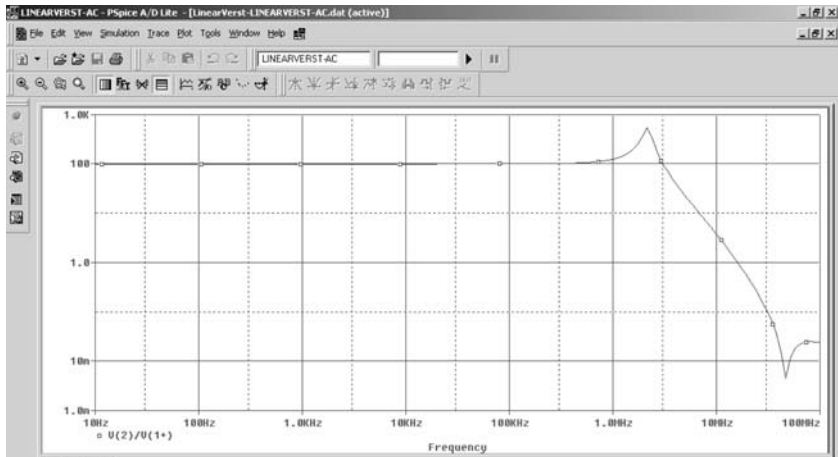


Bild 2.1-32: Ergebnisdarstellung des ausgewählten Ausdrucks $V(2)/V(1+)$

2.2 Vorgehensweise bei der Schaltungsanalyse

Die Schaltungsanalyse ermittelt systematisch die Eigenschaften von Funktionsschaltkreisen. Für eine gegebene Anforderung ist ein für die Realisierung der Anforderung geeigneter Funktionsschaltkreis auszuwählen und so zu dimensionieren, dass die gestellten Anforderungen erfüllt werden können. Die Kenntnis der Eigenschaften von Funktionsschaltkreisen hilft bei der richtigen Auswahl eines Schaltkreises. Die „handwerkliche“ Vorgehensweise zur Ermittlung der Eigenschaften von Schaltungen ist der Kern dieses Abschnitts. Soweit sinnvoll, wird das Grundprinzip der Vorgehensweise am Beispiel von PSpice aufgezeigt. Die Vorgehensweise unterscheidet sich nicht prinzipiell bei anderen „Toolsets“ zur Schaltkreisdefinition und Schaltkreisverifikation. Insofern haben die Ausführungen allgemeinen Charakter.

2.2.1 Beschreibung und Analyse einer Testanordnung

Unabhängig von den eingesetzten Werkzeugen wird die Systematik zur Beschreibung von Schaltungen aufgezeigt, so dass eine Schaltung mit einem „virtuellen“ Elektronik-Labor anhand einer Testanordnung verifizierbar ist. Allgemein ist bei der Schaltungsanalyse eine dimensionierte Schaltung vorgegeben. Gesucht werden die Eigenschaften der Schaltung. Die Eigenschaften lassen sich u.a. charakterisieren durch das Schnittstellenverhalten (z.B. Schnittstellenimpedanzen) und durch das Übertragungsverhalten (z.B. Verstärkung im Frequenzbereich und Zeitbereich). Im Gegensatz dazu sind bei der Schaltungssynthese die Eigenschaften vorgegeben, gesucht ist die Dimensionierung einer Schaltung so, dass die gewünschten Eigenschaften eingehalten werden. Basis der Schaltungssynthese ist die Schaltungsanalyse. Eine geschlossene Synthese lässt sich in der analogen Schaltungstechnik im allgemeinen nur für reguläre Schaltungsstrukturen vornehmen (z.B. Filterstrukturen); u.a. helfen Optimierungsalgorithmen reguläre Schaltungsstrukturen so zu dimensionieren, dass geforderte Eigenschaften erfüllt sind. Dazu muss eine Zielfunktion vorgegeben werden, weiterhin sind geeignete Schaltungsparameter als Optimierungsparameter zu definieren.

Prinzipielle Vorgehensweise bei der Schaltungsanalyse: Gegeben sei eine dimensionierte Schaltung. Die Aufgabe ist gestellt, diese Schaltung mittels eines Schaltkreissimulators zu analysieren. Dazu sind folgende Teilschritte erforderlich:

1. Definition der Schaltung (S) mit der Schaltplaneingabe „Capture“;
2. Festlegung der Modelle (M) durch Referenz auf Modelle bzw. Modellparametersätze;
3. Festlegung der Signalquellen (E) und Versorgungsspannungen mit der Schaltplaneingabe „Capture“;
4. Festlegung der Art der Analyse (DC-, AC-, TR-, Rauschanalyse) im „Simulation Profile“.

Die prinzipielle Vorgehensweise bei der Schaltungsanalyse per Schaltkreissimula-

tion zeigt Bild 2.2-1. Diese Konstellation bildet eine Testanordnung bzw. eine Testbench. Die Beschreibung einer Schaltung (S) und deren Signalquellen (E) bzw. Versorgungsspannungen kann erfolgen durch:

- ☐ Symbolische Beschreibung mittels eines Schaltplans (z.B. mit Capture in *.dsn);
- ☐ Nutzung einer Hardwarebeschreibungssprache (z.B. VHDL-AMS: Strukturbeschreibung);
- ☐ Textuelle Beschreibung mittels einer Netzliste ohne Graphiksymbole (z.B. in *.net).

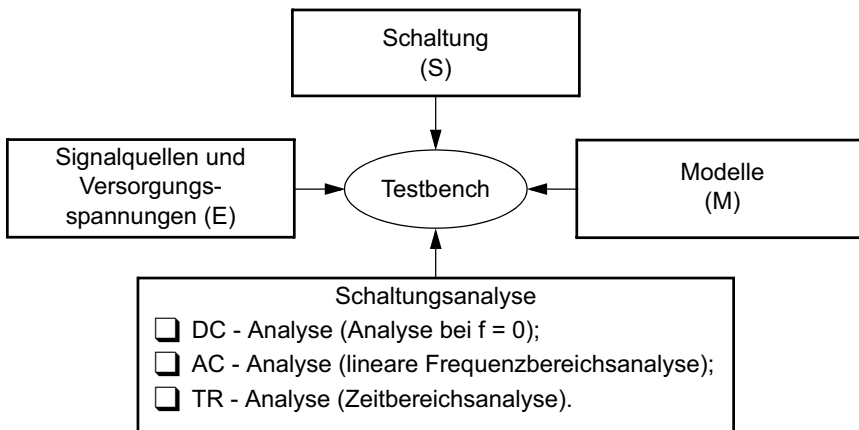


Bild 2.2-1: Prinzipielle Vorgehensweise bei der Schaltungsanalyse

Symbole für Schaltkreiselemente: In der analogen Schaltungstechnik ist die symbolische Beschreibung mittels Schaltplan üblich. Jedes in einem Design verwendete Schaltkreiselement, jede Schaltkreisfunktion wird durch ein Symbol repräsentiert. Bild 2.2-2 zeigt einige in ein Designsheets (Arbeitsblatt) instanziierte Symbole mit Referenzbezeichner und den sichtbar geschalteten Attributen am Symbol. Symbole für Schaltkreiselemente und Schaltkreisfunktionen sind in Symbol Libraries (*.olb) abgelegt. Durch Auswahl einer Symbol Library und Auswahl eines dort gelisteten Symbols kann dieses Symbol in das Designsheets instanziiert werden. Es wird dann zu einer Designinstanz mit einem Referenzbezeichner (Reference bzw. Reference-Designator). Der Referenzbezeichner kennzeichnet die verwendeten Schaltkreiselemente bzw. Schaltkreisfunktionen u.a. in der Netzliste und in der Stückliste (BOM: Bill of Material). Einige wichtige Symbol-Libraries in PSpice sind:

- ☐ **ABM** – Analogue Behavioral Modelling: enthält u.a. funktional gesteuerte Quellen; z.B. stellt das Symbol EValue eine spannungsgesteuerte Spannungsquelle mit einer Übertragungsfunktion definiert durch einen Ausdruck (Expression) dar; GValue ist entsprechend eine funktional spannungsgesteuerte Stromquelle (siehe Beispiel in Bild 2.1-16).

❑ **ANALOG:** beinhaltet u.a. die Schaltkreisprimitive, wie z.B. R, L, C, T, K, E, G, H, F.

❑ **EVAL:** enthält physikalische Bauteile, wie z.B. die Diode 1N4148, den Transistor 2N2222 und darüber hinaus digitale Bausteine wie z.B. Gatter, Flip-Flops, Register, Zähler.

❑ **SOURCE-Library:** hier finden sich Symbole für Signalquellen (Spannungsquellen und Stromquellen), sowie Symbole für Versorgungsspannungen.

❑ **USER:** enthält die für die Ausführung der Experimente erforderlichen Symbole, wie z.B. für Operationsverstärker und experimentspezifische Dioden und Transistoren.

Wie später noch gezeigt wird „hängen“ am Symbol und an den Symbolpins sichtbare und unsichtbare Attribute. Attribute werden benötigt, um u.a. eine Designinstanz zu kennzeichnen und komponentenspezifische Eigenschaften festzulegen, wie z.B. Bauteil-Werte, Referenzen zum Modell oder Referenzen zum Footprint.

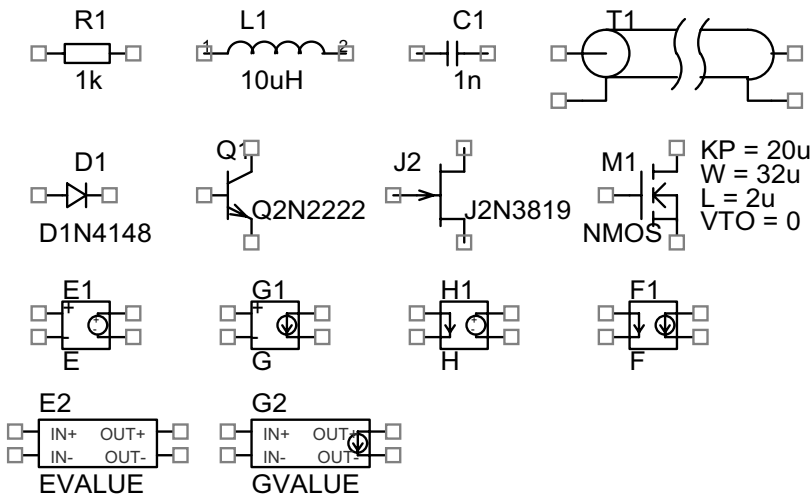


Bild 2.2-2: Beispiele von Symbolen für Schaltkreiselemente aus der **ANALOG-Library**: R- Widerstand; C – Kapazität; L – Induktivität; T – Transmissionline; aus der **EVAL-Library**: D – Diode; Q – Bipolartransistor; J – Sperrschichtfeldeffekttransistor; aus der **USER-Library**: M – NMOS oder PMOS Isolierschichtfeldeffekttransistor; schließlich wiederum aus der **ANALOG-Lib**: E – spannungsgesteuerte Spannungsquelle; G – spannungsgesteuerte Stromquelle; H – stromgesteuerte Spannungsquelle; F – stromgest. Stromquelle

Im Gegensatz zu den funktional gesteuerten Quellen (z.B. EValue, GValue) in der ABM-Library sind die proportional gesteuerten Quellen (E, G, H, F) in der ANALOG-Library abgelegt.

Symbole für Eingangssignale und Versorgungsspannungen: Bild 2.2-3 zeigt die Symbole der wichtigsten Signalquellen bzw. der Versorgungsspannungen entnommen aus der SOURCE-Library.

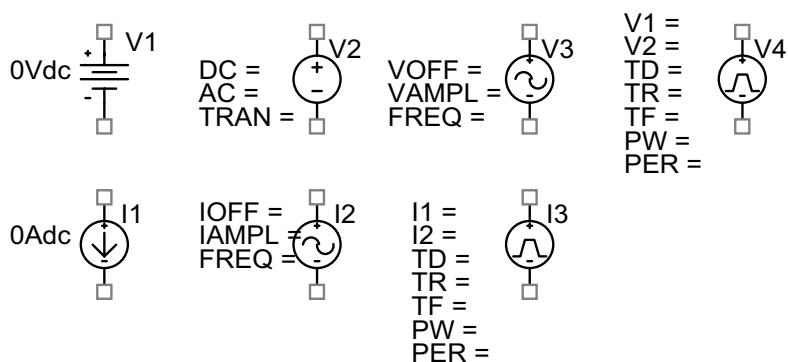


Bild 2.2-3: Beispiele von Symbolen für Spannungsquellen und Stromquellen aus der **SOURCE**-Library für die DC-, AC- und TR-Analyse mit Parametern zur Definition u.a. der ausgewählten Signalformen

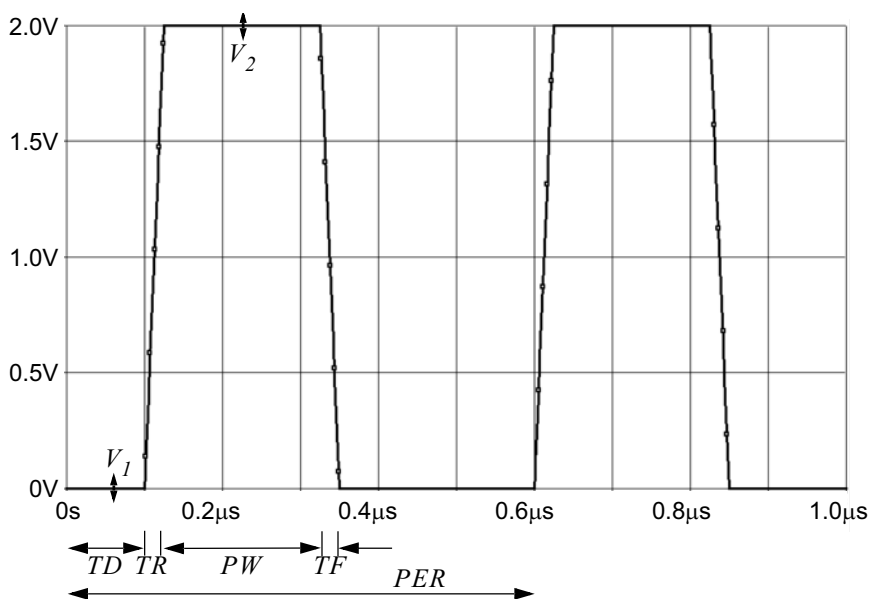


Bild 2.2-4: Zeitverlauf einer trapezförmigen Impulsquelle $VPULSE$ mit den Parametern $V1$, $V2$, TD , TR , TF , PW , PER

In Bild 2.2-4 ist beispielhaft der Zeitverlauf einer trapezförmigen Impulsquelle aufgezeigt. Wie bereits dargelegt, bilden die Eingangssignale (E) zusammen mit der Schaltung (S) eine Testanordnung. Die Aufgabenstellung definiert die Art und

Weise der zu untersuchenden Eigenschaften einer Schaltung. Speziell bei der TR-Analyse sind vielfältige Testsignal- bzw. Eingangssignalformen, je nach Problemstellung, erforderlich. Die Art des Eingangssignals wird durch das instanziierte Symbol aus der SOURCE-Symbollibrary festgelegt. Durch Attribute am Symbol lassen sich die Signalparameter definieren; der DC-Wert gilt für die DC-Analyse, der AC-Wert für die AC-Analyse. Darüber hinaus ist für die TR-Analyse die Kurvenform (u.a. Sinusquelle *VSIN*: *VAMPL* – Amplitude, *VOFF* – Offset, *FREQ* – Frequenz; pulsformige Signalquelle *VPULSE*: *V1*-Amplitude, *V2*-Amplitude, Einschaltverzögerung *TD*, Anstiegszeit *TR*, Pulsdauer *PW*, Abfallzeit *TF*, Pulsperiode *PER*) festzulegen. Wie in Bild 2.2-4 für den Zeitverlauf einer pulsformigen Spannungsquelle *VPULSE*, lassen sich in ähnlicher Weise mit entsprechenden Attributen am jeweiligen Symbol der Signalquelle andere Zeitverläufe von Spannungsquellen und Stromquellen definieren.

Symbolische Beschreibung einer Schaltung: In der Schaltplaneingabe werden Symbole in das *Designsheet* (Arbeitsblatt) instanziiert. Ein Symbol steht für ein Schaltkreiselement oder für eine Schaltkreisfunktion. Ist dem Schaltkreiselement ein reales Bauteil zugeordnet, so spricht man von einer *physikalischen Instanziierung*, ansonsten von einer „virtuellen“ *Instanziierung*. Bei einer virtuellen Instanziierung muss in einem späteren Prozessschritt vor Erstellung des physikalischen Layouts ein physikalisches Bauteil zugeordnet werden. Ein reales (physikalisches) Bauteil bzw. Part ist charakterisiert u.a. durch einen Part-Identifizier, ein Datenblatt, durch das Gehäuse (Package) und durch die zweidimensionale Abbildung des Gehäuses (Footprint) mit Anschlussflächen (Pads). Wie Symbole in das Gehäuse abgebildet werden beschreibt das Mapping. Das instanziierte Symbol wird dann zu einer Designinstanz – gekennzeichnet durch einen designspezifischen Referenz-Bezeichner (Reference-Designator). Im Weiteren müssen die Anschlüsse der Symbole verbunden werden. Signalquellen werden ebenfalls in Form von Symbolen dargestellt und geeignet mit instanziierten Schaltkreiselementen verbunden. In Bild 2.2-5 ist eine Beispielschaltung dargestellt. Sie enthält die Designinstanzen *V0*, *VB+*, *RG*, *R1*, *C1* und *D1*, sowie die Netze *N1*, *N2*, *N3*, *N+* und das Groundnetz "0" des Bezugspotenzials. Dem Kondensator *C1* muss zunächst kein physikalisches Bauteil zugeordnet werden. Für das Schaltungsverhalten genügt es den Kapazitätswert von $1\mu F$ anzugeben. Soll ein Boardlayout erstellt werden, ist allerdings zwingend vorher ein physikalisches Bauteil der Instanz *C1* zuzuordnen. Im Beispiel in Bild 2.2-5 angegeben ist auch die Netzliste (*.net) als Ausgangsbasis für die Schaltkreissimulation. Die Netzliste enthält pro Zeile eine Designinstanz. Zeilen mit "+" beginnend stellen Fortsetzungszeilen dar. Jede Designinstanz beginnt mit der Kennung (*R* für Widerstände, *C* für Kapazitäten, *L* für Induktivitäten, *D* für Dioden, *Q* für Bipolartransistoren, *V* für Spannungsquellen, u.a.) gefolgt von einem Referenzbezeichner (z.B. *C_1*). In der zweiten Rubrik sind die den Anschlusspins des Symbols zugeordneten Netze aufgeführt. In der dritten Rubrik schließlich sind Attribut-Einträge enthalten, die u.a. je nach Designinstanz den Widerstandswert, den Kapazitätswert, den Modellnamen oder Attribute zur Definition der Kurvenform einer Signalquelle festlegen.

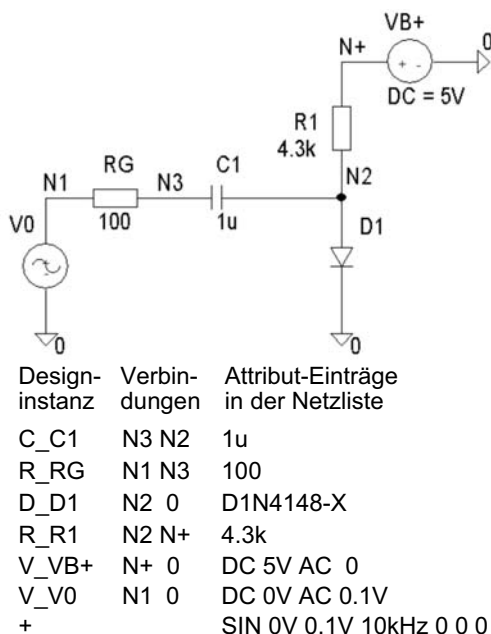


Bild 2.2-5: Schaltung mit Eingangssignal und Versorgungsspannung; darunter dargestellt ist die zugehörige Netzliste

Modelle: Zur Schaltungsanalyse benötigt man für jedes Schaltungselement ein für den jeweiligen Betriebsfrequenzbereich geeignetes Modell. Je nach Bauform ist es besonders bei höheren Frequenzen von großer Wichtigkeit das reale Verhalten der Bauteile einschließlich der Zuführungsleitungen und parasitärer Effekte zu berücksichtigen. In Bild 2.2-6 sind beispielhaft Modelle für die Bauteile R , L , C , M , D dargestellt. Die Modelle für Transistoren (Q , J -FET, M -FET) werden in Kap. 5 bzw. Kap. 6 behandelt. Darüber hinaus gibt es Makromodelle (siehe Kap. 4) zur Beschreibung des funktionalen Verhaltens eines Schaltkreises oder einer Schaltkreisfunktion.

Das System zur Schaltkreissimulation findet das einem Schaltungselement zugeordnete Modell über die Modell-Referenz. In Orcad-Lite/PSpice-9.2 wird die Modell-Referenz definiert und aufgelöst durch spezielle Attribute am Symbol. Der Attribut-Name: „Implementation“ mit dem Attribut-Wert in Form eines Namens für einen gültigen Modell-Parametersatz in einer registrierten Model Library legt beispielsweise die Referenz zu dem Modell-Parametersatz fest. In ähnlicher Weise finden sich am Symbol Attribute zur Festlegung der Referenz zu einem „Part“, einem „Package“ (Gehäuse) oder einem „Footprint“. Die Modell-Referenz legt in der Regel nur einen Modellnamen fest. In den dem System bekannten (registrierten) Model Libraries wird dann nach dem Modell gesucht, um es dann in die Beschreibung des Schaltkreises einbinden zu können.

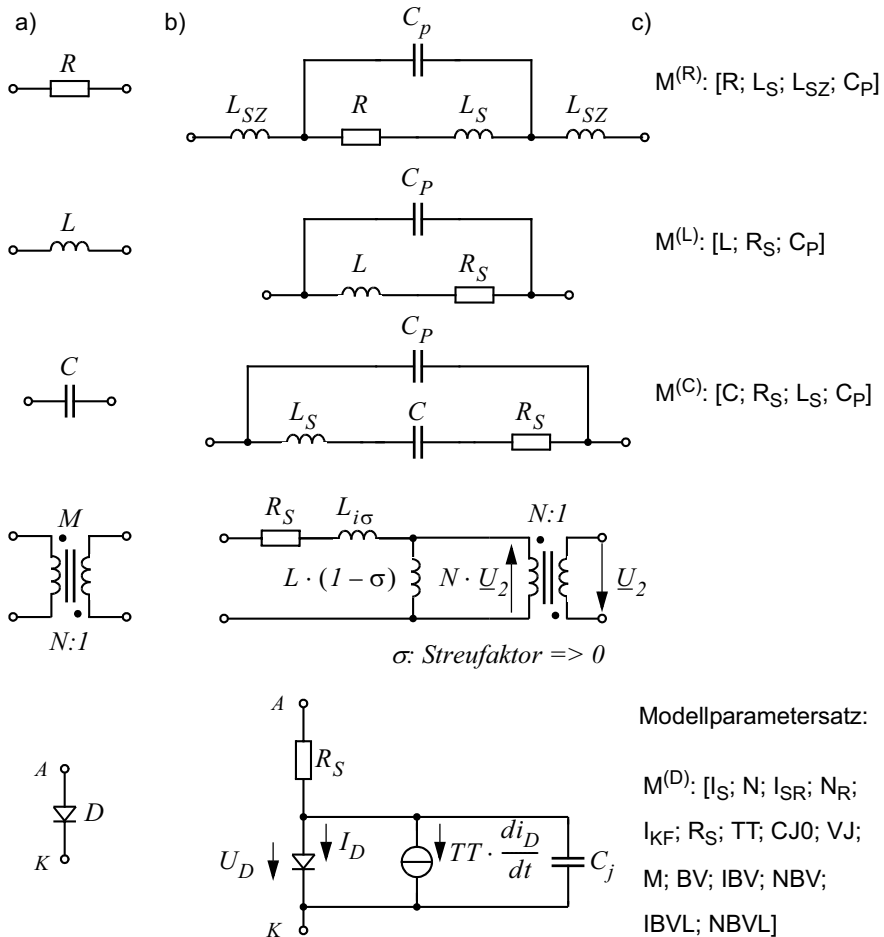


Bild 2.2-6: Modelle von Schaltungselementen, a) Symbol, b) Ersatzschaltbildmodell, c) Modellparametersatz

Bei Makromodellen wird eine Schaltungsfunktion im wesentlichen durch funktional gesteuerte Quellen beschrieben. Das einfachste Makromodell ist das Modell eines Linearverstärkers bzw. eines Operationsverstärkers, das in Kap. 4 behandelt wird. Grundsätzlich kennt der Schaltkreissimulator Spice (Simulation Program with Integrated Circuits Emphasis, University of California, Berkeley) vier verschiedene Arten von Modellen für Schaltungselemente bzw. Schaltkreisfunktionen:

□ **„Intrinsic“-Modelle ohne Parametersatz** mit Wertangabe durch ein Value-Attribut am Symbol (z.B. bei R -, L -, C -Wert). Die Modellgleichung ist im Simulator „hart“ codiert. Von „außen“ kann nur der Wert über das Value-Attribut am

Symbol eingegeben werden. Widerstände, Kondensatoren, Induktivitäten u.a. weisen im allgemeinen „Intrinsic“-Modelle ohne Parametersatz auf, deren Wert wird über das Value-Attribut festgelegt.

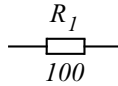
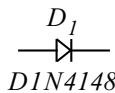


Bild 2.2-7: Beispiel einer Designinstanz mit „Intrinsic“-Modell ohne Modell-Parametersatz

❑ **„Intrinsic“-Modelle mit Parametersatz;** hier wird über die Modell-Referenz am Symbol auf einen Parametersatz in einer registrierten Model Library referenziert. Die Modellgleichungen sind auch hier hart codiert. Dioden-Modelle und Transistor-Modelle sind „Intrinsic“-Modelle mit über die Modell-Referenz (in PSpice: „Implementation“-Attribut) zugeordnetem Parametersatz. Der Parametersatz ist in einer registrierten Model Library abgelegt. Die Registrierung erfolgt u.a. im „Setup“ oder im Simulation Profile unter dem Menü „Libraries“.



.model D1N4148-X D(Is=0.002p N=1.0 Rs=5.5664 Ikf=44m Xti=3 Eg=1.11 +Cjo=4p M=.3333 Vj=.5 Fc=.5 Isr=0.5n Nr=3 Bv=20 Ibv=100u Tt=11.54n)

Bild 2.2-8: Beispiel einer Designinstanz mit „Intrinsic“-Modell mit Referenz auf den angegebenen Modell-Parametersatz D1N4148-X

❑ **„Schematic“-Modelle,** das sind symbolisch beschriebene Ersatzschaltbilder. Die Modell-Referenz am Symbol verweist auf eine Ersatzschaltung. Die in Kap. 4 eingeführten Makromodelle sind symbolisch beschriebene Ersatzschaltbildmodelle.

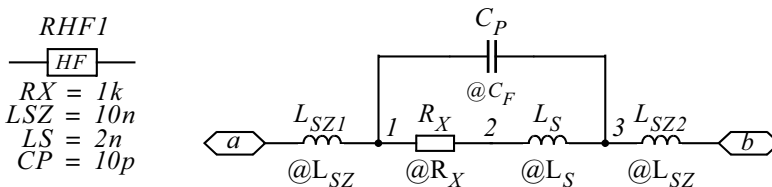


Bild 2.2-9: Beispiel eines Widerstandssymbols mit Referenz auf ein Schematic-Modell für einen Widerstand mit Hochfrequentzeigenschaften

❑ **„Subcircuit“-Modelle,** das sind textuell beschriebene Ersatzschaltbilder. Über die Modell-Referenz am Symbol wird auf ein Subcircuit Model in einer registrierten Model Library referenziert. Textuell beschriebene Ersatzschaltbilder sind leichter austauschbar, weil ohne systemspezifische Graphik.

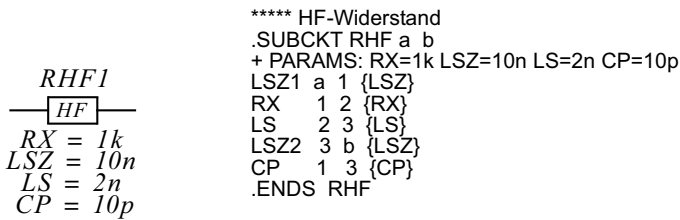


Bild 2.2-10: Beispiel eines Widerstandssymbols mit Referenz auf ein Subcircuit-Modell für einen Widerstand mit Hochfrequenzeigenschaften

Attribute an Symbolen: Wichtig für das Verständnis von rechnergestützten Entwurfsmethoden ist das Attribut-Konzept. Allgemein lassen sich an Objekte (u.a. Symbolkörper, Symbolpins, Netze) Attribute anfügen, um Eigenschaften und Merkmale von Objekten zu definieren, die u.a. zur Identifikation, zur Kennzeichnung, zur Auflösung von Referenzen zu anderen Objekten und zur Steuerung nachgeordneter Prozesse oder für Check-Funktionen in nachgeordneten Prozessen benötigt und verwendet werden. Ein *Attribut* (auch *Property* genannt) hat einen *Attribut-Eigner* (Objekteigner z.B. Symbolkörper), einen *Attribut-Identifizier* (auch *Attribut-Name* genannt) und einen *Attribut-Wert*. Viele Attribute von Objekten sind im Schaltplan nicht sichtbar, um die Lesbarkeit des Schaltplans nicht zu beeinträchtigen. Attribute werden wiederum durch Attribute charakterisiert, um deren Eigenschaften (Typ, Darstellungsart: Font, Ausrichtung, Lage im Bezug zum Eigner u.a.) festzulegen. Die Festlegung der Attribute erfolgt oft über ein „Attribut-Dictionary“. Mit dem „*Value*“-Attribut wird der Bauteilwert für ein „*Intrinsic*“-Modell ohne Referenz auf einen Modell-Parametersatz festgelegt. Das „*PSpice Template*“-Attribut steuert den Eintrag von Attributen und die Formatierung des Eintrags in die Netzliste (siehe Netzliste in Bild 2.2-5). Schließlich dienen das „*Implementation*“-Attribut (auch „*Model*“-Attribut genannt), das „*Implementation Path*“-Attribut und das „*Implementation Type*“-Attribut zur Auflösung der Referenz zu einem Modell-Parametersatz, einem Schematic-Modell oder zu einem Subcircuit-Modell. Weitere Attribute werden u.a. zur Auflösung der Referenz zu einem physikalischen „*Part*“ oder zu einem Footprint für die Erstellung des Layouts benötigt. Im Folgenden sind einige Symbole dargestellt mit Angabe der wichtigsten Attribute u.a. zur Auflösung der Modell-Referenz für die Schaltkreissimulation. Wie bereits erwähnt, sind nicht alle Attribute am Symbol „sichtbar“; viele sind „versteckt“ angefügt, sie werden erst sichtbar bei Auswahl des Attribut-Eigners und Aufruf des Attribut-Editors. In Bild 2.2-11 sind wichtige Attribute an einem Standard-Widerstand ohne Referenz auf ein Modell dargestellt. Der Widerstand referenziert auf ein „*Intrinsic*“-Modell und verwendet keinen Modellparametersatz. Aufgrund des *PSpice-Template* Attributs erfolgt folgender Eintrag in die Netzliste:

R_<Wert Reference-Attr.> <Netzname an Pin1> <Netzname an Pin2> <Wert Value-Attr.>

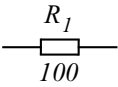
	<u>Attribut-Name</u>	<u>Attribut-Wert</u>
	Reference	R1
	Value	100
	PSpice Template	R^@REFDES %1 %2 @VALUE
	...	...

Bild 2.2-11: Beispiel von Attributen am Symbol für einen Widerstand

Wichtige Attribute einer Diode mit Referenz auf einen Modell-Parametersatz sind in Bild 2.2-12 dargestellt. Das Value-Attribut bleibt unbesetzt, es wird nicht ausgewertet. Die Festlegung der Modell-Referenz erfolgt durch die drei Attribute „Implementation“, „Implementation Path“ und „Implementation Type“. Bei Referenz zu einem Modell-Parametersatz in einer dem System bereits bekannten Model Library wird der Wert des „Implementation Path“ Attributs nicht ausgewertet. Bei gegebenem Namen des Modell-Parametersatzes (Wert des Implementation-Attributs) sucht das System automatisch nach Modell-Parametersätzen mit dem definierten Namen in allen registrierten Model Libraries. Eine Registrierung einer Model Library kann unter dem Menüpunkt „Libraries“ im „Simulation Profile“ erfolgen. Zunächst wird in Model Libraries des Workspaces gesucht, sodann in den übrigen registrierten Model Libraries. Enthält keine dem System bekannte (registrierte) Model Library einen Modell-Parametersatz mit dem angegebenen Namen, so erfolgt eine Fehlermeldung. Zur Beschleunigung der Suche wird ein Suchindex (*.ind) automatisch aufgebaut, in dem alle Namen der Modell-Parametersätze in den registrierten Model Libraries erfasst sind.

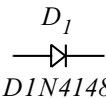
	<u>Attribut-Name</u>	<u>Attribut-Wert</u>
	Reference	D1
	Value	-
	Implementation	D1N4148-X
	Implementation Path	-
	Implementation Type	PSpice Model
	PSpice Template	D^@REFDES %1 %2 @MODEL
	...	...

Bild 2.2-12: Beispiel von Attributen am Symbol einer Diode mit Referenz auf einen Modell-Parametersatz mit dem Namen D1N4148-X. Mit D^@REFDES wird nach der Kennung „D“ für die Diode der aktuelle Wert des „Reference“-Attributs in die Netzliste gesteuert durch das „PSpice Template“-Attribut eingetragen; mit @MODEL erfolgt an dieser Stelle der Eintrag des aktuellen Werts des „Implementation“-Attributs in die Netzliste.

Parametrisierbare Schematic- und Subcircuit-Modelle: Für parametrisierbare Schematic-Modelle oder Subcircuit-Modelle müssen zusätzlich am Symbol Attribute für Modellparameter angefügt werden. In der Modelldefinition (siehe Bild 2.2-9 und Bild 2.2-10) sind Platzhalter (z.B. @RX, @LS, @LSZ, @CP bzw. {RX}, {LS}, {LSZ}, {CP}) eingeführt für Werte von Modell-Parametern, die von Attributen an der Designinstanz am Symbol aktuell besetzt werden. Damit lassen sich bei Mehrfachinstanziierungen des Symbols in einem Design an jeder Designinstanz unterschiedliche Werte von Modell-Parametern festlegen, bei Referenz auf ein gemeinsames Modell. Bild 2.2-13 zeigt ein spezielles Widerstandssymbol mit Referenz auf ein parametrisierbares Schematic-Modell und den dafür erforderli-

chen Attributen. Im „Implementation-Path“-Attribut wird der Pfad zum Schematic-Modell festgelegt. Das Beispiel verwendet eine relative Pfadangabe zwei Ebenen über dem Workspace. Das Schematic-Modell muss dann im Workspace abgelegt sein. Im „Implementation-Type“-Attribut ist der Typ mit „Schematic-View“ anzugeben. Das „Value“-Attribut und das „PSpice-Template“-Attribut ist hier nicht relevant, es wird nicht ausgewertet. Speziell bei Schematic-Modellen und Subcircuit-Modellen ist auf die Konsistenz der Pin-Namen am Symbol, in der Modell-Definition und im „PSpice Template“-Attribut zu achten. Pin-Namen am Symbol sind Attribute, deren Eigner der Pin am Symbol ist, nicht der Symbolkörper.

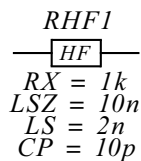
	<u>Attribut-Name</u>	<u>Attribut-Wert</u>
	Reference	RHF1
	Value	-
	Implementation	RHF-Schematic-Model
	Implementation Path	..RHF-SCHEMATIC-MODEL.dsn
	Implementation Type	Schematic View
	PSpice Template	-
	RX	1k
	LS	2n
	LSZ	10n
	CP	10p
	...	...

Bild 2.2-13: Beispiel von Attributen eines speziellen Widerstandssymbols mit Referenz auf ein Schematic-Modell mit dem Namen „RHF-Schematic-Model“ für einen Widerstand mit Hochfrequenzeigenschaften. Achtung: die Pin-Namen am Symbol müssen konsistent zu den Pin-Namen im Schematic-Modell sein

In Bild 2.2-14 ist ein spezielles Widerstandssymbol dargestellt mit Referenz auf ein Subcircuit-Modell. Aus dem Bild sind die dafür erforderlichen Attribute zu entnehmen. Wichtig dabei ist auch hier insbesondere das „PSpice Template“-Attribut, es steuert und formatiert den Eintrag verfügbarer Attribute in die Netzliste. Eine Subcircuit-Instanz beginnt mit der Kennung „X“ gefolgt vom Reference-Designator. Im Weiteren müssen die Parameter des Modells definiert werden. Über „@MODEL“ wird der Wert des „Implementation“-Attribut und damit der Name des Subcircuit-Modells in die Netzliste eingetragen.

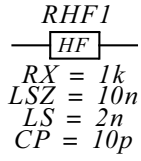
	<u>Attribut-Name</u>	<u>Attribut-Wert</u>
	Reference	RHF1
	Value	-
	Implementation	RHF
	Implementation Path	-
	Implementation Type	PSpice Model
	PSpice Template	X^@REFDES %a %b @MODEL PARAMS: RX=@RX LS=@LS CP=@CP LSZ=@LSZ
	RX	1k
	LS	2n
	LSZ	10n
	CP	10p
	...	...

Bild 2.2-14: Beispiel von Attributen eines speziellen Widerstandssymbols mit Referenz auf ein Subcircuit-Modell für einen Widerstand mit Hochfrequenzeigenschaften. Achtung: die Pin-Namen „a“ und „b“ am Symbol müssen konsistent zu den Pin-Namen im Modell (siehe Bild 2.2-10) und im Template-Attributeintrag sein

Zusammenfassung: Ein genaues Verständnis des Attribut-Konzeptes von Design-Objekten in rechnergestützten Entwurfsmethoden ist unverzichtbar für das erfolgreiche Arbeiten mit den Designwerkzeugen. Wichtig für die Schaltkreissimulation ist eine korrekte Netzliste. Mit dem „PSpice-Template“-Attribut wird der Eintrag von Attributen in die Netzliste gesteuert.

2.2.2 Die Hardwarebeschreibungssprache VHDL-AMS

Der Vorteil einer Hardwarebeschreibungssprache liegt in der standardisierten, flexiblen, grafik- und systemunabhängigen Beschreibungs- und Modellierungsmöglichkeit von Schaltkreisfunktionen und deren Komponenten. Die Hardwarebeschreibungssprache VHDL-1076-1993 (VHDL: **V**HSIC **H**ardware **D**escription **L**anguage; VHSIC: Very High Scale Integrated Circuits) bietet eine standardisierte Beschreibung von Modellen für Logikfunktionen und Logiksysteme mit der Möglichkeit der Systemverifikation. VHDL wird darüber hinaus vielfach als „Input“ für die Logiksynthese verwendet. In neueren Schaltkreissimulatoren ist es möglich, mittels der analogen Erweiterung VHDL-AMS (AMS: analog, mixed Signal) der weit verbreiteten Modellierungssprache VHDL für Logiksysteme eigene analoge und gemischt analog/digitale Modelle zu definieren, einzubinden und bei der Schaltkreisverifikation zu berücksichtigen. Bei der Verifikation von Logiksystemen werden keine Netzwerkgleichungen auf der Basis von Knotenspannungen und Zweigströmen gelöst. Vielmehr beschränkt man sich auf die Ermittlung von Ereignissen und Folgeereignissen ausgehend von den Anfangsereignissen gegeben durch ein „Stimuli“ für eine Schaltung. Man nennt diese Vorgehensweise „Ereignisgesteuerte Designverifikation“. Die Beschreibung des analogen Teils führt auf Differenzial-Algebraische-Gleichungssysteme (DAE: Differential Algebraic Equations) unter Berücksichtigung von Knotenspannungen und Zweigströmen. Seit 1999 gibt es mit dem IEEE-Standard 1076.1 als Erweiterung vom bisherigen Standard-VHDL neue „port“-Typen, neue Objekte und Datentypen, neue Statements, sowie neue Attributdefinitionen. Die analoge Erweiterung von VHDL benötigt einen Simulator mit einem neuen zusätzlichen Algorithmus zur Lösung der analogen Modellgleichungen. Die digitalen Modellteile werden wie bisher mit einem ereignisgesteuerten Logiksimulator behandelt. Beim Zusammenwirken von analogen und digitalen Systemfunktionen müssen zwischen den analogen Modellteilen und den digitalen Modellteilen Ereignisse bzw. Signale ausgetauscht werden. Dem analogen Modellteil werden die auf die analoge Schnittstelle gewandelten digitalen Schnittstellen-Signale übermittelt, dem digitalen Modellteil die digitalisierten analogen Verläufe. Bild 2.2-15 verdeutlicht den Datenaustausch.

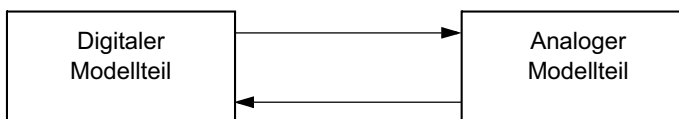


Bild 2.2-15: Datenaustausch zwischen analogen und digitalen Modellteilen

Digitaler Modellteil: Den Ablauf der Logiksimulation des linken Blocks in Bild 2.2-15 zeigt Bild 2.2-16. Ausgangspunkt ist eine Schaltung beschrieben durch ein VHDL-Modell. Weiterhin müssen die Eingangsereignisse in Form eines Stimuli für das Modell bekannt sein. Jede Schaltkreisfunktion reagiert auf Eingangsereignisse verzögert. Die „Delays“ der Schaltkreisfunktionen müssen im Modell enthalten sein. Der Logiksimulator verwaltet eine Ereignistabelle („Event-Queue“). Ein Ereignis stellt einen Signalwechsel dar. Zunächst werden die Anfangsereignisse in die Ereignistabelle eingetragen. Die Modelle der Schaltkreisfunktionen reagieren auf die Anfangsereignisse mit verzögerten Folgeereignissen, die wiederum in die Ereignistabelle eingetragen werden und erneut Folgeereignisse generieren. Die Abarbeitung der Ereignisse erfolgt solange, bis die Simulationszeit abgelaufen ist, oder die Ereignistabelle leer ist. Man spricht von einer ereignisgesteuerten Logiksimulation, bei der keine zeitkontinuierlichen Netzwerkgleichungen gelöst werden.

```

Inputs:      Schaltung beschrieben durch ein Modell: S
              Delays der Schaltkreisfunktionen und Subcircuits: ScD,
              Event-Queue: EQ,
              Eingangs-Ereignisse (vom Stimuli): IE

Results:     Logikzustände von Netzen in Abhängigkeit von t.

PROCEDURE EventScheduling (S; ScD; t)
BEGIN
    EQ = IE;                                -- Anfangsereignisse
    WHILE EQ ist nicht leer DO
    BEGIN
        Zeitschritt  $t_n$  für nächstes Ereignis in EQ;
        P = alle Ereignisse von EQ zum Zeitpunkt  $t_n$ ;
        FOR all P(j) DO
        BEGIN
            F(j) = Folgeereignisse von P(j); -- Folgeereignisbestimmung
            FOR all F(j) deren Zustand sich ändert DO
                F(i),  $t_n + \text{ScD}(i)$  in EQ;    -- Eintrag der Folgeereignisse
            END
        END
    END
END

```

Bild 2.2-16: Algorithmus für die ereignisgesteuerte Logiksimulation (digitaler Systemteil)

Das Modell eines digitalen Schaltkreises beschreibt die Wirkung von Eingangseignissen auf die Ausgänge. Durch die Modellbeschreibung werden für Eingangseignisse die daraus resultierenden Folgeereignisse am Ausgang bestimmt. Bild 2.2-17 stellt das Grundprinzip einer digitalen Modellbeschreibung dar. Die Verwaltung der Ereignisse erfolgt dabei im Simulator. Für die Modellbeschreibung von Logikfunktionen bietet VHDL eine Reihe von Sprachkonstrukten an (u.a.

„Concurrent Signal Assignment“, „Process“, „Component Instantiation“). Ereignisse sind nur Signalen zugeordnet. Nur sie werden in der Ereignistabelle des Simulators erfasst. Ein Signal entspricht einem Netz in der Schematic-Darstellung. Einem Signal ist ein Name, ein Wert und einem Signalwechsel eine Zeit zugeordnet. Prinzipiell unterscheidet man zwischen Verhaltensmodellen und Strukturmodellen.

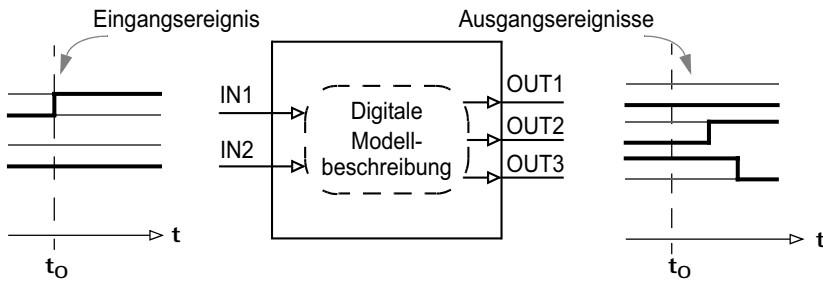


Bild 2.2-17: Grundprinzip einer digitalen Modellbeschreibung

Analoger Modellteil: Ein VHDL-AMS-Schaltkreissimulator muss für den analogen Teil ein Gleichungssystem lösen, bestehend aus charakteristischen Beziehungen (simultaneous statements) in der allgemeinen Form:

$$g(\mathbf{u}, \dot{\mathbf{u}}, \mathbf{i}, \dot{\mathbf{i}}, \mathbf{s}, \dot{\mathbf{s}}, \mathbf{a}_{in}, \dot{\mathbf{a}}_{in}, \mathbf{a}_{out}) = \mathbf{0}; \quad (2.2-1)$$

Dabei sind $\mathbf{u}$ die zeitlichen Momentanwerte der Knotenspannungen bzw. Knoten-Differenzspannungen und deren mögliche zeitliche Ableitungen $\dot{\mathbf{u}}$, $\mathbf{i}$ sind die Zweigströme mit deren möglicher zeitlicher Ableitung, $\mathbf{s}$ sind die zusätzlichen inneren Größen („free“ QUANTITY) mit deren möglicher zeitlicher Ableitung, $\mathbf{a}_{in}$ und $\mathbf{a}_{out}$ sind Eingangs- bzw. Ausgangsgrößen von Funktionsblöcken. Allgemein lassen sich demnach in VHDL-AMS folgende zeitkontinuierliche Größen einführen:

- ☐ Knotenspannungen bzw. Knoten-Differenzspannungen (Differenzgrößen): $\mathbf{u}$;
- ☐ Zweigströme („through“ QUANTITY bzw. Flussgrößen): $\mathbf{i}$;
- ☐ Zusätzliche innere Größen („free“ QUANTITY): $\mathbf{s}$;
- ☐ Eingangsgrößen (QUANTITY ... IN): $\mathbf{a}_{in}$;
- ☐ Ausgangsgrößen (QUANTITY ... OUT): $\mathbf{a}_{out}$.

Allgemein unterscheidet man in Analogsystemen zwischen „konservativen“ Systemen und „nichtkonservativen“ Systemen. Die Knotenspannungen und Knoten-Differenzspannungen, sowie die Zweigströme (Flussgrößen) zwischen Knoten in einem elektrischen Netzwerk bilden ein „konservatives“ System. Deren Zusammenhänge werden durch die Knoten- und Maschenregeln, sowie durch den Energieerhaltungssatz definiert. Der VHDL-AMS-Simulator bildet aus den Modellgleichungen ein Gleichungssystem, um alle unbekannten Größen zu ermitteln. Bei „nichtkonservativen“ Systemen werden die Funktionsblöcke im Allgemeinen

durch ihr Verhalten beschrieben. Die Übertragungsfunktion eines regelungstechnischen Systemblocks ist ein typisches Beispiel hierfür. An den Klemmen treten gerichtete rückwirkungsfreie Signale auf. Es gelten keine impliziten Nebenbedingungen (z.B. Energieerhaltungssatz). Das Ausgangsverhalten wird für gegebene Eingangsgrößen bestimmt.

Auf den Ablauf der Schaltkreissimulation des analogen Teils wird später noch eingegangen. Zunächst wird die Einführung in VHDL-AMS beschränkt auf die Modellbeschreibung und Schaltungsbeschreibung als Ausgangspunkt für die Schaltkreissimulation.

Die Modellbeschreibung beeinflusst ganz erheblich die Effizienz des Lösungsverfahrens. Ungeeignete bzw. unvollständige Modellbeschreibungen führen zu einem nicht lösaren System. Eine notwendige Bedingung für die Lösbarkeit des Systems ist, dass die Unabhängigkeit der charakteristischen Beziehungen bzw. Gleichungen gegeben sein muss. Dazu ist u.a. erforderlich, dass die Anzahl der charakteristischen Beziehungen gleich der Anzahl der Zweige mit Flussgröße („through“ Quantity), plus der Anzahl der inneren Größen („free“ Quantity), plus der Anzahl der „nichtkonservativen“ OUT-Klemmen ist. Mit anderen Worten konkreter ausgedrückt: Es müssen genügend unabhängige Netzwerkgleichungen für die eingeführten Netzwerkgrößen (Spannungen, Ströme u.a.) und genügend unabhängige Gleichungen zur Charakterisierung der Funktionsblöcke formuliert werden.

Basis für das Strukturmodell eines analogen Schaltkreises sind die äußeren und inneren Knoten, repräsentiert durch „Terminals“. Mathematische Gleichungen beschreiben das Verhalten der Schaltkreiselemente zwischen den „Terminals“. „Terminals“ stellen die äußeren und inneren Knoten in einem „konservativen“ System dar. Am Beispiel des Modells für einen Widerstand mit parasitären Elementen soll das analoge Strukturmodell erläutert werden.

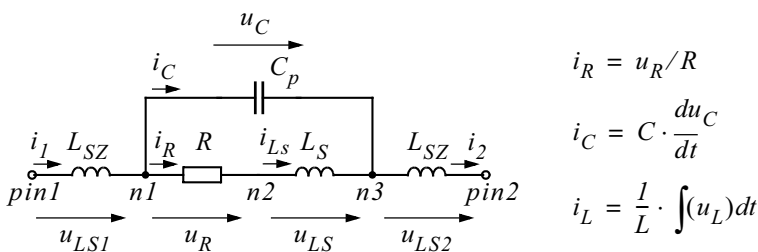


Bild 2.2-18: Zur Modellbeschreibung für einen Widerstand mit parasitären Elementen mit äußeren und inneren Knoten, den Knoten-Differenzspannungen, den Zweigströmen und den „Simultaneous Statements“; pin1, n1, n2, n3, pin2 sind Terminals

Terminals: Die allgemeine Definition eines „Terminals“ lautet:

terminal name_list : nature_name;

Einem „Terminal“ kann eine „Nature“ zugewiesen werden. Die „Nature“ dient zur Identifikation des physikalischen Teilgebiets (Elektrotechnik, Mechanik u.a.). In der skizzierten Definition der „Nature“ wird u.a. auch ein Referenzknoten

(Bezugsknoten) festgelegt. Die „Nature“ wird allgemein definiert durch:

```
nature scalar_nature_name is
  type_name across
  type_name through
  reference_node_name reference;
```

Libraries und Packages: Die gezeigten Festlegungen für eine „Nature“ und weitere Deklarationen werden u.a. zweckmäßig in einem „Package“ zusammengefasst. Eine Library enthält gebrauchsfertige Deklarationen, Funktionen und Prozeduren. Ein „Package“ ist ein Teil einer Library. Um die Library für eine Modellbeschreibung verfügbar zu machen, ist im Kopf der Modellbeschreibung folgendes Konstrukt zu verwenden:

```
library library_name1, library_name2, ...;
use package_name;
```

Mit „Use“ wird ein bestimmtes „Package“ eingebunden, das in einer Library enthalten ist. Ein Beispiel für ein „Package“ mit u.a. Typ-Deklarationen zeigt:

```
package electrical_systems is
  -- subtype declarations
  subtype voltage      is real tolerance "default_voltage";
  subtype current      is real tolerance "default_current";
  subtype charge       is real tolerance "default_charge";
  subtype resistance   is real tolerance "default_resistance";
  subtype capacitance  is real tolerance "default_capacitance";
  ...
  -- use of UNIT to designate units
  attribute UNIT of voltage      : subtype is "volt";
  attribute UNIT of current      : subtype is "ampere";
  attribute UNIT of charge       : subtype is "coulomb";
  attribute UNIT of resistance   : subtype is "ohm";
  attribute UNIT of capacitance  : subtype is "farad";
  ...
  -- nature declarations
  nature electrical is
    voltage across
    current through
    electrical_ref reference;
  ...
end package electrical_systems;
```

Branch Quantities: Besitzen die „Terminals“ *pin1*, *n1*, *n2*, *n3* und *pin2* im Beispiel in Bild 2.2-18 die „Nature“ *electrical*, so lassen sich mit „Branch Quantities“ die Knoten-Differenzspannungen und Zweigströme definieren. Allgemein gilt für die Festlegung einer „Branch Quantity“:

```
quantity [across_aspect] [through_aspect] terminal_aspect;
```

Im Beispiel liegen folgende „Branch Quantities“ vor:

```
quantity v      across pin1 to pin2;
quantity vc     across ic  through n1 to n3;
quantity vls1   across il  through pin1 to n1;
quantity vls2   across i2  through n3 to pin2;
quantity vls    across ils through n2 to n3;
quantity vr     across ir  through n1 to n2;
```


Free Quantities: Neben den „Branch Quantities“ können „Free Quantities“ eingeführt werden. Eine „Free Quantity“ wird definiert durch:

```
quantity name_list: real_type_name [:=expression];
```

Damit lassen sich u.a. Größen von „nichtkonservativen“ Systemen erfassen. Sie können aber auch als zusätzliche abgeleitete Größen in „konservativen“ Systemen eingeführt werden, deren Verlauf durch den Simulator ermittelt werden soll. Ein Beispiel dafür wäre in Bild 2.2-18 die Summe der beiden Zweigströme durch den Widerstand R und die Kapazität C_P . Ein weiteres Beispiel wäre die Bestimmung der Verlustleistung als Produkt von Knoten-Differenzspannung und Zweigstrom als abgeleitete Größe. Da der Datentyp nicht, wie bei den Branch Quantities, von einem „Terminal“ abgeleitet werden kann, muss er bei der Deklaration explizit angegeben werden.

Entity: Das Modell in Bild 2.2-18 soll ein neues Schaltelement werden. Dazu ist für das neue Schaltelement eine neue „Entity“ zu definieren. Eine „Entity“ entspricht einem Symbol in der Schematic-Darstellung. Sie legt die Schnittstellen des Modells nach außen fest. Im Beispiel soll zusätzlich neben *pin1* und *pin2* die Temperatur *temp* als Schnittstellengröße eingeführt werden, um die Temperaturabhängigkeit des Widerstandes beschreiben zu können. Der „Entity“ wird ein Name (im Beispiel *R_temp*) zugeordnet, anschließend erfolgt die Schnittstellenfestlegung in der „Port“-Deklaration. Im Beispiel ist *temp* eine „nichtkonservative“ Anschlußklemme, *pin1* und *pin2* sind „konservative“ Anschlußklemmen. Die Festlegung der „Entity“ für das Beispiel in Bild 2.2-18 mit der Temperatur als zusätzlicher Eingangsgröße lautet:

```
entity R_temp is
  port (quantity temp      : in temperature;
        terminal pin1, pin2 : electrical);
end R_temp;
```

Die „Quantity“ *temp* vom Subtype „temperature“ repräsentiert einen zeit- und wertkontinuierlichen Temperaturverlauf. Eine „Free-Quantity“ in der „Port“-Festlegung einer „Entity“ besitzt ähnlich wie ein Signal eine Wirkungsrichtung („Mode“). Im Beispiel ist der „Mode“ gleich „IN“.

Generic-Attribute: In der Weise, wie an ein Symbol Attribute „angehängt“ werden können, lassen sich der „Entity“ Attribute anfügen, die dann bei der zugehörigen Modellbeschreibung verwendbar sind. Das folgende Beispiel zeigt eine „Entity“-Deklaration für einen einfachen Widerstand (ohne parasitäre Elemente), bei dem der Wert des Widerstandes als „Generic-Attribut“ übergeben wird:

```
entity Resistor is
  generic (
    r_val : real);          -- Value of the resistor
  port (terminal pin1, pin2 : electrical);
end Resistor;
```

Über „Generic-Attribute“ ist es möglich, u.a. Modellparameter an die Modellbeschreibung zu übergeben.

Quantity-Attribute: Quantities sind analoge Größen. Ähnlich wie bei den Signalen in digitalen Systemen lassen sich für die analogen „Quantities“ Attribute

anwenden, mit denen „Eigenschaften“ einer Größe festgelegt werden können. Es gibt eine große Vielfalt möglicher Attribut-Anwendungen. Einige Beispiele für Attribute von „Quantities“ sind:

quantity_name'dot	Ableitung nach der Zeit
quantity_name'integ	Integral von t=0 bis zum Simulationszeitpunkt
quantity_name'ltf(num,den)	Laplacetransformierte mit num = Zähler und den = Nenner

Architecture: In der „Architecture“ wird die eigentliche Modellbeschreibung für eine „Entity“ festgelegt. Allgemein gilt für die „Architecture“-Beschreibung:

```
architecture architecture_name of entity_name is
    {declaration_part}
begin
    {simultaneous_statement}
end architecture_name;
```

Unter Verzicht auf die Temperatur als Schnittstellengröße lässt sich die Modellbeschreibung für das Beispiel in Bild 2.2-18 wie folgt formulieren:

```
architecture R_HF of resistor is
    -- inner terminals
    terminal n1, n2, n3 :electrical;
    -- branch quantities
    quantity v across pin1 to pin2;
    quantity vc across ic through n1 to n3;
    quantity vls1 across i1 through pin1 to n1;
    quantity vls2 across i2 through n3 to pin2;
    quantity vls across ils through n2 to n3;
    quantity vr across ir through n1 to n2;
    -- free quantities
    quantity i : current;
begin
    ic == Cp * vc'dot;
    vls1 == Lsz * i1'dot;
    vls2 == Lsz * i2'dot;
    vr == R * ir;
    vls == ls * ils'dot;
    i == ic + ir;
end R_HF;
```

Im ersten Teil der „Architecture“ werden die nicht in der „Entity“ erklärten inneren Knoten deklariert, sowie alle analoge Größen in Form der „Branch Quantities“ und „Free Quantities“. Danach erfolgt die Beschreibung der Modellgleichungen durch „Simultaneous Statements“ zwischen „Begin“ und „End“.

Simultaneous Statements: Das Konstrukt für einfache „Simultaneous Statements“ lautet allgemein:

```
[label:] simple expression == simple expression [tolerance
string_expression];
```

Damit lassen sich mathematische Ausdrücke für analoge Größen einführen. Darüber hinaus gibt es bedingte „Simultaneous Statements“ der Form:

```
[label:] if boolean_expression use
    {simultaneous_statement}
{elsif boolean_expression use
    {simultaneous_statement}}
{else {simultaneous_statement}}
end use [label];
```

Mit Hilfe von bereichsabhängigen „Simultaneous Statements“ können in Abhängigkeit von einer Bedingung verschiedene „Simultaneous Statements“ ausgewählt werden. Damit lassen sich in der Modellbeschreibung für ein Schaltkreiselement für unterschiedliche Bereiche spezielle mathematische Gleichungen formulieren. Ein weiteres wichtiges Konstrukt ist das „Simultaneous Case Statement“, bei dem in Abhängigkeit von einem Ausdruck unterschiedliche „Simultaneous Statements“ ausgeführt werden:

```
[label:] case expression use
    when choice {|choice} =>
        {simultaneous_statement}
{when choice {|choice} =>
    {simultaneous_statement}}
end case [label];
```

Zur Beschreibung des analogen Verhaltens mit Hilfe sequentieller Statements steht das Konstrukt „Simultaneous Procedural Statement“ zur Verfügung. Ähnlich wie bei dem „Process“-Konstrukt bei digitalen Systemen gilt zwischen „Begin“ und „End“ in dem „Simultaneous Procedural Statement“ eine sequentielle Ordnung.

```
[label:] procedural [is]
    {declaration_part}
begin
    {sequential_statement}
end procedural [label];
```

Im Rahmen der Grundlagen zur analogen Schaltungstechnik ist eine ausführliche Einführung in Hardwarebeschreibungssprachen nicht möglich. Vielmehr mögen einfache Beispiele veranschaulichen, wie mit der Hardwarebeschreibungssprache VHDL-AMS eine Testbench für eine Schaltung (Bild 2.2-19) beschrieben wird, um diese mit einem dafür geeigneten Schaltkreissimulator verifizieren zu können. Dabei ergeben sich Analogien zur Schematic-Darstellung, die herausgestellt werden sollen.

Beschreibung einer Testschaltung: Bild 2.2-19 zeigt eine Testanordnung für eine Diodenschaltung. Diese Schaltung soll nunmehr beispielhaft mit der Hardwarebeschreibungssprache VHDL-AMS beschrieben werden.

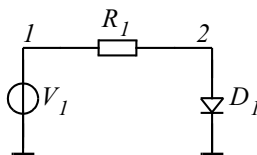


Bild 2.2-19: Testanordnung für eine Diodenschaltung

Zunächst benötigt man eine Modellbeschreibung in VHDL-AMS für die in der Testbench verwendeten Schaltkreiselemente. Bild 2.2-20 zeigt die Modellbeschreibung eines idealen Widerstandes. Für die Modellbeschreibung werden Library-Funktionen benötigt, die in den obersten Zeilen durch „Library“ bzw. „use“ eingebunden werden. Die „Entity“-Declaration entspricht dem Symbol mit den Anschlusspins definiert in der „Port“-Declaration. Im Beispiel werden als „Terminal“ die Anschlusspins „pin1“ und „pin2“ vom Typ „electrical“ festgelegt. So wie am Symbol die Schnittstellen in Form der Anschlusspins festgelegt werden, so sind in der „Port“-Declaration ebenfalls die Schnittstellen der „Entity“ erklärt. Der Widerstandswert wird in Form eines „Generic“-Attributs innerhalb der „Entity“-Declaration definiert. Wie man sieht, entsprechen „Generic“-Attribute den Symbol-Attributen (z.B. Value-Attribut) an einem Symbol für ein Schaltkreiselement. Die „Architecture“-Beschreibung legt das elektrische Verhalten fest, das einer „Entity“ zugeordnet ist, ähnlich wie das Symbol auf ein Modell referenziert. In der „Architecture“ sind die Modellgleichungen allerdings nicht in Form von „hard“ codierten „Intrinsic“-Modellen gegeben, vielmehr kann der Anwender eigene Modelle mit speziellen Effekten festlegen und einführen. Mit der Deklaration

```
quantity v across i through pin1 to pin2;
```

wird die Knoten-Differenzspannung „v“ von „pin1“ nach „pin2“ in Form einer Differenzgröße und der Zweigstrom i von „pin1“ nach „pin2“ in Form einer Flussgröße definiert. Über „Assert“-Anweisungen lassen sich Warnungen bzw. Fehlerhinweise bei u.a. anderem Bereichsüberschreitungen ausgeben. Die eigentliche Modellgleichung für einen idealen Widerstand lautet:

```
i == v/r_val;
```

Damit wird das Verhalten des Widerstandes festgelegt.

```
library IEEE, Disciplines;
use Disciplines.electromagnetic_system.all;
use IEEE.math_real.all;
entity Resistor is
  generic (
    r_val : real);           -- Value of the resistor
  port (terminal pin1, pin2 : electrical);
end entity Resistor;
architecture resistor0 of Resistor is
  quantity v across i through pin1 to pin2;
begin -- resistor0
  assert r_val > 0.0 report "Negative resistor value!"
    severity WARNING;
  assert r_val/=0.0 report "Value of resistor is 0!"
    severity WARNING;
  i == v/r_val;
end architecture resistor0;
```

Bild 2.2-20: Modellbeschreibung eines Widerstandes in VHDL-AMS

Als nächstes benötigt man eine Modellbeschreibung für die Diode der Testschaltung in Bild 2.2-19. Die beispielhafte Modellbeschreibung einer Diode zeigt Bild

2.2-21. Als Schnittstelle der Diode nach außen werden in der „Port“-Declaration innerhalb der „Entity“ mit „Terminal“ die Anschlussklemmen „anode“ und „cathode“ festgelegt.

```

library IEEE, DISCIPLINES;
use IEEE.math_real.all;
use DISCIPLINES.electromagnetic_system.all;
entity Diode is
  generic (
    iss                : real := 1.0e-14;
    n, rs              : real := 1.0;
    tt, cj0, vj        : real := 0.0);
  port (terminal anode, cathode : electrical);
end entity Diode;
architecture level0 of Diode is
  quantity vd across id, ic through anode to cathode;
  quantity qc: charge;
  constant vt : real := 0.0258;    -- thermal voltage
begin -- Level0
  id == iss * (exp((vd-rs*id)/(n*vt)) - 1.0);
  qc == tt*id - 2.0*cj0 * sqrt(vj**2 - vj*vd);
  ic == qc'dot;
end architecture level0;

```

Bild 2.2-21: Modellbeschreibung einer Diode (level0) in VHDL-AMS

Über Generic-Attribute in der „Entity“-Declaration sind die Modellparameter für das Diodenmodell erklärt und vorbesetzt. In der „Architecture“-Beschreibung lässt sich das elektrische Verhalten durch die Modellgleichungen für die Halbleiterdiode festlegen. Dazu kann u.a. eine Ladung (qc) definiert und deren Ableitung (qc'dot) gebildet werden. Zwischen den Anschlusspins „anode“ und „cathode“ werden mit **quantity** vd **across** id, ic **through** anode **to** cathode; die Spannung „vd“ von „anode“ nach „cathode“ und die beiden Zweigströme *id* und *ic* von „anode“ nach „cathode“ als Flussgrößen definiert. Die Modellgleichungen der Diode lauten schließlich:

```

id == iss * (exp((vd-rs*id)/(n*vt)) - 1.0);
qc == tt*id - 2.0*cj0 * sqrt(vj**2 - vj*vd);
ic == qc'dot;

```

mit „vt“ als Konstante für die Temperaturspannung definiert im Deklarationsteil der „Architecture“ und den Modellparametern „iss“, „rs“, „n“, „tt“, „cj0“, „vj“, die über die „Generic“-Deklaration in der „Entity“ erklärt und mit „Default“-Werten vorbesetzt werden.

Als drittes Schaltelement der Testschaltung in Bild 2.2-19 muss neben dem Modell für den Widerstand und die Diode ein Modell für die Spannungsquelle eingeführt werden. Bild 2.2-22 zeigt das Modell für eine DC-Spannungsquelle. Die Anschlussklemmen der Spannungsquelle werden als „Terminal“ vom Typ „electrical“ mit „plus“ und „minus“ deklariert. Die Übergabe des DC-Wertes der Spannungsquelle erfolgt über ein „Generic“-Attribut.

```

library IEEE, DISCIPLINES;
use IEEE.math_real.all;
use DISCIPLINES.electromagnetic_system.all;
entity v_dc is
  generic (
    dc_value : real := 0.0);          -- Voltage level
  port (
    terminal plus, minus : electrical); -- plus and minus pin
end entity v_dc;
architecture v_dc_simple of v_dc is
  quantity v across i through plus to minus;
begin
  v == dc_value;
end architecture v_dc_simple;

```

Bild 2.2-22: Modellbeschreibung einer DC-Quelle in VHDL-AMS

```

library disciplines;
use disciplines.Electromagnetic_system.ALL;
library my_lib;
entity diode_dc_test_testbench is
end diode_dc_test_testbench;
architecture structure of diode_dc_test_testbench is
  terminal n1, n2 : electrical;
begin -- structure
  D1: entity my_lib.Diode (level0)
    generic map (
      iss => 1.0E-15; n => 1.0; rs => 5;
      tt => 20.0E-9;
      cjo => 5.0E-12; vj => 0.7)
    port map (n2, electrical_ground);
  R1: entity my_lib.Resistor (resistor0)
    generic map (
      r_val => 100.0)          -- R-Value
    port map (n1, n2);
  V1: entity my_lib.v_dc (v_dc_simple)
    generic map (
      dc_value => 1.0)          -- DC-Value
    port map (n1, electrical_ground);
end architecture structure;

```

Bild 2.2-23: Modellbeschreibung der Testbench für die Diodenschaltung in Bild 2.2-19

Nachdem nunmehr für alle drei verwendeten Schaltkreiselemente der Testanordnung in Bild 2.2-19 geeignete Modelle eingeführt sind, ist die eigentliche Testbench zu beschreiben. Die Modelle für den Widerstand, die Diode und die Spannungsquelle sind in der Library „my_lib“ abgelegt. Die Beschreibung der Testanordnung in Bild 2.2-19 mittels VHDL-AMS ist in Bild 2.2-23 dargestellt.

Neben den Standard-Libraries und Packages muss die Library „my_lib“ eingebunden werden. Die „Entity“ der Testbench weist keine Schnittstelle nach außen auf. Die Modellbeschreibung der Testbench selbst erfolgt mittels „Component Instantiation“ in der „Architecture“. Dazu werden die in der Library „my_lib“ abgelegten Komponenten *DI*, *RI* und *VI* in die „Architecture“-Beschreibung der Testanordnung instanziiert, ähnlich wie dies in der Schaltplaneingabe auch geschieht. Bei der Instanziierung muss über das „Port“-Mapping festgelegt werden, welcher Anschluss der Komponente mit welchem „Netzknoten“ der Schaltung verbunden werden soll. Dieser Vorgang entspricht der Verdrahtung in der Schematic-Darstellung. Neben der Zuordnung der Anschlüsse erfolgt in „generic map“ die Festlegung der Instanz-Attribute, ähnlich den Symbol-Attributen. Damit ist klar, dass sich mit einer Hardwarebeschreibungssprache auch Schaltungen und Testanordnungen beschreiben lassen, analog zur symbolischen Darstellung in der Schaltplaneingabe. Die einfache DC-Spannungsquelle soll als nächstes durch eine DCSweep-Spannungsquelle ersetzt werden. Dazu ist ein Modell für die DCSweep-Spannungsquelle zu erstellen (Bild 2.2-24). In der Testbench ist dann an Stelle von *VI* folgender Eintrag zu ändern:

```
V1: entity my_lib.V_DCSweep (VDCSweep0)
  generic map (
    vramp_start => -10.0,          -- Ramp start voltage
    vramp_end   => 1.0,           -- Ramp end voltage
    risetime    => 100.0)
  port map (n1, electrical_ground);
```

Die DCSweep-Spannungsquelle enthält eine Rampenspannung, die im Beispiel bei $-10V$ startet und bis $1V$ verändert wird. Die Änderungsgeschwindigkeit ist mit $100s$ sehr langsam gewählt, um dynamische Effekte zu vermeiden.

```
library IEEE, Disciplines;
use IEEE.Math_real.all;
use disciplines.Electromagnetic_system.ALL;
entity V_DCSweep is
  generic (
    vramp_start : real := 0.0;      -- Ramp start voltage
    vramp_end   : real := 1.0;      -- Ramp end voltage
    risetime    : real := 10.0;    -- time to reach vramp_end in sec
    falltime    : real := 0.0;
    delay       : time := 1.0 ns);
  port (
    terminal plus, minus : electrical);
end entity V_DCSweep;
architecture VDCSweep0 of V_DCSweep is
  quantity v across i through plus to minus;
  signal vsig : real := 0.0;
begin
  vsig <= vramp_start, vramp_end after delay;
  v == vsig'ramp(risetime, falltime);
end architecture VDCSweep0;
```

Bild 2.2-24: Modellbeschreibung einer DCSweep-Spannungsquelle

Das ideale Widerstandsmodell soll nunmehr gemäß Bild 2.2-6 erweitert werden. Das erweiterte Modell in Bild 2.2-25 beinhaltet zusätzlich Induktivitäten und eine parasitäre Kapazität. Die Ersatzschaltung weist zwei äußere und drei innere Knoten auf.

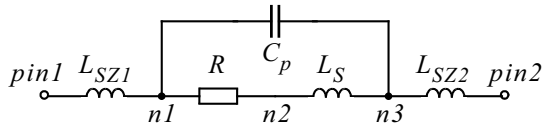


Bild 2.2-25: Erweitertes Widerstandsmodells mit Bezeichnung der Netzknoten

Die zugehörige VHDL-AMS Beschreibung zeigt Bild 2.2-26. In der „Entity“ werden die äußeren Anschlussklemmen „pin1“ und „pin2“ vom Typ „electrical“ als „Terminal“ deklariert. Über „Generic“-Attribute lassen sich in der „Entity“ die Induktivitäten L_{sz} , L_s , die Kapazität C_p und der Widerstand als Attribute mit Wertvorbesetzungen einführen. In der „Architecture“ müssen die inneren Knoten „n1“, „n2“ und „n3“ als „Terminal“ vom Typ „electrical“ deklariert werden. Im Weiteren sind die „Quantities“ zu deklarieren. Die eigentliche Modellbeschreibung erfolgt zwischen „Begin“ und „End“ innerhalb der „Architecture“.

```

library ieee, disciplines;
use disciplines.electromagnetic_system.ALL;
entity resistor is
  generic (
    Lsz : real := 0.0;           -- Zuleitungsinduktivitaet
    Ls  : real := 0.0;           -- innere Induktivitaet
    Cp  : real := 0.0;           -- Kapazitaet
    R    : real := 0.0);        -- Widerstand
  port (
    terminal pin1, pin2 : electrical);
end entity resistor;
architecture level1 of resistor is
  terminal n1, n2, n3 : electrical;
  quantity i : real;
  quantity v across pin1 to pin2;
  quantity vc across ic through n1 to n3;
  quantity vlsz1 across ils1 through pin1 to n1;
  quantity vlsz2 across ils2 through n3 to pin2;
  quantity vls across ils through n2 to n3;
  quantity vr across ir through n1 to n2;
begin -- level1
  ic == Cp * vc'dot;
  vlsz1 == Lsz * ils1'dot;
  vlsz2 == Lsz * ils2'dot;
  vr == R * ir;
  vls == Ls * ils'dot;
  i == ic + ir;
end architecture level1;

```

Bild 2.2-26: Modellbeschreibung eines realen Widerstandes mit parasitären Eigenschaften

Um das neu eingeführte Widerstandsmodell testen zu können, benötigt man dafür eine eigene Testbench mit geeigneter Spannungsquelle. Als Spannungsquelle wird eine AC-Quelle eingeführt. Ähnlich wie das Symbol der AC-Spannungsquelle in PSpice benötigt man Attribute zur Festlegung der Eigenschaften der Spannungsquelle, sie werden durch „Generic“-Attribute deklariert. Mit

```
quantity phase_rad : real;
```

wird eine „free“-Quantity festgelegt, die bei der Verhaltensbeschreibung der Spannungsquelle benötigt wird.

Die Modellbeschreibung einer Testbench für den realen Widerstand angesteuert mit einer AC-Spannungsquelle zeigt Bild 2.2-27. Wie üblich weist die „Entity“ der Testbench in Bild 2.2-28 keine Anschlussklemmen nach außen auf. In der „Architecture“ wird ein innerer Knoten „node“ deklariert. Ansonsten erfolgt die Festlegung der Testbench wie gehabt über „Component Instantiation“. Die Modelle für den realen Widerstand und für die AC-Spannungsquelle müssen in der Library `my_lib` abgelegt sein.

```
library ieee, disciplines;
use ieee.math_real.ALL;
use disciplines.electromagnetic_system.ALL;
entity V_AC is
  generic (
    freq      : real;           -- frequency,      [Hertz]
    amplitude : real;           -- amplitude,      [Volt]
    phase     : real;           -- initial phase,  [Degree]
    offset    : real;           -- DC value,      [Volt]
    df        : real;           -- damping factor, [1/second]
    ac_mag    : real;           -- AC magnitude,  [Volt]
    ac_phase  : real);          -- AC phase,      [Degree]
  port (terminal
    plus,                -- positive pin
    minus : electrical);  -- minus pin
end entity V_AC;
architecture behave of V_AC is
  quantity v across i through plus to minus;
  quantity phase_rad : real;      -- effective phase
  -- Declaration of signal in frequency domain for AC analysis
  quantity ac : real spectrum ac_mag, math_2_pi*ac_phase/360.0;
begin
  phase_rad == math_2_pi * (freq * NOW + phase / 360.0);
  -- The item "ac" will be active only in AC analysis.
  v == offset + amplitude * sin(phase_rad) * EXP(-NOW * df) + ac;
end architecture behave;
```

Bild 2.2-27: Verhaltensmodell einer AC-Spannungsquelle

Die vorgestellten Beispiele sollen einen Eindruck vermitteln von den Möglichkeiten der Schaltungs- und Modellbeschreibung mittels der Hardwarebeschreibungssprache VHDL-AMS. Mit einem geeigneten Schaltkreissimulator lassen sich die so beschriebenen Schaltungen und Modelle simulieren und verifizieren. Die

Ergebnisse und die Ergebnisdarstellung sind vergleichbar mit den Möglichkeiten von PSpice.

```

library disciplines;
use disciplines.Electromagnetic_system.ALL;
library my_lib;
entity resistor_ac_testbench is
end entity resistor_ac_testbench;
architecture structure of resistor_ac_testbench is
    terminal node : electrical;
begin
    R1 : entity my_lib.Resistor (level1)
        generic map (
            Lz => 20.0e-9,
            Li => 5.0e-9,
            Cp => 16.0e-12,
            R  => 1000.0)
        port map (node, electrical_ground);
    V_AC1 : entity my_lib.V_AC (behave)
        generic map (
            freq      => 1000.0,
            amplitude => 10.0,
            phase     => 0.0,
            offset    => 2.0,
            df        => 0.0,
            ac_mag    => 10.0,
            ac_phase  => 0.0)
        port map (node, electrical_ground);
end architecture structure;

```

Bild 2.2-28: VHDL-AMS Modellbeschreibung für eine Testbench zur Überprüfung des Verhaltens des realen Widerstands

Ohne auf Hardwarebeschreibungssprachen weiter im Detail einzugehen, soll im Folgenden vornehmlich die symbolische Beschreibung von Schaltungen verwendet werden. Dazu benötigt man ein Toolset mit u.a. einer graphischen Schaltplaneingabe (Capture). Auf der begleitenden CD-Rom steht ein derartiges Toolset in Form von Orcad-Lite/PSpice zur Verfügung. In der auf der CD-Rom enthaltenen Kurzeinführung werden die wichtigsten Funktionen von Orcad Lite/PSpice Version 9.2 vorgestellt und erläutert. Die hier beschriebene Funktionalität stellt den heutigen Stand der Technik dar. Insofern haben die Darstellungen prinzipiellen Charakter. Es geht um ein funktionales Grundverständnis zur rechnergestützten Schaltkreisddefinition und Schaltkreissimulation. Um sich mit der Schaltkreisanalyse mittels Schaltkreissimulation vertraut zu machen, wird das einfache Beispiel in Bild 2.2-19 gewählt. Am konkreten Beispiel werden die wesentlichen Funktionen erläutert. Selbstverständlich kann die Kurzdarstellung eine ausführliche Beschreibung (siehe Help-Funktion: u.a. „Learning Capture“) nicht ersetzen. Die Kurzdarstellung soll den Anwender soweit einführen, dass er anhand von ihm bekannten Experimenten „arbeitsfähig und experimentierfähig“ ist und mit den wichtigsten Funktionen vertraut gemacht wird.

2.2.3 Modellbeschreibungen einer Diode

Von besonderer Wichtigkeit sind die Modelle von Schaltkreiselementen. Werden wesentliche Eigenschaften für die Anwendung in den Modellen nicht erfasst, so ist das Analyseergebnis falsch. Die Systematik der Modellbildung von Halbleiterbauelementen wird am Beispiel der Diode aufgezeigt.

Eine Diode ist ein Halbleiterbauelement bestehend aus einem pn-Übergang. Der p-Anschluss ist die Anode (A), der n-Anschluss die Kathode (K). Unterhalb einer bestimmten Schwellspannung ist der pn-Übergang gesperrt. Die Schwellspannung beträgt bei Silicium als Halbleitermaterial ca. $0,7\text{ V}$. Erreicht die äußere Spannung nicht die Schwellspannung der Diode, so bildet sich eine von beweglichen Ladungsträgern freie Raumladungszone. Oberhalb der Schwellspannung wird die Raumladungszone abgebaut, es kommt ein Stromfluss zustande.

Zum Verständnis der Modellbildung eines Schaltkreiselementes über einen Modellparametersatz, abgelegt in einer Model Library, wird das Modell der Diode näher betrachtet. Die Charakterisierung einer Diode in Spice erfolgt durch ein „Intrinsic“-Modell mit Parametersatz. Im Folgenden soll das Modell einer Diode und deren Modellparameter erläutert werden (Bild 2.2-29). Gleiches gilt im Prinzip in erweiterter Form für Bipolartransistoren bzw. Feldeffekttransistoren.

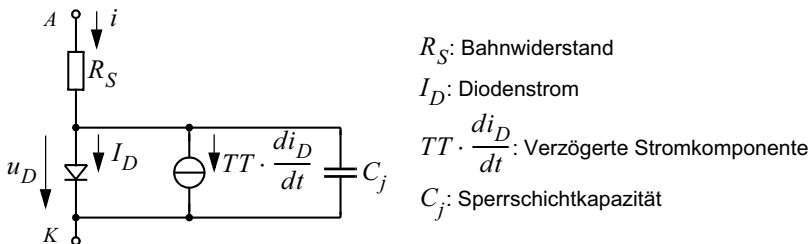


Bild 2.2-29: Modell einer Diode mit Bahnwiderstand R_S , verzögerter Stromkomponente charakterisiert durch TT und Sperrschichtkapazität C_j

Die Gleichung für den Strom im obigen Dioden-Modell lautet:

$$i = I_D + TT \frac{di_D}{dt} + C_j \frac{du_D}{dt} \quad (2.2-2)$$

Der Strom I_D ist der Diodenstrom, eingeteilt in Flussbereich und Sperrbereich. Die verzögerte Stromkomponente charakterisiert durch den Parameter TT setzt einen dynamischen Stromfluss voraus, wirkt also im Flussbereich. Die Sperrschichtkapazität C_j stellt die Kapazität der Raumladungszone bei Sperrbetrieb dar. Die Sperrschichtkapazität ist zudem abhängig von der Sperrspannung.

Ermittlung der statischen Kennlinie einer Diode: Die Ermittlung der statischen Kennlinie einer Diode lässt sich mit nachfolgender Testanordnung (Bild 2.2-30) durchführen. Entscheidend dabei sind die Modellparameter, mit denen das Verhalten einer Diode im Durchlassbereich (Bild 2.2-31), im Hochstrombereich, im Sperrbereich und im Durchbruchbereich (Bild 2.2-32) festgelegt wird. Von

besonderer Bedeutung sind das Temperaturverhalten und Exemplarstreuungsschwankungen, die bei Anwendungen zu berücksichtigen sind.

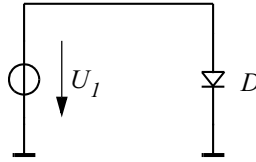


Bild 2.2-30: Testbench zur Ermittlung der Kennlinien einer Diode; die Spannung U_I wird mittels DCSweep verändert

Experiment 2.2-1: Diode_Testbench_Kennl – DCSweep-Analyse zur Darstellung der Kennlinie einer Diode bei einer Temperatur von -40°C , 25°C und 125°C .

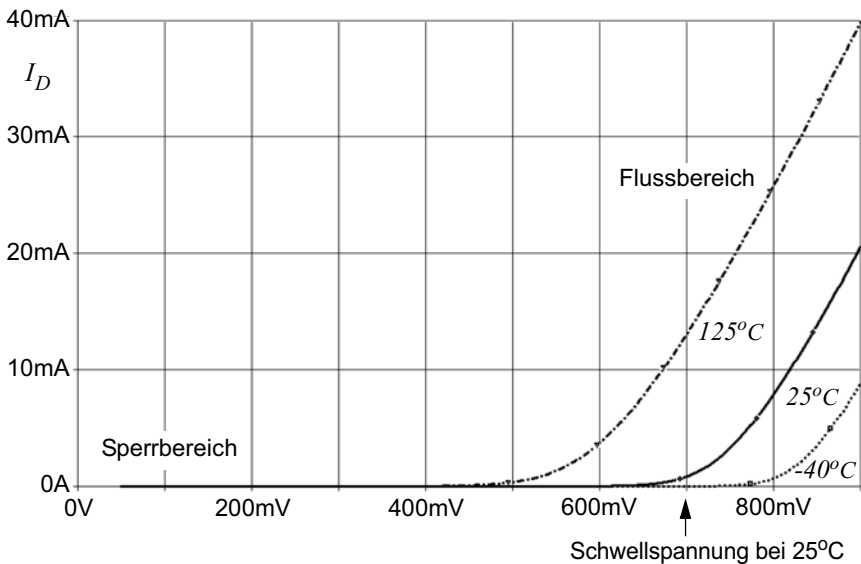


Bild 2.2-31: Kennlinie einer Diode im Flussbereich bei einer Temperatur von -40°C , 25°C und 125°C

Das Ergebnis der Kennlinie einer Silicium-Diode im Flussbereich zeigt Bild 2.2-31 bei unterschiedlichen Temperaturen. Der Temperaturkoeffizient der Schwellspannung beträgt ca. $-2\text{mV}/^\circ\text{C}$. Die Schwellspannung liegt typisch bei Normaltemperatur bei ca. 700mV . Die Kennlinie im Sperrbereich zeigt Bild 2.2-32. Im gegebenen Beispiel stellt sich bei ca. -20V der Durchbruchbereich ein. Der Sperrstrom ist spannungsabhängig und liegt bei Normaltemperatur im Bereich nA .

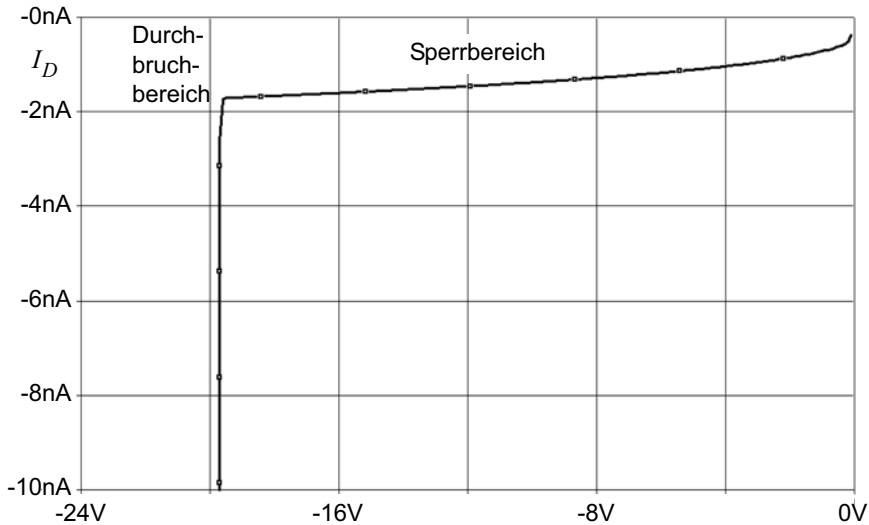


Bild 2.2-32: Kennlinie einer Diode im Sperrbereich mit Durchbrucheffect

Idealtypische Diode: Der idealtypische Diodenstrom mit den Parametern IS und N ist definiert durch:

$$I_D = IS \cdot \left(\exp\left(\frac{U_D}{N \cdot U_T}\right) - 1 \right); \quad U_T = \frac{kT}{e} \quad (2.2-3)$$

U_T ist die Temperaturspannung, sie beträgt bei $T = 300K$ ca. $26mV$; k ist die Boltzmannkonstante und e die Elementarladung. Für die Temperaturabhängigkeit des Transportsättigungssperrstroms IS gilt näherungsweise:

$$IS(T) = IS \cdot \left(\frac{T}{T_0}\right)^{(XTI/N)} \cdot \exp\left(\frac{EG \cdot (1 - T_0/T)}{N \cdot k \cdot T_0}\right) \quad (2.2-4)$$

mit den zusätzlichen Parametern T_0 , XTI und EG (Bandabstand). Der Transportsättigungssperrstrom IS beträgt bei Silicium bei Normaltemperatur ca. $10^{-15}A$. Im Arbeitspunkt im Flussbereich lässt sich die Kennlinie linearisieren (siehe Bild 2.2-33):

$$I_D = I_D^{(A)} + \Delta I_D; \quad \Delta I_D = \Delta U_D / r_D \quad (2.2-5)$$

wobei r_D der differenzielle Widerstand im Arbeitspunkt ist.

$$r_D = U_T / I_D^{(A)}; \quad U_T = (kT)/e = 26mV|_{Normaltemperatur} \quad (2.2-6)$$

Der differenzielle Widerstand r_D im Arbeitspunkt im Flussbereich stellt insbesondere bei der AC-Analyse einen Ersatzwiderstand für die idealtypische Diode dar. Beträgt der Strom im Arbeitspunkt beispielsweise $1mA$, so ist der differenzielle Widerstand $r_D = 26\Omega$.

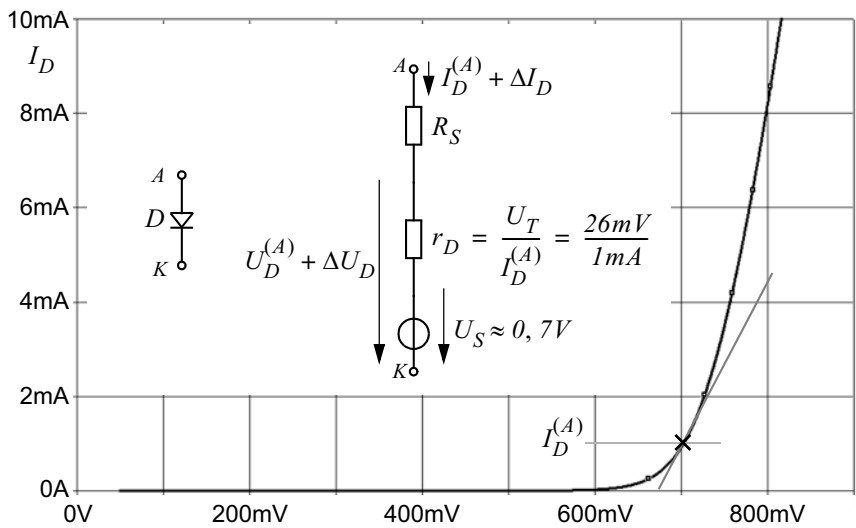


Bild 2.2-33: Diodenkennlinie im Flussbereich mit Linearisierung in einem gegebenen Arbeitspunkt

Diode mit Rekombinationssperrstrom: Um das reale Sperrverhalten der Diode beschreiben zu können, benötigt man eine „Korrektur“-Diode zur Charakterisierung des Rekombinationssperrstroms im Sperrbereich mit den Parametern ISR , NR , VJ und M :

$$I_D = \text{Idealtypische Diode} \quad \text{„Korrektur“- Diode für den Sperrbereich} \quad \frac{M}{2}$$

$$I_D = IS \left(\exp\left(\frac{U_D}{N \cdot U_T}\right) - 1 \right) + ISR \left(\exp\left(\frac{U_D}{NR \cdot U_T}\right) - 1 \right) \cdot \left(\left(1 - \frac{U_D}{VJ} \right)^2 + 0,005 \right)^{\frac{M}{2}} \quad (2.2-7)$$

Der reale Sperrstrom einer Diode liegt bei Normaltemperatur bei ca. $1nA$. Der Auszug aus dem Datenblatt der Diode $1N4148$ in Bild 2.2-34 zeigt die starke Temperaturabhängigkeit des Rekombinationssperrstroms. Er ist darüber hinaus auch stark abhängig von Exemplarstreuungen.

Die Modellgleichung der Korrekturdiode beinhaltet die Spannungsabhängigkeit im Sperrbereich. Der Hauptparameter für den Rekombinationssperrstrom ist ISR , er ist stark temperaturabhängig. Während sich die Modellgleichung für die idealtypische Diode aus dem physikalischen Verhalten eines pn-Übergangs ergibt, stellt die Modellgleichung für den Rekombinationssperrstrom eine Näherung dar, um das reale Verhalten im Sperrbereich hinreichend genau zu beschreiben. Für die Näherung gibt es unterschiedliche Ansätze. In Gl. (2.2-7) ist ein beispielhafter Näherungsausdruck für das Verhalten der Korrektur-Diode im Sperrbereich angegeben.

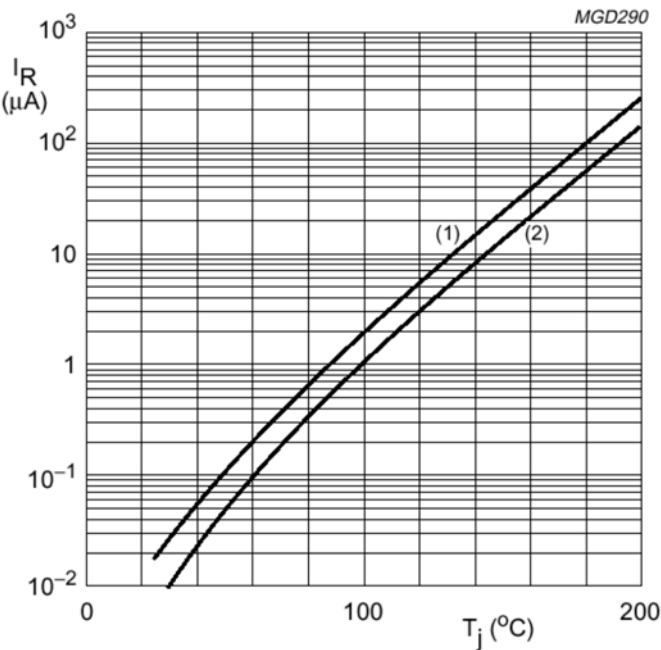


Bild 2.2-34: Realer Sperrstrom einer Diode (Auszug aus dem Datenblatt der Diode 1N4148; (1) $U_R = 75V$, (2) $U_R = 20V$)

Statische Modellparameter einer Diode: Das nachstehende Bild 2.2-35 zeigt schematisch die statische Kennlinie einer Diode mit den drei Bereichen

- ☐ Flussbereich (idealtypischer Bereich: IS, N);
- ☐ Hochstrombereich (oberhalb IKF : Hochstromeinfluss);
- ☐ Sperrbereich (ISR, NR, M, VJ):

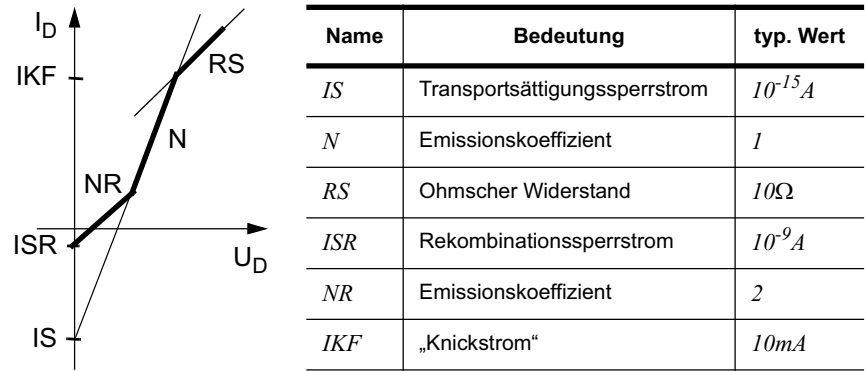


Bild 2.2-35: Schematisch skizzierte Kennlinie einer Diode bei $U_D > 0$ mit Modellparametern

Weitere Parameter sind erforderlich, um u.a. die Temperaturabhängigkeit von IS und ISR zu beschreiben. Gemäß Gl. (2.2-7) gilt für den Sperrstrom demnach (mit U_R als Sperrspannung der Diode):

$$I_{D,R} = IS + ISR \cdot \left(\left(1 + \frac{U_R}{VJ} \right)^2 + 0,005 \right)^{M/2} \quad (2.2-8)$$

Diode mit Durchbrucheffect: Bei höheren Sperrspannungen überlagert sich zusätzlich der Durchbruchstrom im Sperrbereich, es gilt im Sperrbereich ab der Durchbruchspannung (siehe Bild 2.2-36):

$$I_{D,BR} = IBV \cdot \exp\left(\frac{U_R - BV}{NBV \cdot U_T}\right) \quad (2.2-9)$$

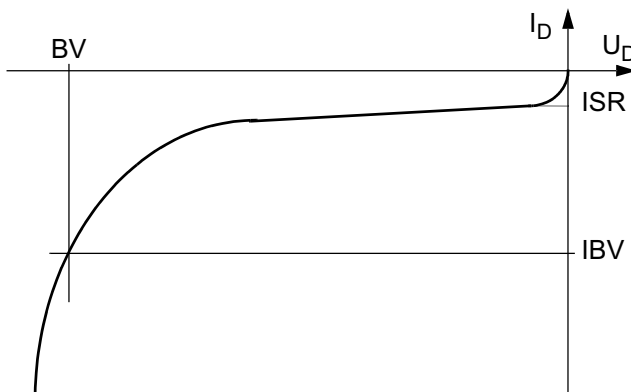


Bild 2.2-36: Durchbruchkennlinie einer Diode mit den Parametern IBV , BV und NBV

Es sei nochmals darauf hingewiesen, dass U_R die Sperrspannung ist. In der obigen Gleichung weisen also U_R und BV positive Zahlenwerte auf. Im Durchbruchbereich ist die Diode eine Spannungsquelle mit niederohmigem Innenwiderstand.

Diode mit Sperrschichtkapazität: Zur Beschreibung des dynamischen Verhaltens der Diode müssen parasitäre Effekte berücksichtigt werden. Näherungsweise gilt für die Sperrschichtkapazität der Raumladungszone im Sperrbetrieb der Diode:

$$C_j = CJO \cdot \left(1 - \frac{U_D}{VJ} \right)^{-M} \quad (2.2-10)$$

Die Sperrschichtkapazität ist also abhängig von der anliegenden Sperrspannung. Mit größer werdender Sperrspannung erhöht sich die Raumladungsweite des pn-Übergangs, damit verringert sich die Sperrschichtkapazität. Dieser Effekt wird ausgenutzt bei Varakterdioden bzw. Kapazitätsdioden. Der Arbeitspunkt von Kapazitätsdioden muss also im Sperrbereich liegen. Bild 2.2-37 zeigt den typischen Verlauf der Sperrschichtkapazität in Abhängigkeit von der Sperrspannung. Die Wirkung der Raumladungszone ist bis zur Diffusionsspannung VJ gegeben.

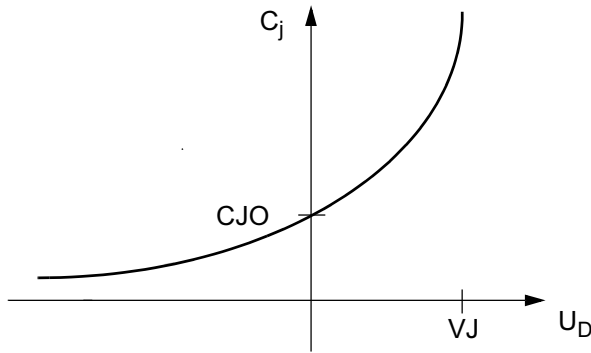


Bild 2.2-37: Sperrschichtkapazität eines pn-Übergangs mit den Parametern: C_{JO} , V_J , M

Zur Ermittlung der Sperrschichtkapazität ist eine dafür geeignete Testanordnung zu wählen (Bild 2.2-38). In der Testschaltung wird eine Rampenspannung von $20V/20ns$ im Sperrbereich der Diode angelegt. Dabei ist:

$$i_D \approx C_j \cdot \frac{du_D}{dt} \quad (2.2-11)$$

Bei einem Anstieg der Sperrspannung von $20V/20ns$ erhält man einen Strom von $1mA$ pro $1pF$. Mit zunehmender Sperrspannung verringert sich der kapazitive Strom aufgrund geringer werdender Sperrschichtkapazität.

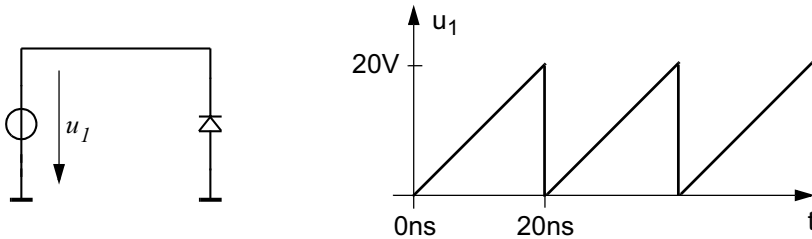


Bild 2.2-38: Prinzipdarstellung zur Testbench für die Ermittlung der Sperrschichtkapazität

Experiment 2.2-2: Diode_Testbench_CJ – TR-Analyse zur Bestimmung der Sperrschichtkapazität einer Diode.

Dem Beispiel liegt eine Diode mit $C_j = 20pF$ zugrunde. Das Testergebnis (Bild 2.2-39) zeigt, dass bei $0V$ Sperrspannung dieser Wert näherungsweise erreicht wird. Ansonsten reduziert sich mit zunehmender Sperrspannung die Sperrschichtkapazität. Bei einer Varaktordiode wird die dargestellte Veränderung der Sperrschichtkapazität ausgenutzt, um eine mit einer in Sperrrichtung wirkenden Steuerspannung einstellbare Kapazität zu erhalten (spannungsgesteuerte Kapazität).

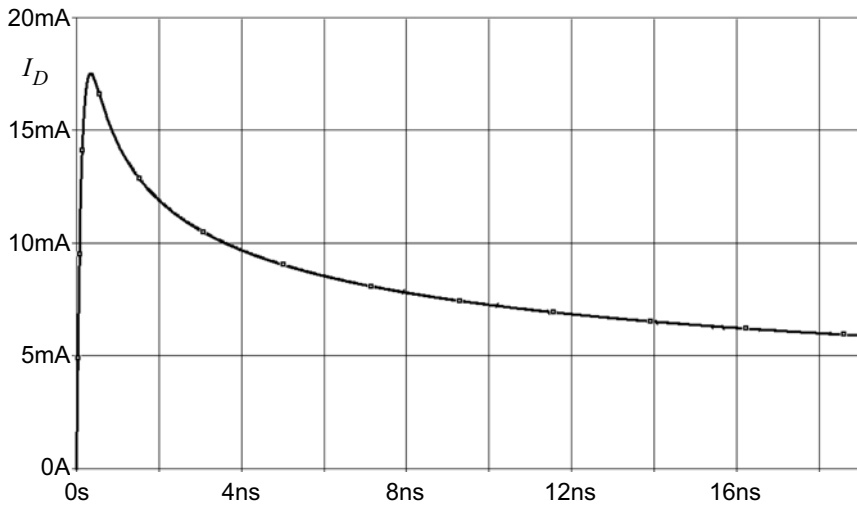


Bild 2.2-39: Kapazitiver Strom einer Diode in Sperrrichtung bei Anlegen einer Rampenspannung von $20V/20ns$; $1mA$ entspricht $1pF$ Sperrschichtkapazität

Diode mit Diffusionskapazität: Im Flussbereich wirkt eine verzögerte Stromkomponente (Bild 2.2-29). Sie beschreibt die Trägheit der Minoritätsladungsträger im Flussbereich. Daraus abgeleitet ergibt sich die Diffusionskapazität C_D

$$TT \cdot \frac{di_D}{dt} = C_D \cdot \frac{du_D}{dt} ;$$

$$C_D = TT \cdot \frac{di_D}{du_D} = \frac{TT}{r_D} \Big|_{\text{im Arbeitspunkt } I_D^{(A)}} \quad (2.2-12)$$

Dabei ist r_D der differenzielle Widerstand der Diode im Arbeitspunkt nach Gl. (2.2-6). Wird die Diode in den Flussbereich angesteuert, so wird der pn-Übergang mit frei beweglichen Ladungsträgern besetzt, die Raumladungszone wird abgebaut. Beim Umschalten in den Sperrbereich müssen die überschüssigen beweglichen Ladungsträger aus dem pn-Übergang abgeführt werden, um wiederum eine von beweglichen Ladungsträgern freie Raumladungszone aufzubauen. Dazu ist ein Ausräumstrom erforderlich. Es macht sich ein Speichereffekt bemerkbar, der durch den Parameter TT charakterisiert wird. Eine Testschaltung soll den Parameter TT erläutern (siehe Bild 2.2-40). Bei Ansteuerung mit einem Rechteckimpuls wird bei positiver Signalamplitude ($5,7V$) die Diode in den Flussbereich angesteuert. Es fließt ein Strom von ca. $5mA$. Nach Umschaltung der Signalspannung auf $0V$ bleibt die Diode in Flussrichtung, solange nicht die überflüssigen Ladungsträger aus dem pn-Übergang ausgeräumt sind (Speicherzeit). Es fließt ein Ausräumstrom von ca. $0,7mA$. Erst wenn eine von beweglichen Ladungsträgern freie Raumladungszone

aufgebaut werden kann, geht die Diode über in den Sperrbereich. Die Speicherzeit hängt wesentlich vom Parameter TT ab, siehe Bild 2.2-41.

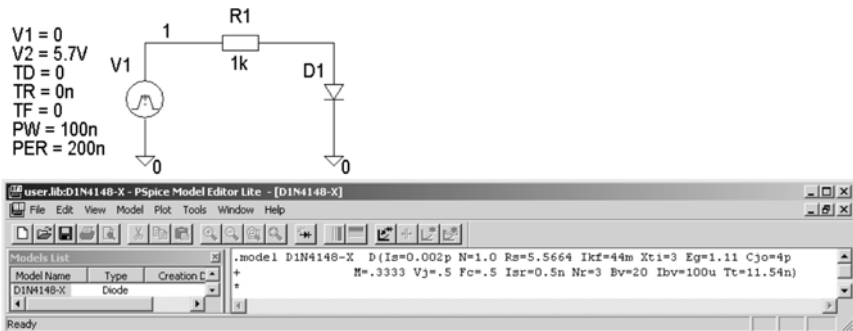


Bild 2.2-40: Testschaltung zur Bestimmung der Speicherzeit einer Diode mit Angabe des Modellparametersatzes der Diode

Experiment 2.2-3: Diode_Testbench_TT – Ermittlung der Speicherzeit.

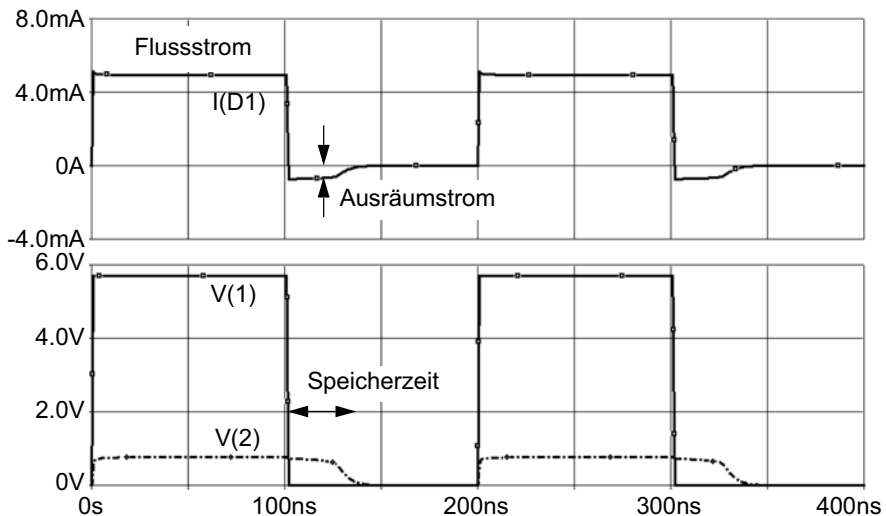


Bild 2.2-41: Ergebnis der Testschaltung zur Ermittlung der Speicherzeit einer Diode

Model Editor: Mit dem in Orcad-Lite/PSpice verfügbaren Model Editor in Bild 2.2-42 ist es möglich, neue Diodenmodelle zu entwickeln. Anhand der charakteristischen Kennlinien lassen sich unmittelbar die elektrischen Eigenschaften ermitteln und veranschaulichen. Im einzelnen können dargestellt werden: der idealtypische Bereich inklusive Hochstrombereich, der Sperrbereich, der Durchbruchbereich, der Verlauf der Sperrschichtkapazität und das Speicherverhalten.

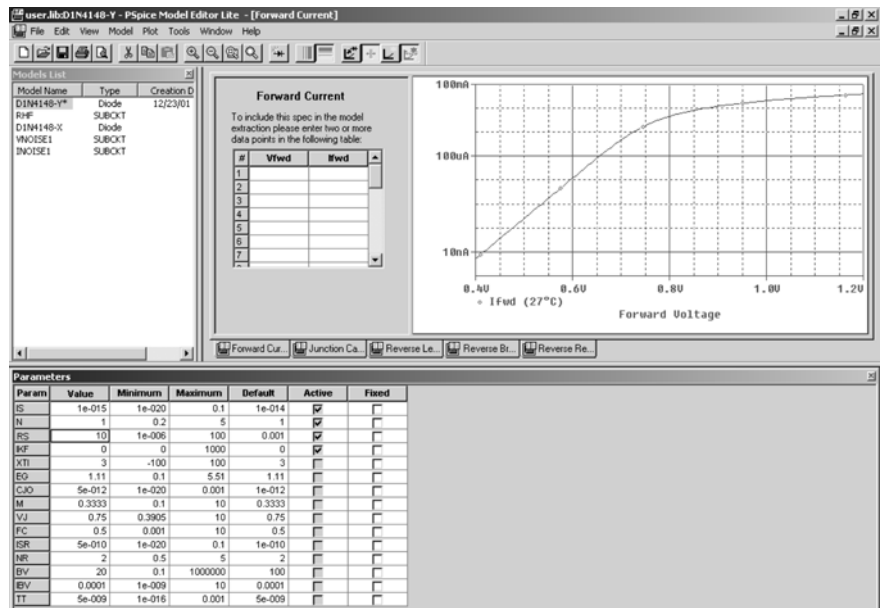


Bild 2.2-42: Model Editor: Entwicklung eines neuen Diodenmodells D1N4148-Y mit Darstellung der Parameter und Charakterisierung der Eigenschaften anhand von Kennlinien

Vereinfachtes Modell der Diode im Flussbereich: Als nächstes sollen vereinfachte Modelle der Diode für die DC- bzw. AC-Analyse betrachtet werden. Wird die Diode nur im Arbeitspunkt des Flussbereichs betrieben, so gilt ein vereinfachtes Modell. Dabei ist U_S die Schwellspannung der Diode, r_D der differenzielle Widerstand gültig im Arbeitspunkt und C_D die Diffusionskapazität ebenfalls gültig im Arbeitspunkt.

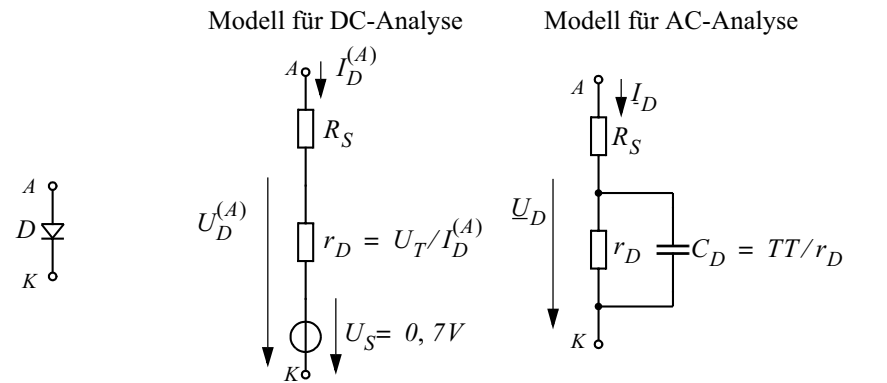


Bild 2.2-43: Vereinfachtes Modell einer Diode im Flussbereich, linearisiert im Arbeitspunkt mit dem Strom $I_D^{(A)}$

Vereinfachtes Modell der Diode im Sperrbereich: Im Sperrbereich stellt die Diode eine Stromquelle mit dem Sperrstrom (typisch nA , bei hohen Temperaturen bis zu ca. $1\mu A$ bei Silizium), bzw. einem Sperrwiderstand (typisch $M\Omega$) und einer Sperschichtkapazität (typisch einige pF) dar. Das vereinfachte Ersatzschaltbild einer Diode im Sperrbereich ist aus Bild 2.2-44 zu entnehmen.

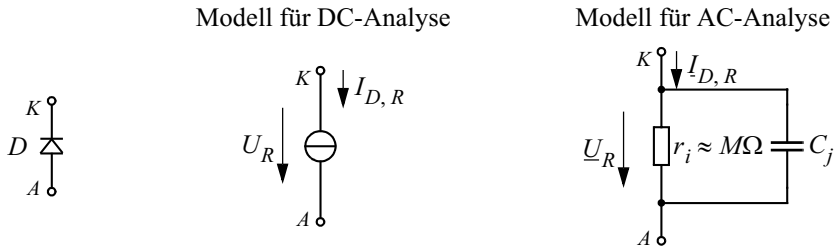


Bild 2.2-44: Vereinfachtes Modell einer Diode im Sperrbereich

Vereinfachtes Modell für die DC- und AC-Analyse der Diode im Durchbruchbereich: Im Durchbruchbereich wirkt die Diode als Spannungsquelle (Durchbruchspannung) mit niederohmigem Innenwiderstand. Bild 2.2-45 zeigt ein vereinfachtes Ersatzschaltbild der Diode im Durchbruchbereich.

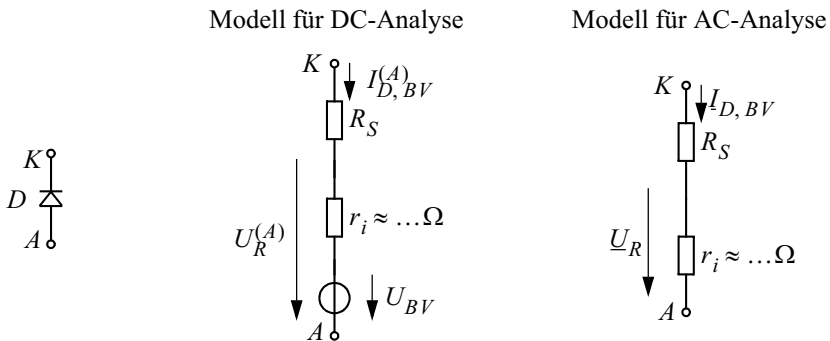


Bild 2.2-45: Vereinfachtes Modell einer Diode im Durchbruchbereich

Kann im Betriebspunkt nicht eindeutig ein Arbeitsbereich zugeordnet werden, so ist bei der TR-Analyse der vollständige Modell-Parametersatz zugrunde zu legen. Die präsentierte Kurzdarstellung des Diodenmodells mit den wichtigsten Effekten dient dem Verständnis möglicher Ersatzschaltbilder und der Modellparameter. Wichtig für den Schaltungsentwickler ist die Kenntnis des Modells und mit welchen Parametern welche Effekte wie beeinflusst werden können.

Abschließend zum Thema Modellbeschreibungen einer Diode soll ein Diodenmodell mit der Hardwarebeschreibungssprache VHDL-AMS vorgestellt werden (Bild 2.2-46). Dieses Modell stellt gegenüber dem von Bild 2.2-21 eine Erweiterung dar. In der „Architecture“ wird ein innerer Knoten „node“ deklariert. Die Grö-

ßen C_j , v_r und q_c stellen eine „free“ Quantity dar. Mit „if“ Abfragen wird das Verhalten der Diode abhängig von verschiedenen Bereichen definiert. Das Modell enthält alle im Bild 2.2-29 skizzierten Eigenschaften mit Bahnwiderstand, idealtypischem Verhalten des pn-Übergangs, realem Sperrstrom, Durchbrucheffekt, Sperrschichtkapazität und Speicherverhalten. Das Beispiel zeigt deutlich, dass sich mit VHDL-AMS anwendungsspezifische Modelle leicht formulieren lassen.

```

library IEEE, DISCIPLINES;
use IEEE.math_real.all;
use DISCIPLINES.electromagnetic_system.all;
use DISCIPLINES.thermal_system.all;
use DISCIPLINES.physical_constants.all;
entity Diode is
  generic ( iss, n, rs, isr, nr           : real;
            Cj0, Vj, M, Fc, tt           : real;
            bv, ibv, nbv                 : real;
            eg, xti, temp, af, kf        : real);
  port (terminal anode, cathode : electrical);
end entity Diode;

architecture levell of Diode is
  terminal node : electrical;
  constant vt : real := temp * physical_K / physical_Q;
  quantity Cj, vr : real;
  quantity vd across ic, id through node to cathode;
  quantity v across ir through anode to node;
  quantity qc : charge;
begin
  junction_capacitance : if (vd >= (Fc*Vj)) use
    Cj == Cj0 / ((1.0-Fc)**(1.0+M)) * (1.0-Fc*(1.0+M)+M*vd/Vj);
  else
    Cj == Cj0*(1.0 - vd/Vj)**(-1.0*M);
  end use junction_capacitance;
  vr == ir * rs;    vd == v - vr;
  if (vd >= 0.0) use
    id == iss*(exp((vd)/(n*vt))-1.0);
  elsif (vd < 0.0) and (vd > -1.0*bv) use
    id == iss*(exp((vd)/(n*vt))-1.0)+isr*(exp(vd/(nr*vt))-1.0);
  elsif (vd = -1.0*bv) use
    id == -1.0*ibv;
  else id == -1.0*ibv*(exp(-1.0*(vd+bv)/(nbv*vt))-1.0);
  end use;
  if vd < vj use
    qc == tt*id - Cj*((vd-vj)*(-1.0*vj/(vd-vj))**M/(M-1.0));
  else
    qc == tt*id;
  end use;
  ic == qc'dot;
end architecture levell;

```

Bild 2.2-46: Verhaltensmodell einer Diode dargestellt mit VHDL-AMS

2.2.4 DC/AC/TR-Analyse dargestellt an einer Beispielschaltung

Anhand von sehr einfachen Beispielschaltungen wird in die Analysemethodik des Schaltkreissimulators PSpice eingeführt. Dabei geht es um ein grundsätzliches Verständnis darüber was „hinter“ dem Bildschirm bei der Schaltkreissimulation abläuft. Ohne ein grundsätzliches Verständnis der zugrundeliegenden Verfahren können die Methoden und deren Steuerparameter nicht richtig gewählt und definiert werden. Der Aufwand für die Schaltungsanalyse hängt von der Schaltungsart und Analyseart ab. Prinzipiell lassen sich Schaltungen einteilen in:

☐ **Lineare Schaltungen:** z. B. passive Filterschaltungen mit R , L , C , lineare Übertrager.

☐ **Linearisierte Schaltungen:** Das sind im Grunde nichtlineare Schaltungen, die im Arbeitspunkt linearisiert werden (siehe Abschnitt 2.2.5). Der Arbeitspunkt wird durch eine *DC-Analyse* bestimmt. Die Linearisierung gilt im allgemeinen nur für einen kleinen Aussteuerbereich um den Betriebspunkt bzw. Arbeitspunkt. Damit können Schaltungen im Frequenzbereich mit den herkömmlichen Methoden für lineare Schaltungen (komplexe Rechnung, Bodediagramm, Laplace-Transformation) berechnet werden. Bild 2.2-49 verdeutlicht die Vorgehensweise bei einer *AC-Analyse* von linearisierten Schaltungen im Frequenzbereich. Ein wichtiges Werkzeug u.a. zur Veranschaulichung des Frequenzgangverhaltens einer Schaltung ist das Bodediagramm. Für lineare Schaltungen anwendbar ist auch die Laplace-Transformation, um vom Frequenzbereichsverhalten auf das Zeitbereichsverhalten schließen zu können.

☐ **Nichtlineare Schaltungen:** Speziell bei Großsignalaussteuerungen oder bei Schaltungen, deren Schaltungsfunktion die Nichtlinearität voraussetzt, muss das nichtlineare Verhalten der Schaltungselemente berücksichtigt werden. Die Berechnung des dynamischen Verhaltens von nichtlinearen Schaltungen durch die *TR-Analyse* ist im allgemeinen sehr aufwendig. Erforderlich ist die zeitkontinuierliche Lösung nichtlinearer Differenzialgleichungssysteme. Dies realisiert ein Simulator zu diskreten Zeitpunkten so, dass zeitkontinuierliche Vorgänge mit hinreichender Genauigkeit zu diskreten Zeitpunkten dargestellt werden können. Bei der Abschätzung des Schaltungsverhaltens begnügt man sich häufig damit, die Abschätzwerte des eingeschwungenen Zustands von Ausgleichsvorgängen zu ermitteln. Das dynamische Übergangsverhalten kann oft nur sehr näherungsweise abgeschätzt werden. Einen Sonderfall stellt die *SS-Analyse* (Steady-State-Analyse) dar. Hier ist im eingeschwungenen Zustand eine direkte nichtlineare Analyse im Frequenzbereich möglich (in PSpice nicht verfügbar).

Nur bei linearen oder linearisierten Schaltungen lässt sich für eine Induktivität $j\omega L$ und für eine Kapazität $1/j\omega C$ (AC-Analyse) bei harmonischer Anregung schreiben – es kann die komplexe Rechnung angewandt werden. Ansonsten muss für den Zusammenhang zwischen Spannung und Strom für eine Induktivität $u_L = L \cdot di_L/dt$ bzw. für eine Kapazität $i_C = C \cdot du_C/dt$ (TR-Analyse) geschrieben werden. Im Zeitbereich müssen im allgemeinen nichtlineare Differenzialgleichungssysteme gelöst werden.

Anhand einer einfachen Beispielschaltung sollen die drei wichtigsten Analysearten angewandt werden. Die Diode $D1$ bringt eine Nichtlinearität ein, insofern handelt es sich in der Beispielschaltung um eine nichtlineare Schaltung. Als erstes soll eine DC-Analyse zur Bestimmung des Arbeitspunktes der gegebenen Schaltung durchgeführt werden.

DC-Analyse: Die DC-Analyse ermittelt das statische Verhalten von Schaltungen. Mögliche Kapazitäten bleiben unberücksichtigt, Induktivitäten stellen einen Kurzschluss dar. Im konkreten Beispiel wurde der Wert des DC-Attributs der Signalquelle auf $1,8V$ geändert.

Experiment 2.2-4: ErstesDesign_mit_Vorstrom – DCAnalyse mit Ermittlung des Arbeitspunktes; Auswahl und Einstellung des Simulation Profile.

Es soll nun eine Arbeitspunktanalyse am Beispiel durchgeführt werden. Die Festlegung der Analyseart erfolgt im „Simulation Profile“ (siehe Bild 2.2-47). Im dann erscheinenden Menüpunkt „Simulation Settings“ zur Einstellung der Analyseart ist die Analyse „Bias Point“ gemäß Bild 2.2-47 einzustellen. In Bild 2.2-47 ist das Ergebnis der Arbeitspunktbestimmung in der Schaltung dargestellt. Zur Einblendung der DC-Werte der Knotenspannungen und Zweigströme ist im Schaltplan in der Taskleiste „V“ bzw. „I“ zu aktivieren.

Funktionsknöpfe zur Darstellung der Knotenspannungen und Zweigströme im Schaltplan

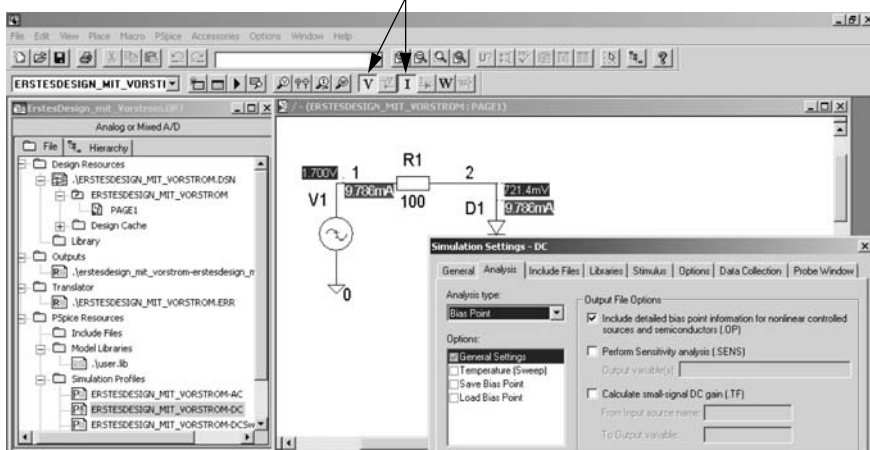


Bild 2.2-47: Designbeispiel: Arbeitspunktbestimmung – Bias Point

In der gegebenen Beispielschaltung soll nun der Widerstand $R1$ von 100Ω auf 200Ω geändert werden. Dazu ist das Value-Attribut am Symbol des Widerstandes neu zu definieren (siehe Bild 2.2-48). Mit Doppelklick der linken Maustaste auf das Value-Attribut am Symbol erscheint ein Menü zur Änderung des Value-Attributes. Nach Eintrag des neuen Widerstandswertes wird das Menü mit „OK“ abgeschlossen. Der neue Wert ist dann gültig.

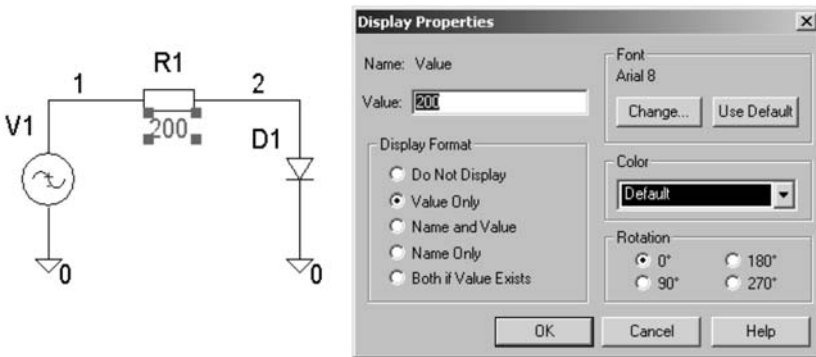


Bild 2.2-48: Schaltplan: Änderung des Widerstandswertes – Änderung des Value-Attributes

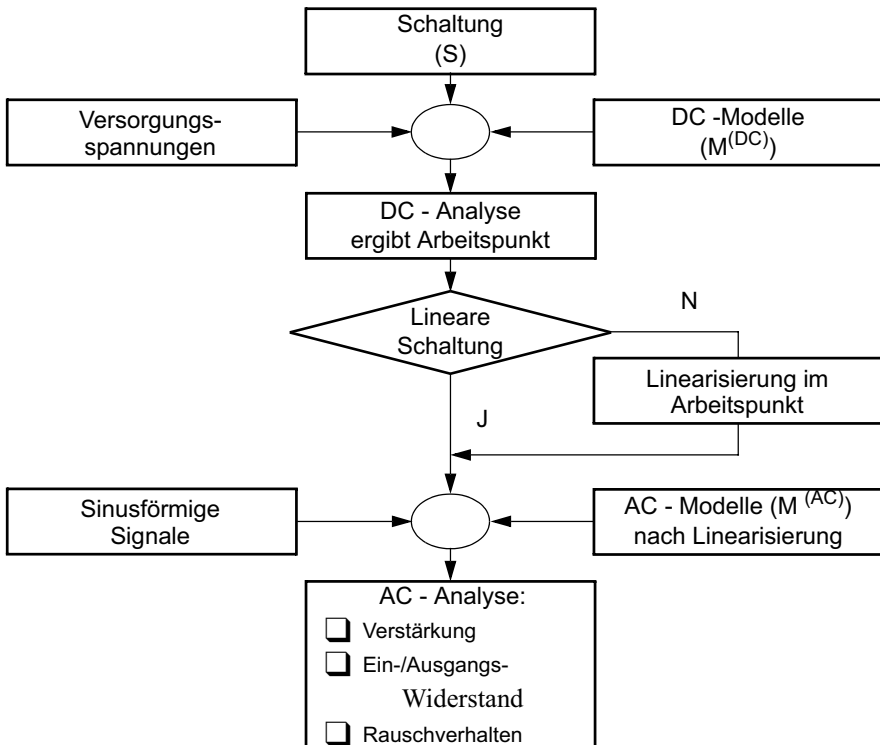


Bild 2.2-49: Vorgehensweise bei der AC - Analyse

AC-Analyse allgemein: Die Frequenzbereichsanalyse ist eine lineare Analyse bei linearen oder im Arbeitspunkt linearisierten Schaltungen. Der AC-Analyse geht immer eine DC-Analyse zur Bestimmung des Arbeitspunktes voraus. Im Arbeits-

punkt erfolgt dann die Linearisierung unter Zugrundelegung linearer Modelle für die verwendeten Schaltkreiselemente. Bild 2.2-49 skizziert die Vorgehensweise bei der AC-Analyse.

Bei Kleinsignalanalyse lässt sich das Gesamtverhalten einer Schaltung durch Superposition des Ergebnisses der DC-Analyse und der AC-Analyse darstellen. Das setzt allerdings Kleinsignalansteuerung im Arbeitspunkt voraus. Bei Bipolartransistorschaltungen sollte im allgemeinen die Signalamplitude dann nicht größer als ca. einige $10mV$ sein. Bei einer typischen Verstärkung von ca. 100 entstehen dann Ausgangsamplituden von einigen V .

Experiment 2.2-5:ErstesDesign_mit_Vorstrom – Auswahl und Einstellung des Simulation Profile für AC-Analyse; zur Festlegung der AC-Analyse ist der Frequenzbereich und der Sweep-Mode zu definieren.

AC-Analyse am Beispiel: Die Einstellungen zur AC-Analyse sind in Bild 2.2-51 dargestellt. Im Beispiel ist der DC-Wert der Eingangsspannung $V1^{(DC)} = 1,8V$, also wird die Diode im Flussbereich betrieben. Der Strom im Arbeitspunkt beträgt ca. $5mA$. Das Ergebnis der DC-Analyse zeigt Bild 2.2-50. Im Arbeitspunkt des Flussbereichs der Diode $D1$ erfolgt dann die Linearisierung (siehe Bild 2.2-43).

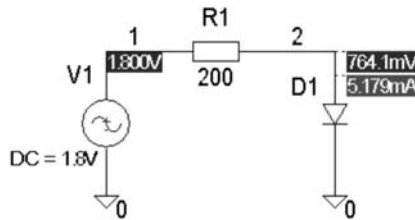


Bild 2.2-50: Ergebnis der DC-Analyse vor Ausführung der eigentlichen AC-Analyse

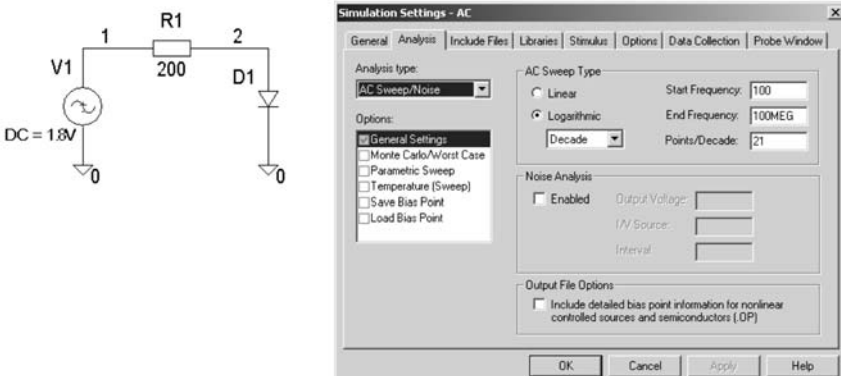


Bild 2.2-51: Zur Festlegung der AC-Analyse der Beispielschaltung: Frequenzbereich von $100Hz$ bis $100MHz$, Sweep-Mode: Dekadisch mit 21 Punkten pro Dekade

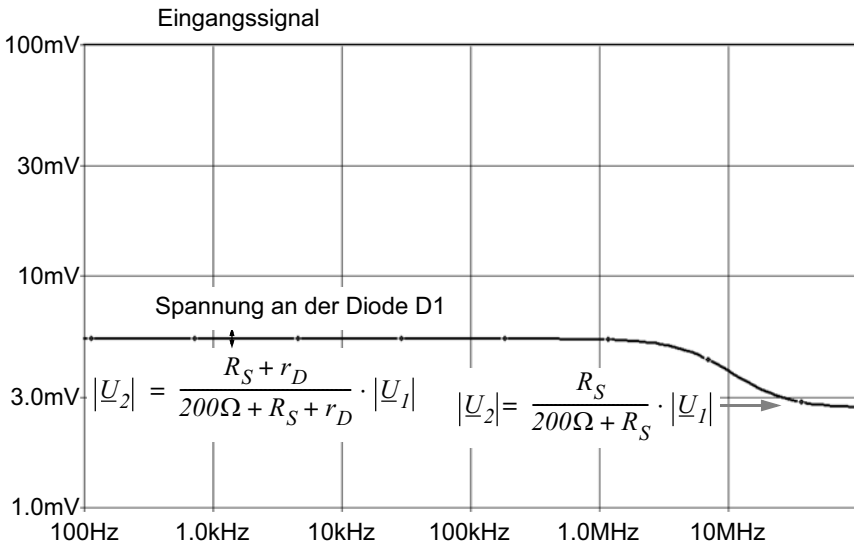


Bild 2.2-52: Ergebnis der AC-Analyse der Beispielschaltung in Bild 2.2-52 im Arbeitspunkt gegeben durch $V_I^{(DC)} = 1,8V$

Wie dargestellt fließt im Arbeitspunkt der Diode ein Arbeitspunktstrom von ca. $5mA$. Demzufolge beträgt der differenzielle Widerstand der Diode im Arbeitspunkt ca. $r_D = U_T/I_D^{(A)} = 5\Omega$. Unter Berücksichtigung des Bahnwiderstandes R_S von $5,6\Omega$ im hier gegebenen Modell ergibt sich an der Diode ein Spannungsabfall von ca. $5mV$ bei einer Signalamplitude von $100mV$.

$$\underline{U}_2 \approx \frac{10\Omega}{200\Omega} \cdot \underline{U}_1; \quad (2.2-13)$$

Bei hohen Frequenzen schließt die Diffusionskapazität den differentiellen Widerstand kurz, es verbleibt der Bahnwiderstand von ca. $5,6\Omega$. Diese Abschätzung findet man in Bild 2.2-52 bestätigt.

TR-Analyse: Aufwendiger ist die TR-Analyse zur Ermittlung des zeitlichen Momentanwerts von Knotenspannungen und Zweigströmen. Im Prinzip sind nicht-lineare Differenzialgleichungssysteme für diskrete Zeitpunkte zu lösen. Als Parameter für die Transientenanalyse ist der zu analysierende Zeitbereich, die Auflösung und die maximale Zeitschrittweite anzugeben.

Experiment 2.2-6: ErstesDesign_mit_Vorstrom – Auswahl und Einstellung des Simulation Profile für TR-Analyse.

Im Beispiel in Bild 2.2-53 weist das Eingangssignal einen sinusförmigen Verlauf mit DC-Wert auf. Damit steuern genügend große positive Signalamplituden die Diode in den Flussbereich aus. Allerdings ist der Strom durch den Vorwiderstand begrenzt. Der maximale Strom bei einer Signalamplitude von $1V$ beträgt ca. $10mA$.

Für Aussteuerungen unterhalb der Schwellspannung ist die Diode gesperrt, es fließt der Sperrstrom. Das Ergebnis der TR-Analyse zeigt Bild 2.2-54.

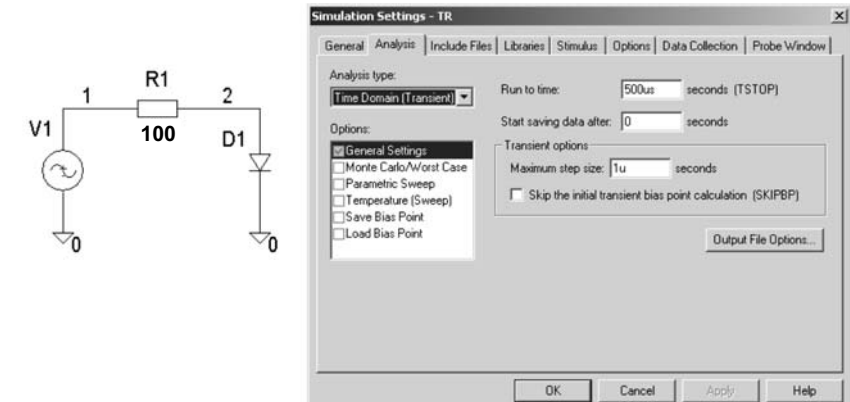


Bild 2.2-53: Zur Festlegung der TR-Analyse

TR-Analyse allgemein: Es geht hier nicht um eine ausführliche Einführung in numerische Lösungsverfahren. Vielmehr sollte der Anwender eines Schaltkreissimulators eine Vorstellung von dem zugrundeliegenden numerischen Lösungsverfahren haben, um den Einsatz und die Vorgabe von Steuerparametern besser zu verstehen. Allgemein muss klar sein, dass bei ungeeigneten Modellen oder der Vorgabe von nicht passend gewählten Steuerparametern die Lösung falsch sein kann. Um so mehr ist eine Problemabschätzung durch den Anwender notwendig.

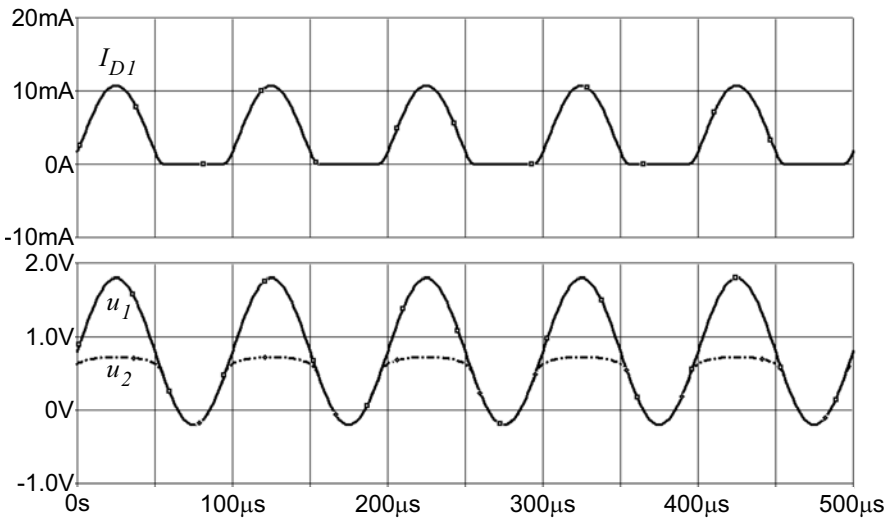


Bild 2.2-54: Ergebnis der Transientenanalyse der Beispielschaltung in Bild 2.2-53

Dem Schaltkreissimulator PSpice liegt als Verfahren zur Lösung nichtlinearer Differenzialgleichungssysteme die MNA-Methode (MNA: Modified Nodal Analysis) zugrunde. Der grundlegende Algorithmus des Lösungsverfahrens für nichtlineare Differenzialgleichungssysteme im Zeitbereich ist in Bild 2.2-55 skizziert.

Festlegungen:	Schaltung: (S), Eingangssignale: (E) definiert in *.net; Modelle definiert in *.lib; TR-Analyse – Zeitsteuerung: h_{max}, T_{max} ; definiert in *.sim;
Ergebnisse:	Knotenpotenziale, Zweigströme: $\mathbf{z}(t_n) = [V(t_n), I(t_n)]$.
Anmerkungen:	n : Zeitschritt, i : Iterationsschritt.
DC-Lösung:	BEGIN Schaltkreisanalyse von (S , E , h_{max}, T_{max}): Lösung bei $t = 0$; $\mathbf{z}_0^{(I)} =$ Anfangsbedingungen; BEGIN $i = 0$ Repeat $i = i + 1$; Aufstellen der Netzwerkmatrix A und der Erregung b mit Linearisierung der Modellgleichungen; iterative Lösung von $\mathbf{A} \cdot \mathbf{z}_n^{(i)} = \mathbf{b}$; Until $ \mathbf{z}_n^{(i)} - \mathbf{z}_n^{(i+1)} < Eps$ END END
Zeitschleife	BEGIN $t = h_I$; $n = 1$;
TR-Lösung:	FOR $t \leq T_{max}$ DO BEGIN $i = 0$ Repeat $i = i + 1$; Aufstellen der Netzwerkmatrix A und der Erregung b mit Linearisierung der Modellgleichungen; iterative Lösung von $\mathbf{A} \cdot \mathbf{z}_n^{(i)} = \mathbf{b}$; Until $ \mathbf{z}_n^{(i)} - \mathbf{z}_n^{(i+1)} < Eps$ END Bestimmung von h_n ; $t_{n+1} = t_n + h_n$; $n = n + 1$; END

Bild 2.2-55: Algorithmus zur quasi zeitkontinuierlichen Lösung eines Netzwerks nach der MNA-Methode

Das gegebene Netzwerkproblem wird zeitdiskret zu den Zeitpunkten t_n gelöst. Die Schrittweitensteuerung erfolgt über die Zeitschrittweite h_n . Zunächst wird das Netzwerkproblem bei $t=0$ unter Berücksichtigung von Anfangsbedingungen von Netzwerkelementen (Initial Conditions) gelöst. Anfangsbedingungen lassen sich

beispielsweise an einem Kondensator in Form einer Spannung oder an einer Induktivität in Form eines Stromes angeben. Die Festlegung erfolgt mittels eines Instanz-Attributs am jeweiligen Symbol. Für jeden diskreten zeitlichen Momentanwert t_n ist das nichtlineare Netzwerkproblem iterativ zu lösen, bis der Lösungsvektor $|\mathbf{z}_n^{(i)} - \mathbf{z}_n^{(i+1)}| < Eps$ eine gegebene Abbruchschranke unterschreitet. Der Lösungsvektor beinhaltet die Knotenpotenziale und Zweigströme einer gegebenen Schaltung. Nichtlinearitäten werden für jeden Iterationsschritt i linearisiert, so dass im Prinzip das nichtlineare Differenzialgleichungssystem in ein lineares Gleichungssystem $\mathbf{A} \cdot \mathbf{z}_n^{(i)} = \mathbf{b}$ übergeführt wird.

Bei adaptiver Schrittweitensteuerung hängt die Zeitschrittweite h_n von der „Änderungsgeschwindigkeit“ der Signale ab. Oft wird eine Maximalschrittweite (h_{max} : „Maximum Step Size“) vorgegeben, um zu verhindern, dass kurzzeitige schnelle Änderungen übersprungen werden. Die adaptive Schrittweitensteuerung veranschaulicht Bild 2.2-56. Nicht alle ermittelten Lösungsvektoren werden in den Ergebnisspeicher (*.dat) eingetragen; „Print-Step“ bestimmt in welchen zeitlichen Abständen Lösungsvektoren in den Ergebnisspeicher eingetragen werden. Die Schrittweitensteuerung der zeitdiskreten Lösung stellt ein besonderes Problem dar. Wenn sich die Signale des zugrundeliegenden Netzwerks langsam ändern, kann die Schrittweite groß gewählt werden. Bei schnellen Signaländerungen ist die Schrittweite vom System automatisch geeignet zu reduzieren. Der Anwender kann eine maximale Schrittweite h_{max} vorgeben, um zu vermeiden, dass schnelle Signaländerungen übersprungen werden.

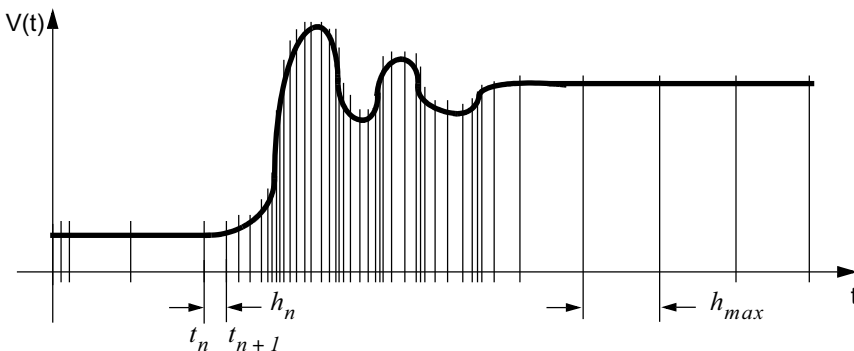


Bild 2.2-56: Zur adaptiven Schrittweitensteuerung bei numerischen Lösungsverfahren

Zur Veranschaulichung der Aufstellung der Netzwerkmatrix wird ein Beispiel betrachtet. Das Beispiel in Bild 2.2-57 enthält mit der Diode $D1$ ein nichtlineares Schaltkreiselement.

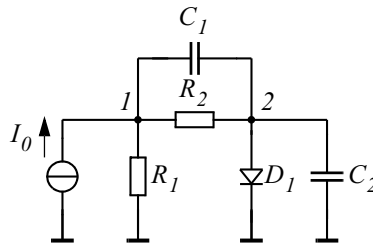
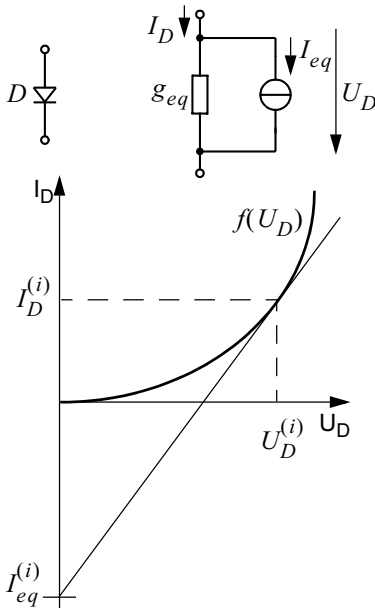


Bild 2.2-57: Beispiel zur Aufstellung der Netzwerkmatrix: Formulierung von „Knoten-Admittanzgleichungen“ entsprechend der Knotenpunktgleichungen für Knoten 1 und 2

Die Netzwerkgleichung für die Kapazität C_1 lautet im Zeitbereich mit $dt = h_n$ für den Strombeitrag der Kapazität an Knoten 1 und Knoten 2:

$$i_{C_1} = C_1 \cdot \frac{du_{C_1}}{dt}; \Rightarrow \begin{bmatrix} \frac{C_1}{h_n} & -\frac{C_1}{h_n} \\ -\frac{C_1}{h_n} & \frac{C_1}{h_n} \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} \frac{C_1}{h_n} \cdot U_{C_1, n-1} \\ -\frac{C_1}{h_n} \cdot U_{C_1, n-1} \end{bmatrix}; \Rightarrow \mathbf{A} \cdot \mathbf{z}_n^{(i)} = \mathbf{b}; \quad (2.2-14)$$

Nichtlineare Schaltelemente, wie z.B. Dioden müssen linearisiert werden. Bild 2.2-58 zeigt die prinzipielle Vorgehensweise bei einem Iterationsschritt i zu einem Zeitschritt n .



$$g_{eq}^{(i)} \cdot U_{D,n}^{(i)} + I_{eq,n}^{(i)} = I_{D,n}^{(i)};$$

$$g_{eq}^{(i)} = \left. \frac{d}{dU} f(U_D) \right|_{U_D^{(i)}};$$

$$I_{eq}^{(i)} = f(U_D^{(i)}) - g_{eq}^{(i)} U_D^{(i)};$$

Bild 2.2-58: Zur Linearisierung der Diode im Flussbereich

Zum Zeitschritt n sind die Knotenspannungen V_{n-1} bzw. Zweigströme I_{n-1} des Zeitschritts $n-1$ als gegeben vorauszusetzen. Im Iterationsschritt i wird die Diode durch einen Diodenstrom $I_{eq,D1}^{(i)}$ und durch die Steilheit $g_{eq,D1}^{(i)}$ dargestellt (siehe Linearisierung der Diode $D1$ in Bild 2.2-58). Damit erhält man für die Beispielschaltung folgende „Knoten-Admittanzgleichungen“ entsprechend der Knotenpunktgleichungen für die Netzknoten 1 und 2:

$$\begin{bmatrix} G_1 + G_2 + \frac{C_1}{h_n} & -G_2 - \frac{C_1}{h_n} \\ -G_2 - \frac{C_1}{h_n} & G_2 + g_{eq,D1}^{(i)} + \frac{C_1}{h_n} + \frac{C_2}{h_n} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} I_0 + \frac{C_1}{h_n} \cdot U_{C_1, n-1} \\ -I_{eq,D1}^{(i)} - \frac{C_1}{h_n} \cdot U_{C_1, n-1} + \frac{C_2}{h_n} \cdot U_{C_2, n-1} \end{bmatrix}$$

Im allgemeinen lässt sich u.a. nach der Newton-Methode für eine nichtlineare Gleichung $g(z)$ nach endlich vielen Iterationsschritten die Nullstelle von $g(z)$ finden. In Bild 2.2-59 ist beispielhaft eine nichtlineare Gleichung skizziert mit dem Verfahren zur iterativen Bestimmung der Lösung $g(z) = 0$.

Das Aufstellen der Netzwerkmatrix wird über die Netzliste gesteuert. Jedes Schaltkreiselement wird entsprechend seiner Anbindung an die Netzknoten in die Netzwerkmatrix eingetragen. Bild 2.2-60 zeigt einige Schaltkreiselemente und deren Vorschrift zur Eintragung in die Netzwerkmatrix gemäß der Stellung im Netzwerk.

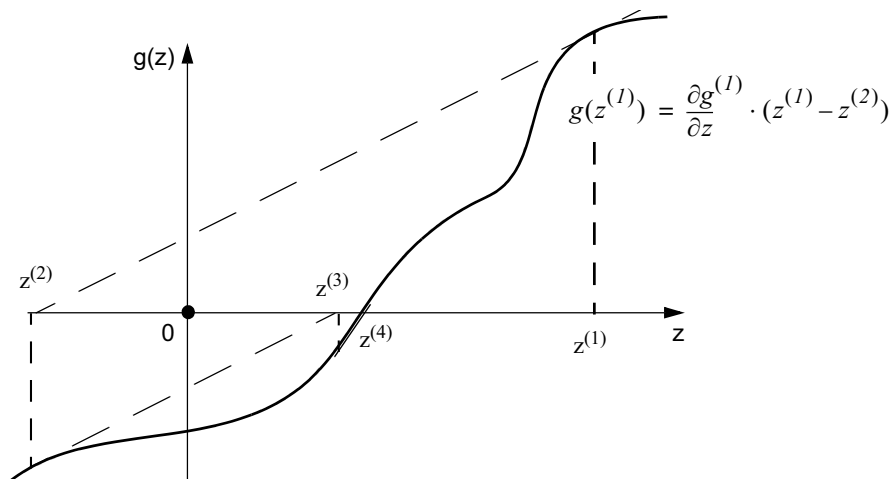
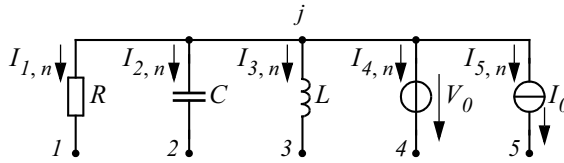


Bild 2.2-59: Newton-Methode zur Lösung eines nichtlinearen Gleichungssystems

Probleme ergeben sich bei einigen Schaltkreiselementen, wie z.B. einer Spannungsquelle oder auch bei Induktivitäten. Neben der Formulierung der Netzwerkgleichungen in Form der „Knoten-Admittanzgleichungen“ (Bild 2.2-57) als Knotenpunktgleichungen, gibt es die Formulierung der Netzwerkgleichungen mittels „Maschen-Impedanzgleichungen“ gemäß den Maschengleichungen von Zweigen.



Element typen	"Knoten-Admittanzgleichungen"			"Maschen-Impedanzgleichungen"		
	$\begin{bmatrix} \text{---} & \\ \text{---} & \\ \text{---} & \end{bmatrix} \begin{bmatrix} V \\ I \end{bmatrix} = \begin{bmatrix} J \\ E \end{bmatrix}$			$\begin{bmatrix} \text{---} & & \text{---} \\ \text{---} & & \text{---} \\ \text{---} & & \text{---} \end{bmatrix} \begin{bmatrix} V \\ I \end{bmatrix} = \begin{bmatrix} J \\ E \end{bmatrix}$		
R		$V_{j,n}$ $V_{l,n}$	RHS		$V_{j,n}$ $V_{l,n}$ $I_{l,n}$	RHS
	Lj L1	$1/R$ $-1/R$ $-1/R$ $1/R$		Lj L1 W1	I $-I$ I $-I$ $-R$	
C		$V_{j,n}$ $V_{2,n}$	RHS			
	Lj L2	$\frac{C}{h_n}$ $-\frac{C}{h_n}$ $-\frac{C}{h_n}$ $\frac{C}{h_n}$	$\frac{C}{h_n} U_{C, n-1}$ $-\frac{C}{h_n} U_{C, n-1}$			
L					$V_{j,n}$ $V_{3,n}$ $I_{3,n}$	RHS
				Lj L3 W3	I $-I$ I $-I$ $\frac{L}{h_n}$	$-\frac{L}{h_n} I_{L, n-1}$
V ₀					$V_{j,n}$ $V_{4,n}$ $I_{4,n}$	RHS
				Lj L4 W4	I $-I$ I $-I$	V_0
I ₀		$V_{j,n}$ $V_{5,n}$	RHS			
	Lj L5		$-I_0$ I_0			

Bild 2.2-60: Knoten-Admittanzgleichungen und Maschen-Impedanzgleichungen für ausgewählte Schaltkreiselemente und deren Eintragung in die Netzwerkmatrix gemäß der Stellung im Netzwerk; pro Schaltkreiselement sind zwei Zeilen dargestellt, RHS: rechte Seite der Gleichung, Lj, L1, L2, ... : „Knoten-Admittanzgleichungen“; W1, W2, ... : „Maschen-Impedanzgleichungen“

Während „Knoten-Admittanzgleichungen“ im Lösungsvektor die gesuchten Knotenpotenziale enthalten, befinden sich bei den „Maschen-Impedanzgleichungen“ die Zweigströme des Schaltkreiselementes im Lösungsvektor als unabhängige Veränderliche. Spannungsquellen und Induktivitäten werden beispielsweise in Form der „Maschen-Impedanzgleichungen“ in die Netzwerkmatrix eingetragen. Bild 2.2-60 zeigt für einige ausgewählte Schaltkreiselemente die Einträge in die Netzwerkmatrix in Form von „Knoten-Admittanzgleichungen“ bzw. in Form von „Maschen-Impedanzgleichungen“. Auf der rechten Seite der Netzwerkgleichungen (RHS) in Bild 2.2-60 sind bekannte Größen, bzw. Größen, die aus dem vorhergehenden Zeitschritt bekannt sind. Das MNA-Verfahren erlaubt beide Eintragungsmöglichkeiten. Somit stellen sich nicht die erwähnten Probleme für z.B. Spannungsquellen. Darüber hinaus lassen sich gesteuerte Quellen in ähnlicher Weise in die Netzwerkmatrix eintragen.

Zur Veranschaulichung der Bildung von „Maschen-Impedanzgleichungen“ soll in der Beispielschaltung in Bild 2.2-57 die Stromquelle durch eine Spannungsquelle mit der Spannung U_0 und dem Zweigstrom I_0 ersetzt werden. Die zwei vorhandenen „Knoten-Admittanzgleichungen“ sind um eine „Maschen-Impedanzgleichung“ zu ergänzen.

$$\begin{bmatrix} G_1 + G_2 + \frac{C_1}{h_n} & -G_2 - \frac{C_1}{h_n} \\ -G_2 - \frac{C_1}{h_n} & G_2 + g_{eq, DI}^{(i)} + \frac{C_1}{h_n} + \frac{C_2}{h_n} \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \\ I_0 \end{bmatrix} = \begin{bmatrix} \frac{C_1}{h_n} \cdot U_{C_1, n-1} \\ -I_{eq, DI}^{(i)} - \frac{C_1}{h_n} \cdot U_{C_1, n-1} + \frac{C_2}{h_n} \cdot U_{C_2, n-1} \\ U_0 \end{bmatrix}$$

2.2.5 Analyse einer nichtlinearen Schaltung im Arbeitspunkt

Viele Anwendungen erlauben die Linearisierung einer Schaltung im Arbeitspunkt, was die weitere Analyse erheblich vereinfacht. Am Beispiel einer einfachen Diodenschaltung wird die Überlagerung des Ergebnisses der DC-Analyse (Arbeitspunkt) mit dem Ergebnis der AC-Analyse zum Gesamtergebnis dargestellt. Zur Veranschaulichung dient eine praktische Schaltung mit einer Diode, bei der die Diode durch eine Vorspannung in einem Arbeitspunkt betrieben wird. Der Arbeitspunkt ist so gewählt, dass er im Flussbetrieb (oberhalb des Knickbereichs der Diodenkennlinie) der Diode liegt.

Beispiel zur Linearisierung von nichtlinearen Schaltungen: Im Arbeitspunkt (nach DC-Analyse) werden alle nichtlinearen Kennlinien linearisiert (Taylor-Reihe erster Ordnung mit konstantem Term und linearem Term). Im Flussbereich gilt damit näherungsweise für die Diode:

$$I_D = IS \cdot \left(\exp\left(\frac{U_D}{N \cdot U_T}\right) - 1 \right) = I_D^{(A)} + \Delta U_D / r_D; \quad (2.2-15)$$

Dabei ist r_D der differenzielle Widerstand der Diode im Arbeitspunkt Gl. (2.2-6). In der Darstellung ist der Bahnwiderstand zur Vereinfachung vernachlässigt.

Experiment 2.2-7: Diodenschaltung_mit_Arbeitspunkt – Schaltung mit Vorspannung der Diode $D1$ und Arbeitspunktbestimmung.

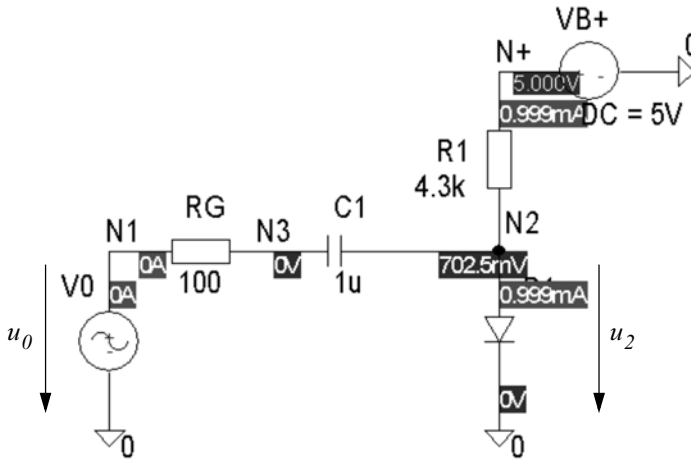


Bild 2.2-61: Diodenschaltung mit Bestimmung des Arbeitspunktes

Rechnerische DC-Analyse und AC-Analyse: Am Beispiel wird nun eine rechnerische Arbeitspunktanalyse und eine Abschätzung der AC-Analyse vorgenommen.

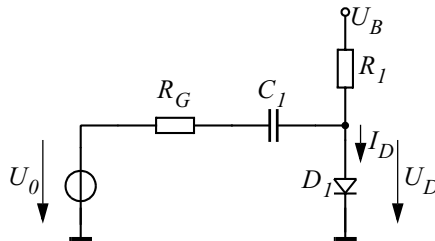


Bild 2.2-62: Einfache nichtlineare Schaltung mit der Möglichkeit der Einstellung eines Arbeitspunktes

DC-Lösung: Das Verhalten der Beschaltung und der Diode bei DC-Analyse ergibt sich aus:

$$\begin{aligned} 1.) \quad I_D &= (U_B - U_D) / R_I; \\ 2.) \quad I_D &= f(U_D); \end{aligned} \quad (2.2-16)$$

Damit sind zwei Bestimmungsgleichungen für zwei Unbekannte I_D , U_D gegeben. Die DC-Lösung ergibt somit den Arbeitspunkt. Ist offensichtlich die Diode im Flussbereich betrieben, so reduziert sich mit $U_D = 0,7V$ das Gleichungssystem auf eine Bestimmungsgleichung für den gesuchten Arbeitspunkt $I_D^{(A)}$. Im Arbeits-

punkt kann eine Linearisierung der nichtlinearen Schaltung vorgenommen und eine lineare AC-Analyse durchgeführt werden. Die Gesamtlösung ist die Überlagerung der DC-Lösung und der AC-Lösung. Das solchermaßen mathematisch formulierte Problem der Arbeitspunktbestimmung lässt sich auch graphisch veranschaulichen.

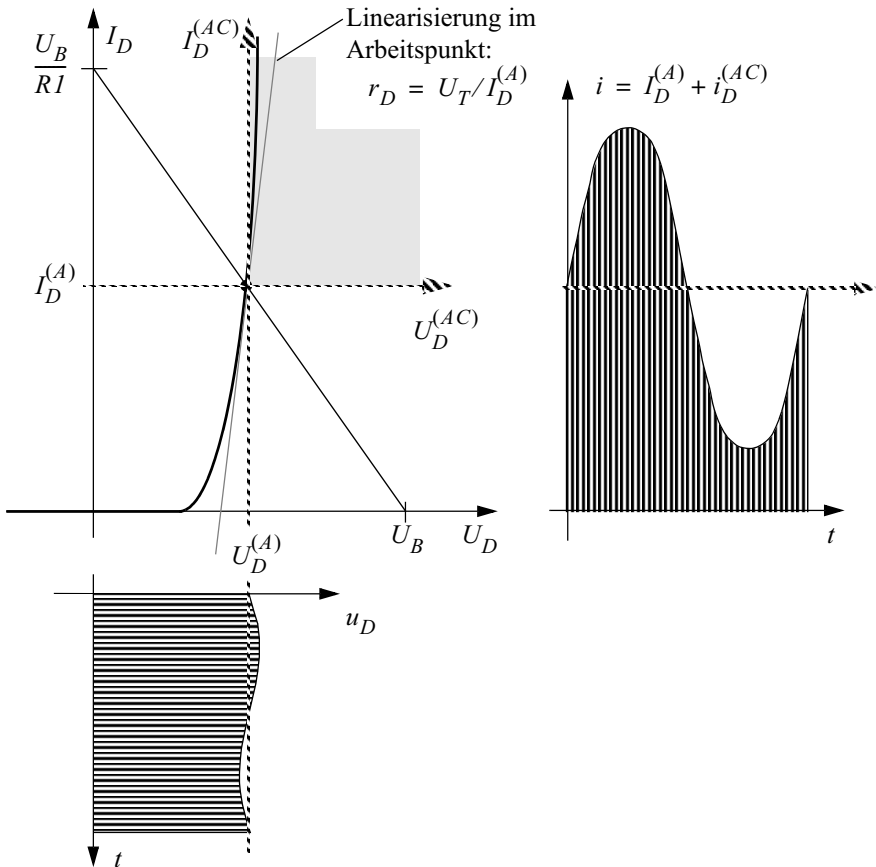


Bild 2.2-63: Graphische Lösung zur Arbeitspunktbestimmung der Diodenschaltung mit Wechselspannungsaussteuerung im Arbeitspunkt

AC-Lösung: In der Beispielschaltung fließt im Arbeitspunkt ein Strom von $I_D^{(A)} = 1\text{mA}$; der differentiellen Widerstand der Diode im Arbeitspunkt ist $r_D = 26\Omega$; der Bahnwiderstand sei mit $R_S = 6\Omega$ gegeben. Im Arbeitspunkt ergibt die AC-Analyse bei mittleren Frequenzen einen Übertragungsfaktor von $(26\Omega + 6\Omega) / (132\Omega) = 0,24$ von der Signalquelle zum Knoten 2 unter Berücksichtigung des Bahnwiderstandes. Bei der gegebenen Diode ist $TT = 11,5\text{ns}$. Damit erhält man näherungsweise für die Diffusionskapazität $C_D = 440\text{pF}$. Die Diffusionskapazität ist für den Abfall des Frequenzgangs bei oberen Frequenzen verantwortlich. Die

untere Eckfrequenz ergibt sich, wenn der kapazitive Widerstand von C_1 gleich 100Ω ist; das ist etwa bei 1kHz der Fall.

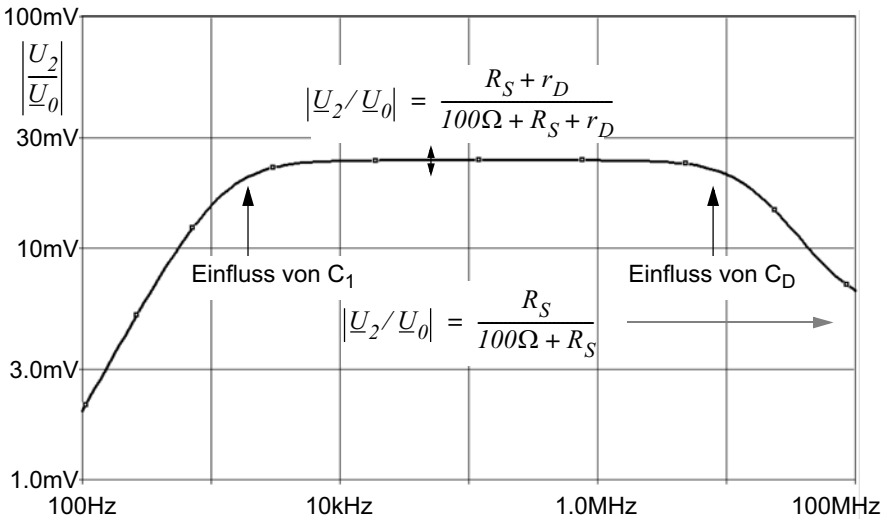


Bild 2.2-64: Beispielschaltung: Ergebnis der AC-Analyse der Testschaltung in Bild 2.2-61

TR-Analyse: Das Ergebnis der TR-Analyse zeigt Bild 2.2-65. Im Arbeitspunkt von Knoten 2 ergibt sich ein DC-Wert von ca. $0,7\text{V}$. Die Änderung im Arbeitspunkt ist leicht verzerrt, da die Signalspannung mit $0,1\text{V}$ zu groß ist. Wie bereits erwähnt, gilt die Linearisierung für eine Exponentialfunktion nur bei kleinen Änderungen. Die Signalspannung im Arbeitspunkt sollte nicht größer als einige 10mV sein.

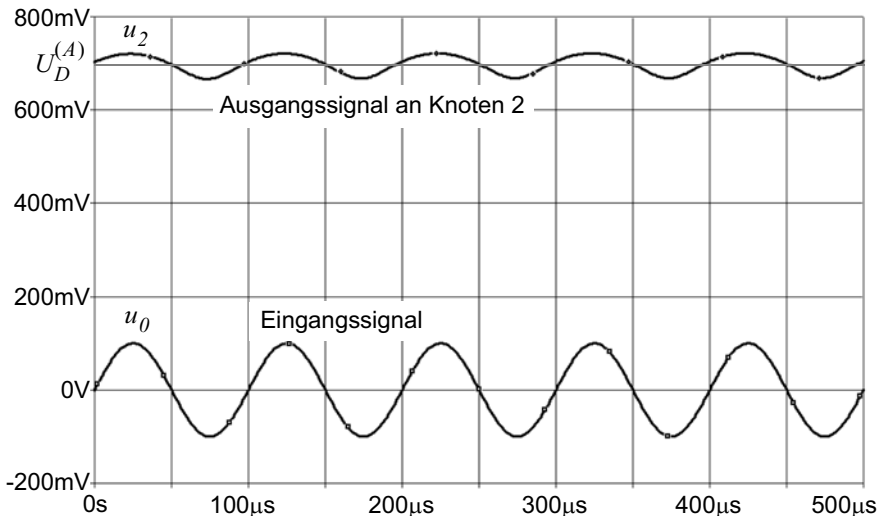


Bild 2.2-65: Beispielschaltung: Ergebnis der TR-Analyse

2.2.6 Detektorschaltung mit Arbeitspunkteinstellung

Es gibt Anwendungen, bei denen sich eine Linearisierung der Schaltung im Arbeitspunkt verbietet. Am Beispiel einer praktischen Schaltung wird dies aufgezeigt. Die bislang betrachtete Schaltung soll nun einer konkreten Anwendung zugeführt werden: es ist ein amplitudenmoduliertes Signal zu detektieren (AM-Detektor). Die Testschaltung dazu zeigt Bild 2.2-66. Mit der Signalquelle $V1$ wird das Modulationssignal definiert. Die Signalquelle $V1$ steuert mit $V(\text{Mod})$ die spannungsgesteuerte Spannungsquelle $E1$. Somit entsteht ein amplitudenmoduliertes Signal mit der Trägerfrequenz von 1MHz (Mittelwelle).

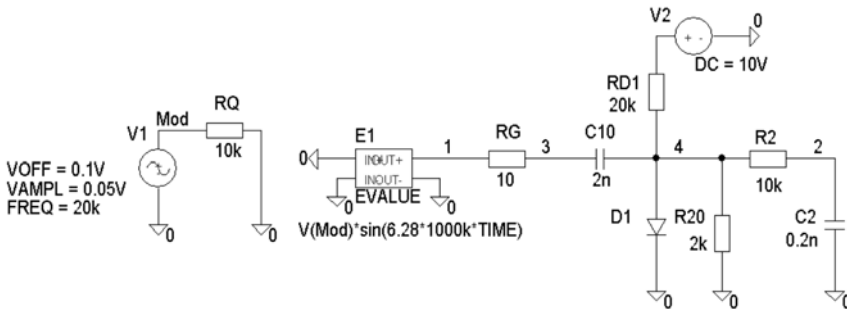


Bild 2.2-66: AM-Detektor angesteuert über ein amplitudenmoduliertes Signal an Knoten 1

Experiment 2.2-8: AM-Detektor – Diodenschaltung mit AM-moduliertem Eingangssignal.

Das amplitudenmodulierte Testsignal mit der Modulationsfrequenz von 20kHz am Knoten *Mod* wirkt auf die Amplitude der gesteuerten Spannungsquelle $E1$ dessen Signalfrequenz gleich der Trägerfrequenz von 1MHz ist. Das so gebildete amplitudenmodulierte Eingangssignal an Knoten 1 wird über eine Detektorschaltung demoduliert. Die Detektorschaltung besteht aus $D1$, $R20$ und $C10$. Über $RD1$ wird die Diode $D1$ mit einem Arbeitspunkt versorgt. Die demodulierte Spannung liegt schließlich dann am Ausgangsknoten 4 an. Der nachgeschaltete Tiefpass mit $R2$ und $C2$ glättet bzw. integriert das am Knoten 4 anliegende Nutzsignal.

Der Arbeitspunkt der Detektordiode $D1$ wird so gewählt, dass sie im Bereich der Schwellspannung betrieben wird, d.h. es sollte ein Arbeitspunktstrom in Höhe von ca. $100\mu\text{A}$ bis $200\mu\text{A}$ fließen. Eine Linearisierung im Arbeitspunkt ist nicht sinnvoll, da die Schaltungsfunktion von der Nichtlinearität „lebt“. Es ist somit eine TR-Analyse zwingend, eine AC-Analyse würde falsche Ergebnisse liefern. Die positiven Spannungsspitzen des amplitudenmodulierten Signals steuern die Diode in den Flussbereich aus. Bei verändertem Strom ändert sich die Flussspannung gemäß der Exponentialkennlinie der Diode, d.h. die Schwellspannung ist nicht exakt konstant. Das nachfolgende RC-Glied aus $R2$ und $C2$ stellt einen „Integrator“ dar und filtert das demodulierte Signal aus, das an Knoten 2 abgenommen werden kann. Das RC-Glied muss so dimensioniert werden, dass es dem Demodulationssignal folgen kann, die Trägerfrequenz (hier 1MHz) aber unterdrückt.

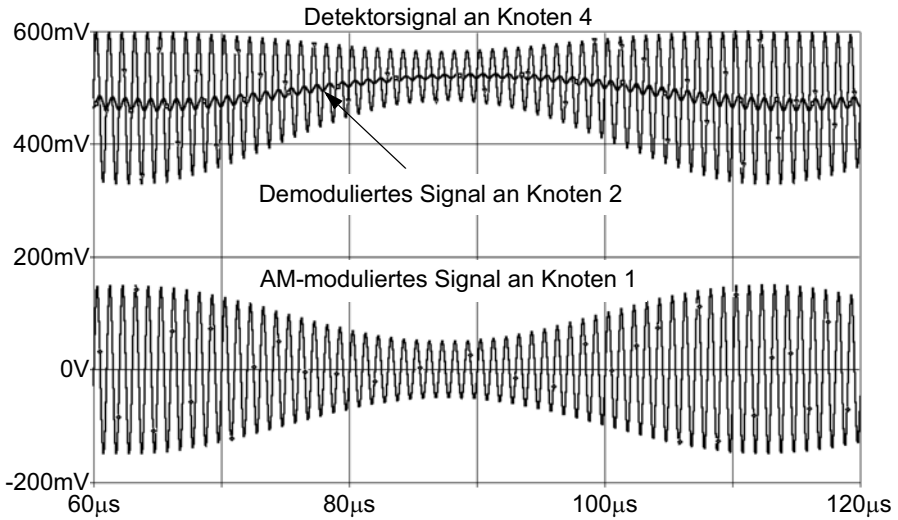


Bild 2.2-67: Testergebnis des AM-Demodulators

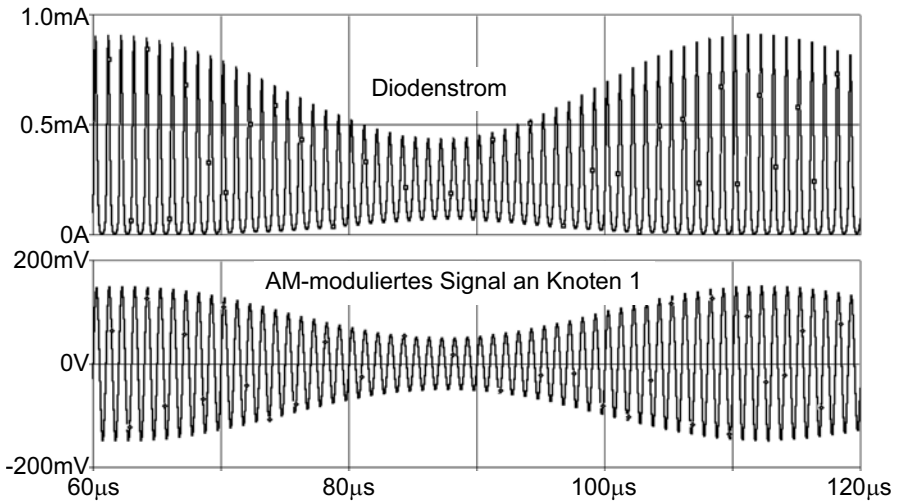


Bild 2.2-68: Detektorschaltung: Diodenstrom und amplitudenmoduliertes Eingangssignal

Das Schaltungsbeispiel zeigt also eine Anwendung, bei der sich eine lineare AC-Analyse von der Schaltungsfunktion her verbietet. Die Schaltung stellt einen einfachen Mittelwellenempfänger dar. Dazu bedarf es noch einer vorgeschalteten Antenne mit anschließendem Selektionskreis. Der Selektionskreis kann ein einfacher Parallelresonanzkreis sein. Als Signalspannung am Eingang der Detektorschaltung werden mindestens ca. 100mV benötigt, wenn der Arbeitspunkt im

Bereich der Schwellspannung der Diode liegt. Bei sehr kleinen Signalspannungen kann die Diodenkennlinie wiederum linearisiert werden, es wäre dann kein Detektoreffekt gegeben.

2.2.7 Frequenzbereichsanalyse – Bodediagramm

Das Bodediagramm ist ein Hilfsmittel zur Veranschaulichung des Frequenzgangs eines gegebenen Ausdrucks bei der AC-Analyse linearer oder im Arbeitspunkt linearisierter Schaltungen. Es ist vor allem hilfreich zum Abschätzen eines Frequenzverlaufs. Der Ausdruck für einen Frequenzgang einer konkreten Schaltung kann beispielsweise sein ein:

- ☐ Verstärkungsfaktor bzw. Übertragungsfaktor;
- ☐ Eingangs-/Ausgangs-Impedanzverlauf.

Zunächst wird beispielhaft das Ergebnis eines Frequenzgangsverlaufs dargestellt und das zugehörige Bodediagramm betrachtet. Bild 2.2-69 zeigt den Frequenzgang der Verstärkung einer Schaltung nach Betrag und Phase.

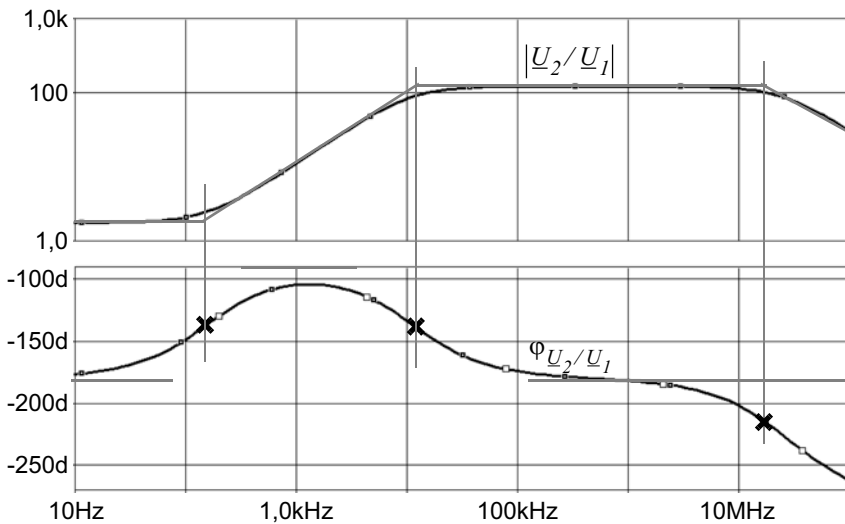


Bild 2.2-69: Beispiel des Frequenzgangs der Verstärkung; Betragsverlauf und Phasenverlauf

Es handelt sich um den Frequenzgang einer Verstärkerschaltung mit einem Bipolartransistor. Bei der Skizzierung des Bodediagramms geht es oft nicht um den genauen Frequenzgangverlauf. Vielmehr steht im Vordergrund die Ermittlung des asymptotischen Verhaltens und der zugehörigen Eckfrequenzen, dargestellt im Betragsverlauf und im Phasenverlauf. Im Bild 2.2-69 sind neben dem realen Verlauf des Frequenzgangs der Verstärkung die Asymptoten und Eckfrequenzen skizziert. Die Frequenzganganalyse mit dem Bodediagramm ermittelt diese

Asymptoten und Eckfrequenzen.

Verallgemeinerung eines Frequenzgangausdrucks: Gemeinhin lässt sich ein Frequenzgangausdruck $\underline{T}(s)$ in normierter Form auf eine Polynomdarstellung bringen bzw. in Polynomform als rationale Funktion formulieren. Dabei muss der Grad des Zählerpolynoms m stets kleiner gleich dem Grad des Nennerpolynoms n sein. Bild 2.2-70 zeigt einen Funktionsblock, dessen Verhalten durch die Übertragungsfunktion $\underline{T}(s)$ charakterisiert wird.



$$\underline{T}(s) = \frac{\underline{U}_2}{\underline{U}_1} = \frac{b_0 + b_1 s + \dots + b_m s^m}{a_0 + a_1 s + \dots + a_n s^n};$$

$$\text{mit: } s = j\omega; \quad m \leq n$$

$$\underline{T}(s) = \frac{\prod \underline{P}_i(s)}{\prod \underline{Q}_j(s)}; \quad \underline{T}(s) = k \cdot \frac{(s - p_1) \cdot (s - p_2) \cdot \dots \cdot (s - p_m)}{(s - q_1) \cdot (s - q_2) \cdot \dots \cdot (s - q_n)};$$

$$\text{Nullstellen: } p_1 \dots p_m; \quad \text{Polstellen: } q_1 \dots q_n$$

Bild 2.2-70: Zur Polynomdarstellung eines Frequenzgangausdrucks

Wegen dieser Eigenschaft kann man einen Frequenzgangausdruck in Primitivfaktoren zerlegen. Als Primitivfaktoren werden allgemein zweckmäßig drei Grundtypen eingeführt. Bei den nachstehenden Betrachtungen wird $s = j\omega$ gesetzt. Die Grundtypen können als Zählerausdruck $\underline{P}_i$ oder als Nennerausdruck $1/\underline{Q}_i$ auftreten. Dabei kann $\underline{P}_i$ bzw. $1/\underline{Q}_i$ u.a. folgende Form aufweisen:

Primitivfaktor Typ1:

$$\boxed{\underline{P}_i = j\omega/\omega_i}; \quad \boxed{1/\underline{Q}_i = 1/(j\omega/\omega_i)}; \quad (2.2-17)$$

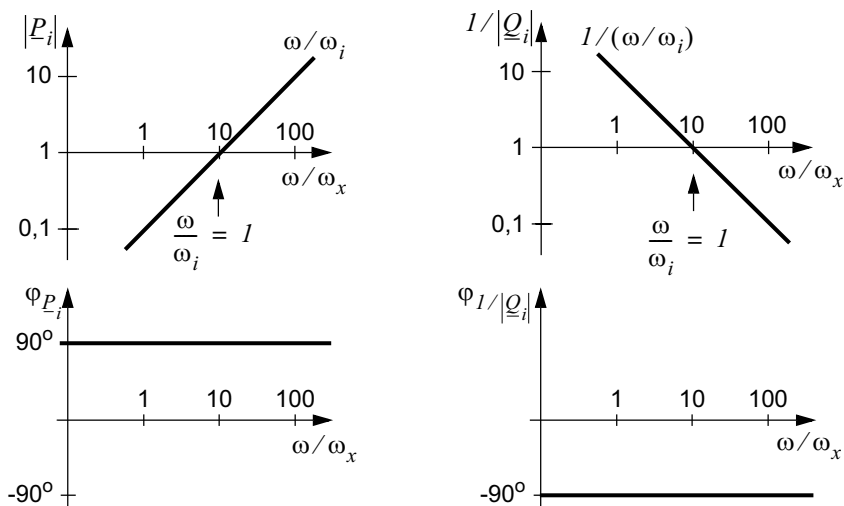
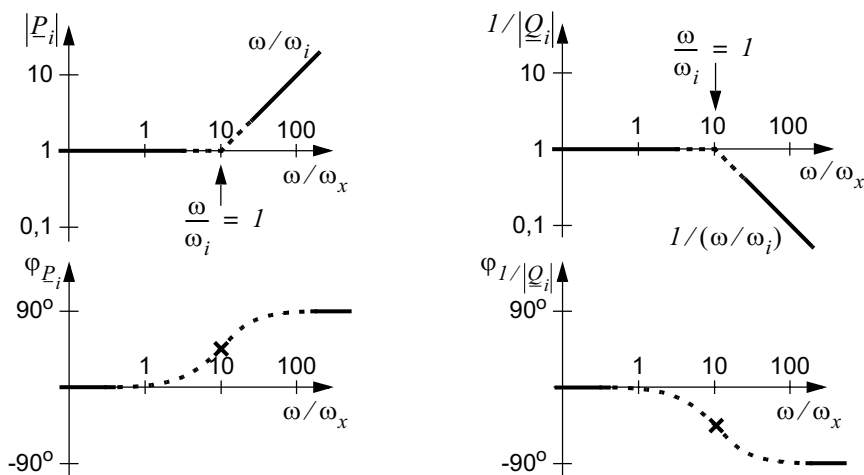
Die Asymptoten des Primitivfaktors vom Typ1 sind in Bild 2.2-71 dargestellt. Bei der Bezugskreisfrequenz $\omega = \omega_i$ weist dieser Primitivfaktor den Betrag 1 auf. Ansonsten erhöht sich der Betrag des Zählerausdrucks um den Faktor 10 bei zehnfacher Frequenz, bzw. erniedrigt sich der Betrag des Nennerausdrucks um den Faktor 10 bei Erhöhung der Frequenz um eine Dekade. Die Phase ist frequenzunabhängig $+90^\circ$ bzw. -90° . Eine Eckfrequenz zur Bereichsunterscheidung liegt bei diesem Primitivfaktortyp nicht vor.

Als nächstes werden Primitivfaktoren vom Typ2 betrachtet, deren Zählerausdruck $\underline{P}_i$ bzw. Nennerausdruck $1/\underline{Q}_i$ wie folgt aussieht, dabei ist ω_i eine Bezugskreisfrequenz:

Primitivfaktor Typ2:

$$\underline{P}_i = 1 + j\omega/\omega_i;$$

$$1/\underline{Q}_i = 1/(1 + j\omega/\omega_i); \quad (2.2-18)$$

**Bild 2.2-71:** Asymptotisches Verhalten des Primitivfaktors Typ1 – ohne Eckfrequenz**Bild 2.2-72:** Asymptotisches Verhalten des Primitivfaktors Typ2 – Eckfrequ. bei $\omega = \omega_i$

In diesem Fall ist eine Bereichsunterscheidung zu treffen. Bei $\omega \ll \omega_i$ ist in beiden Fällen der Betrag 1 und die Phase 0°. Bei $\omega \gg \omega_i$ erhöht sich der Betrag des Zäh-

lerausdrucks bzw. erniedrigt sich der Betrag des Nennerausdrucks um den Faktor 10 bei zehnfacher Frequenz (1 Dekade). Die Phase des Ausdrucks ist dann $+90^\circ$ bzw. -90° . Der Sonderfall $\omega = \omega_i$ stellt die Eckkreisfrequenz dar. Bei der Eckkreisfrequenz ist der Zählerausdruck $1+j$ bzw. der Nennerausdruck $1/(1+j)$. Damit beträgt die Phase bei der Eckkreisfrequenz $+45^\circ$ bzw. -45° . Im Gegensatz zu Primitivfaktoren vom Typ1 weisen Primitivfaktoren vom Typ2 eine Eckfrequenz auf, dort wo der Realteil des Zähler- bzw. Nennerausdrucks gleich dessen Betrag des Imaginärteils ist.

Schließlich werden Primitivfaktoren vom Typ3 betrachtet. Sie enthalten einen quadratischen Frequenzterm im Zählerausdruck $\underline{P}_i$ bzw. Nennerausdruck $1/\underline{Q}_i$. Die allgemeine normierte Form lautet:

Primitivfaktor Typ3:

$$\underline{P}_i = 1 + j\omega/\omega_i \cdot \tan\delta + (j\omega/\omega_i)^2; \quad (2.2-19)$$

$$1/\underline{Q}_i = 1/(1 + j\omega/\omega_i \cdot \tan\delta + (j\omega/\omega_i)^2);$$

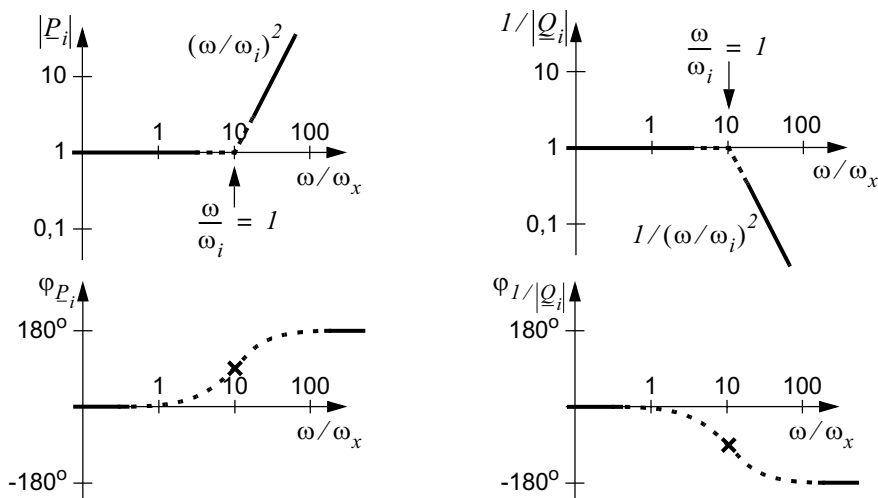


Bild 2.2-73: Asymptotisches Verhalten des Primitivfaktors Typ3 – Eckfrequ. bei $\omega = \omega_i$

Primitivfaktoren vom Typ3 weisen eine Eckfrequenz auf, dort wo der normierte quadratische Term gleich -1 ist. Bei der Eckfrequenz verbleibt dann der Ausdruck $j\tan\delta$ bzw. $1/(j\tan\delta)$. Die Bereichsunterscheidung erfolgt unterhalb bzw. oberhalb der Eckkreisfrequenz, gegeben mit $\omega = \omega_i$. Die Phase unterhalb der Eckfrequenz beträgt 0° , bei der Eckfrequenz liegt die Phase bei $+90^\circ$ bzw. -90° und oberhalb der Eckfrequenz ist die Phase des Zählerausdrucks $+180^\circ$ und des Nennerausdrucks -180° . Der Betrag des Zählerausdrucks nimmt oberhalb der Eckfrequenz um den Faktor 100 zu, der des Nennerausdrucks um den Faktor 100 ab, bei

Erhöhung der Frequenz um den Faktor 10. Die Typ3 Primitivfaktoren nehmen eine gewisse Sonderstellung ein. Es gilt diesen Typ näher zu betrachten. Das nachstehende Beispiel zeigt eine Übertragungsfunktion mit Primitivfaktor Typ3.

Im Beispiel ist: $\omega_i = (10^3/s)$; $\tan \delta = 0,1$;

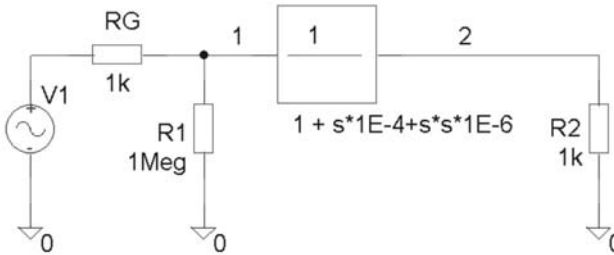


Bild 2.2-74: Übertragungsfunktion mit $1/\underline{Q}_i = 1/(1 + j\omega/\omega_i \cdot \tan \delta + (j\omega/\omega_i)^2)$

Experiment 2.2-9: Bode_Primitivfaktor3 – Beispiel einer Übertragungsfunktion nach Typ3.

Die Eckfrequenz ergibt sich für die Kreisfrequenz ω bei der man für den quadratischen Term -1 erhält. Dies ist hier bei $\omega_i = 10^3/s$ der Fall. Durch Koeffizientenvergleich des in Bild 2.2-74 gegebenen Ausdrucks mit dem normierten Ausdruck in Gl. (2.2-19) erhält man $\tan \delta = 0,1$. Der Frequenzgang des Beispiels ist in Bild 2.2-75 dargestellt. Es ist zu beachten, dass auf der Abszisse die Frequenz und nicht die Kreisfrequenz aufgetragen ist. Die Amplitude bei der Eckfrequenz beträgt $1/(\tan \delta)$.

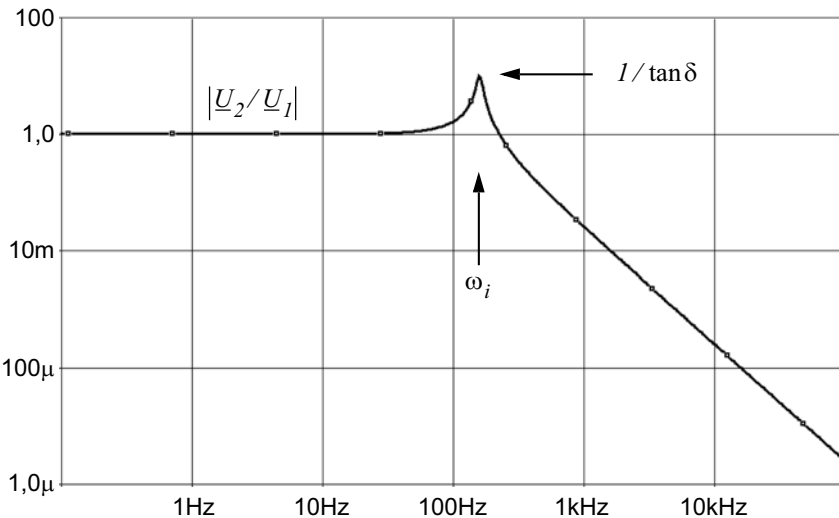


Bild 2.2-75: Betrag der Übertragungsfunktion gemäß Primitivfaktor Typ3

Ist $\tan \delta < 1$ so ergibt sich eine Überhöhung bei der Eckfrequenz. Bei $\tan \delta > 1$ stellt sich keine Überhöhung ein, in diesem Fall ließe sich der Primitivfaktor Typ3 in ein Produkt aus zwei Primitivfaktoren Typ2 umwandeln.

Impedanznomogramm für Induktivitäten und Kapazitäten: Bei der Bestimmung von Eckfrequenzen müssen Frequenzen bestimmt werden, für die u.a. mit $R = 1/(\omega_i C)$ der kapazitive Widerstand gleich einem gegebenen ohmschen Widerstand ist. Zur Abschätzung von gegebenen komplexen Teilausdrücken werden die Impedanzverläufe von Induktivitäten ωL und Kapazitäten $1/(\omega C)$ benötigt. Beispielsweise ist eine charakteristische Frequenz (Eckfrequenz) gesucht, für die $R = 1/(\omega_i C)$ bzw. $R = \omega_i L$ oder $\omega_0 L = 1/(\omega_0 C)$ gilt. Die Impedanzverläufe von Induktivitäten und Kapazitäten können aus dem Nomogramm in Bild 2.2-76 entnommen werden.

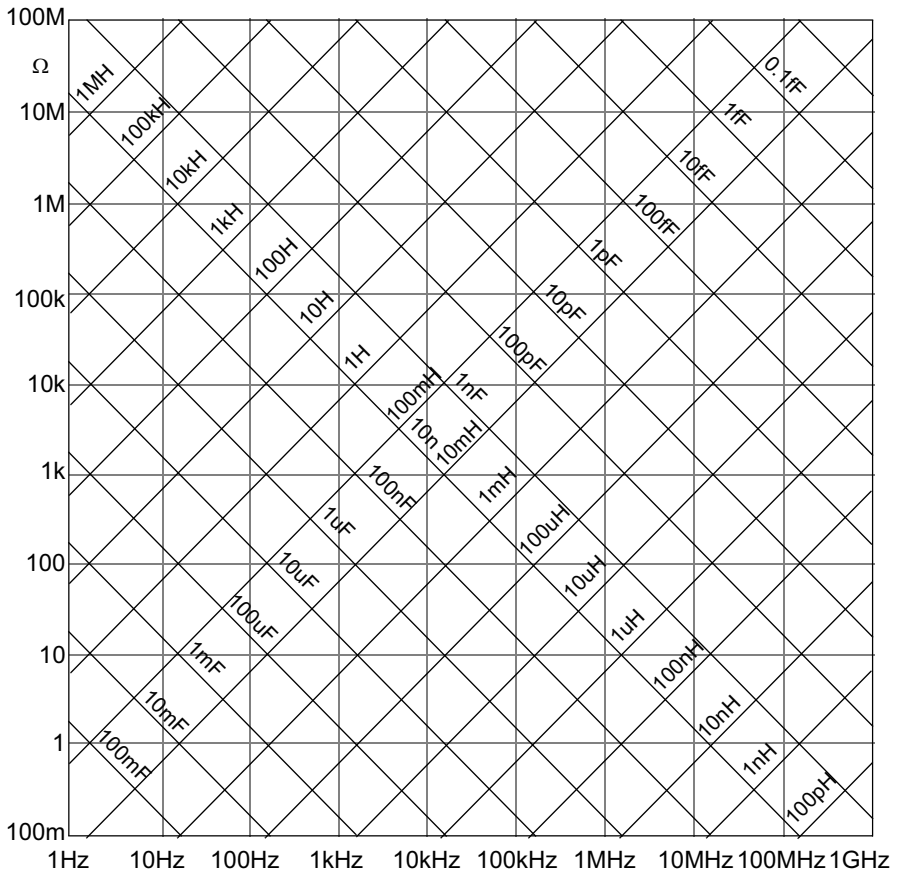


Bild 2.2-76: Impedanz-Nomogramm für $X_C = 1/(\omega C)$ und $X_L = \omega L$

Damit lassen sich sehr einfach die Impedanzwerte abschätzen, bzw. die charakteristischen Eckfrequenzen ermitteln. Für eine Eckfrequenz gilt z.B. $R = 1/(\omega_i C)$. Ist beispielsweise $R = 1k\Omega$ gegeben und $C = 16nF$, so erhält man als charakteristische Eckfrequenz aus dem Nomogramm $f_i = 10kHz$. Ist die charakteristische Frequenz zu bestimmen, für die $1/(\omega_0 C) = \omega_0 L$, so liegt bei $L = 160\mu H$ und bei $C = 160pF$ diese charakteristische Frequenz bei $1MHz$. Derartige Abschätzungen werden im Weiteren benötigt. Aus dem Impedanz-Nomogramm können also graphisch die Werte für Induktivitäten und Kapazitäten bestimmt werden. Darüber hinaus lassen sich die charakteristischen Eckfrequenzen ermitteln.

Nach der allgemeinen Betrachtung über häufig vorkommende typische Primitivfaktoren von komplexen Frequenzgangdarstellungen und deren Ermittlung der Eckfrequenzen zur Bereichsunterscheidung, werden in konkreten Beispielen die Asymptoten bekannter Primitivfaktoren angewandt und daraus der Gesamtausdruck gebildet.

Erstes Beispiel: Anhand einer einfachen Schaltung soll die Vorgehensweise zur Darstellung des asymptotischen Verhaltens des Frequenzgangs eines komplexen Ausdrucks betrachtet werden. Gegeben sei die passive Schaltung bestehend aus einem RC-Glied, das Tiefpassverhalten aufweist (Bild 2.2-77).

1. Schritt: Netzwerkanalyse der Schaltung zur Bestimmung des gewünschten Ausdrucks. Hier sei nach der Übertragungsfunktion $\underline{T} = \underline{U}_2/\underline{U}_1$ und dem Eingangswiderstand $\underline{Z}_{II'}$ gefragt.

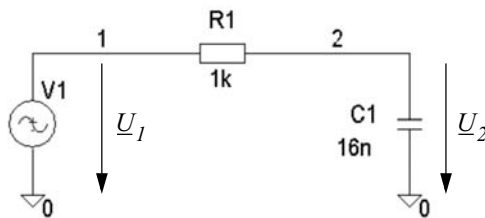


Bild 2.2-77: Bestimmung des Bodediagramms für einen RC-Tiefpass

Ergebnis der Netzwerkanalyse sind die beiden Zielfunktionen. Sie ergeben sich in der folgenden Form:

$$\underline{T} = \frac{\underline{U}_2}{\underline{U}_1} = \frac{1/(j\omega C)}{R + 1/(j\omega C)}; \quad (2.2-20)$$

$$\underline{Z}_{II'} = R(1 + 1/(j\omega CR))$$

2. Schritt: Im zweiten Schritt muss der zu untersuchende Ausdruck normiert und in bekannte Primitivfaktoren zerlegt werden.

$$\underline{T} = \frac{1}{1 + j\omega CR} = \frac{1}{1 + (j\omega)/\omega_g} = 1/\underline{Q}_1 = |1/\underline{Q}_1| \cdot e^{j\varphi_{1/\underline{Q}_1}} = |\underline{T}| \cdot e^{j\varphi_{\underline{T}}};$$

$$\frac{\underline{Z}_{II'}}{R} = \frac{1 + (j\omega)/\omega_g}{(j\omega)/\omega_g} = \underline{P}_1 \cdot (1/\underline{Q}_2) = |\underline{P}_1| \cdot |1/\underline{Q}_2| \cdot e^{j(\varphi_{\underline{P}_1} + \varphi_{1/\underline{Q}_2})};$$

$$\text{mit: } \omega_g = 1/(RC) \text{ bei } R = 1/(\omega C); \quad (2.2-21)$$

Es ergibt sich für die Übertragungsfunktion ein Primitivfaktor $\underline{Q}_1$ im Nenner; für den Eingangswiderstand im Zähler $\underline{P}_1$ und im Nenner $\underline{Q}_2$. Betreffs der Typisierung der Primitivfaktoren gilt: Primitivfaktor $1/\underline{Q}_1$ ist vom Typ2; Primitivfaktor $\underline{P}_1$ ist vom Typ 2; Primitivfaktor $1/\underline{Q}_2$ ist vom Typ1.

3. Schritt: Zur Bestimmung des asymptotischen Verhaltens der Primitivfaktoren wird eine Bereichsunterscheidung unterhalb und oberhalb der Eckfrequenz vorgenommen. Grenzbetrachtung des Primitivfaktors $1/\underline{Q}_1$:

$$1/\underline{Q}_1: \quad \omega \ll \omega_g: \quad |1/\underline{Q}_1| = 1; \quad \varphi_{1/\underline{Q}_1} = 0^\circ;$$

$$\omega \gg \omega_g: \quad |1/\underline{Q}_1| = \omega_g/\omega; \quad \varphi_{1/\underline{Q}_1} = -90^\circ;$$

$$\omega = \omega_g: \quad |1/\underline{Q}_1| = 1/\sqrt{2}; \quad \varphi_{1/\underline{Q}_1} = -45^\circ;$$

Damit ergibt der in Bild 2.2-78 skizzierte Frequenzgang.

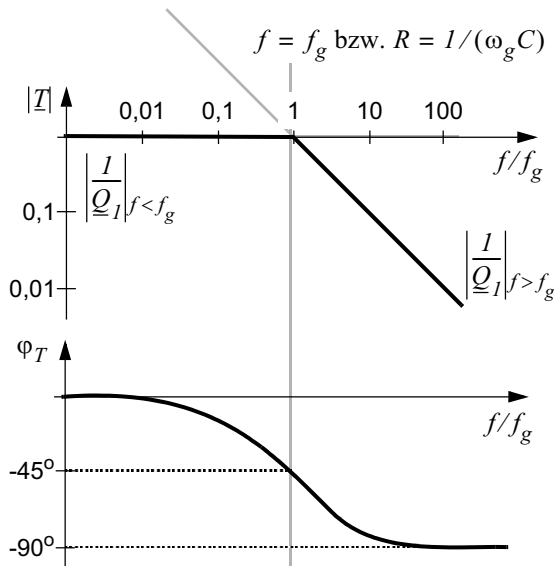


Bild 2.2-78: Asymptotisches Verhalten der gesuchten Übertragungsfunktion $\underline{T} = 1/\underline{Q}_1$

Als nächstes werden die Primitivfaktoren des Ausdrucks für $\underline{Z}_{I1'}/R$ betrachtet. Die Grenzbetrachtung des Primitivfaktors $\underline{P}_I$ ergibt:

$$\underline{P}_I : \omega \ll \omega_g: |\underline{P}_I| = 1; \quad \varphi_{\underline{P}_I} = 0^\circ;$$

$$\omega \gg \omega_g: |\underline{P}_I| = \omega/\omega_g; \quad \varphi_{\underline{P}_I} = 90^\circ;$$

$$\omega = \omega_g: |\underline{P}_I| = \sqrt{2}; \quad \varphi_{\underline{P}_I} = 45^\circ;$$

Der Primitivfaktor $1/\underline{Q}_2$ weist keine Eckfrequenz auf:

$$1/\underline{Q}_2: \text{unabhängig von } \omega \text{ ist: } |1/\underline{Q}_2| = \omega_g/\omega; \quad \varphi_{1/\underline{Q}_2} = -90^\circ;$$

$$\text{bei } \omega = \omega_g \text{ ist: } |1/\underline{Q}_2| = 1; \quad \varphi_{1/\underline{Q}_2} = -90^\circ;$$

Die ermittelten Asymptoten werden nun in ein Bodediagramm eingetragen. Dazu wird die Frequenzachse als Abszisse logarithmisch aufgetragen. Ebenso wird die Ordinate des zu untersuchenden Ausdrucks im logarithmischen Maßstab eingeteilt. Die ermittelten Asymptoten stellen einfach zu skizzierende Geraden bzw. Grenzwerte dar. Bild 2.2-79 zeigt das asymptotische Verhalten des Frequenzgangs der Eingangsimpedanz.

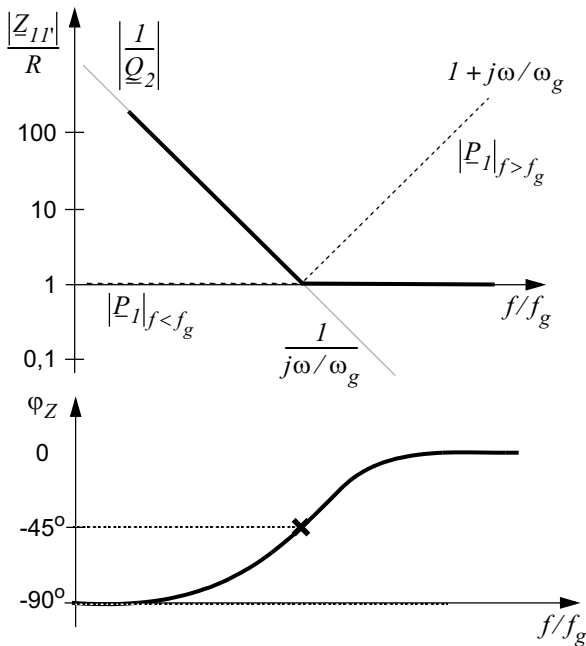


Bild 2.2-79: Asymptotisches Verhalten des Eingangswiderstandes $\underline{Z}_{I1'}/R = \underline{P}_I/\underline{Q}_2$

Besteht der betrachtete Ausdruck aus dem Produkt mehrerer Primitivfaktoren, so erfolgt in einem 4. Schritt die Überlagerung der Primitivfaktoren zum Gesamtausdruck. Der Gesamtausdruck wird durch Schaltkreissimulation in nachstehendem Experiment bestimmt.

Experiment 2.2-10: Bode_TP1 – Bodediagramm Tiefpass

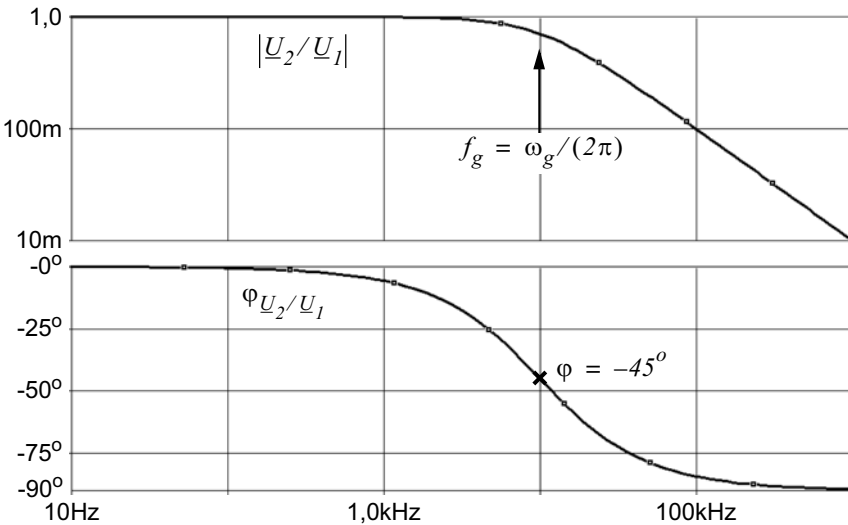


Bild 2.2-80: Ergebnis Tiefpass: Betrags- und Phasenverlauf der Übertragungsfunktion

Zweites Beispiel: In einem weiteren Beispiel soll die Vorgehensweise zur Ermittlung des Bodediagramms aufgezeigt werden. Das Beispiel ist bewusst so gewählt, dass die typische Vorgehensweise klar wird. Es handelt sich um eine zweistufige Verstärkerschaltung mit vorgeschaltetem Hochpass. Die Verstärkung der ersten Stufe beträgt 100, die der zweiten Stufe 1; deren Verhalten wird beschrieben durch spannungsgesteuerte Spannungsquellen.

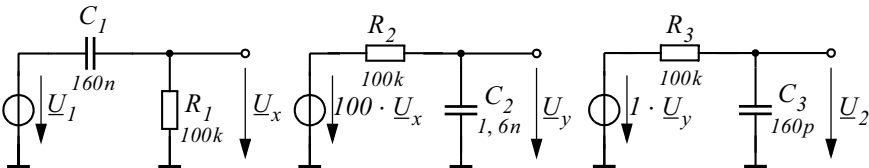


Bild 2.2-81: Verstärkerschaltung mit zwei Stufen jeweils realisiert durch je eine gesteuerte Spannungsquelle; am Eingang liegt eine kapazitive Einkopplung vor

1. Schritt: Der erste Schritt ist die Ermittlung des zu untersuchenden Ausdrucks. Gegeben sei folgender Ausdruck als Ergebnis der Netzwerkanalyse der Beispielschaltung in Bild 2.2-81:

$$v_u = \frac{100 \cdot j\omega \cdot R_1 \cdot C_1}{(1 + j\omega \cdot R_1 \cdot C_1) \cdot (1 + j\omega \cdot R_2 \cdot C_2) \cdot (1 + j\omega \cdot R_3 \cdot C_3)}; \quad (2.2-22)$$

Der Ausdruck stellt die Verstärkung $\underline{U}_2/\underline{U}_1$ der zweistufigen Verstärkerschaltung dar; sie bestimmt sich aus:

$$v_u = \frac{\underline{U}_x}{\underline{U}_1} \cdot \frac{\underline{U}_y}{\underline{U}_x} \cdot \frac{\underline{U}_2}{\underline{U}_y}; \quad (2.2-23)$$

Konkret wird damit:

$$\begin{aligned} \frac{\underline{U}_x}{\underline{U}_1} &= \frac{R_1}{R_1 + 1/(j\omega C_1)}; & \frac{\underline{U}_y}{\underline{U}_x} &= \frac{100 \cdot 1/(j\omega C_2)}{R_2 + 1/(j\omega C_2)}; & \frac{\underline{U}_2}{\underline{U}_y} &= \frac{1/(j\omega C_3)}{R_3 + 1/(j\omega C_3)}; \\ \frac{\underline{U}_x}{\underline{U}_1} &= \frac{j\omega C_1 R_1}{1 + j\omega C_1 R_1}; & \frac{\underline{U}_y}{\underline{U}_x} &= \frac{100}{1 + j\omega C_2 R_2}; & \frac{\underline{U}_2}{\underline{U}_y} &= \frac{1}{1 + j\omega C_3 R_3}; \end{aligned} \quad (2.2-24)$$

Die Teilausdrücke (siehe untere Zeile in Gl. (2.2-24) obiger Gleichung) wurden auf eine normierte Form gebracht. Ziel ist es, einen gegebenen Ausdruck in bekannte (normierte) Teilausdrücke (Primitivfaktoren genannt) zu zerlegen.

2. Schritt: Der zu untersuchende Ausdruck muss auf eine normierte Form gebracht und in bekannte Primitivfaktoren zerlegt werden. Obiger Ausdruck lässt sich auf die nachstehende normierte Form bringen und in Primitivfaktoren zerlegen.

$$v_u = \frac{100 \cdot j\omega / \omega_1}{(1 + j\omega / \omega_1) \cdot (1 + j\omega / \omega_2) \cdot (1 + j\omega / \omega_3)} = \frac{100 \cdot \underline{P}_1}{\underline{Q}_1 \cdot \underline{Q}_2 \cdot \underline{Q}_3}; \quad (2.2-25)$$

$$\text{mit: } \omega_2 = 100 \cdot \omega_1;$$

$$\omega_3 = 1000 \cdot \omega_1;$$

In dem Beispielausdruck sind vier frequenzabhängige Primitivfaktoren $\underline{P}_1$, $1/\underline{Q}_1$, $1/\underline{Q}_2$, $1/\underline{Q}_3$ gegeben. Die asymptotischen Frequenzverläufe der Primitivfaktoren (Teilfaktoren) sind bekannt, sie lassen sich einzeln darstellen.

3. Schritt: Als nächstes erfolgt wiederum die Grenzbetrachtung der Primitivfaktoren (Asymptoten).

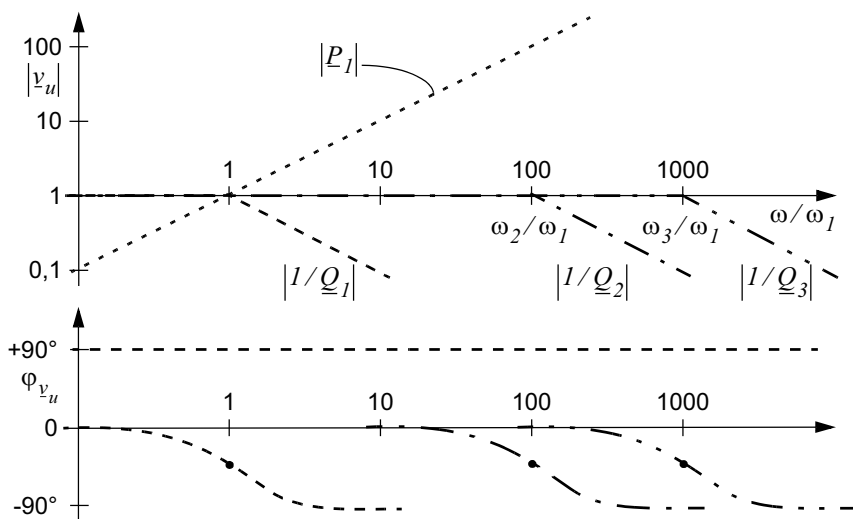


Bild 2.2-82: Asymptotisches Verhalten der Primitivfaktoren des betrachteten Beispiels

Dabei wird jeder Primitivfaktor unterhalb, oberhalb und bei der möglichen Eckfrequenz betrachtet.

P_I	$\omega \ll \omega_I$:	$ P_I = \omega/\omega_I$;	$\varphi_{P_I} = 90^\circ$;
	$\omega \gg \omega_I$:	$ P_I = \omega/\omega_I$;	$\varphi_{P_I} = 90^\circ$;
	$\omega = \omega_I$:	$ P_I = 1$;	$\varphi_{P_I} = 90^\circ$;
$1/\underline{Q}_I$	$\omega \ll \omega_I$:	$ 1/\underline{Q}_I = 1$;	$\varphi_{1/\underline{Q}_I} = 0^\circ$;
	$\omega \gg \omega_I$:	$ 1/\underline{Q}_I = \omega_I/\omega$;	$\varphi_{1/\underline{Q}_I} = -90^\circ$;
	$\omega = \omega_I$:	$ 1/\underline{Q}_I = 1/(\sqrt{2})$	$\varphi_{1/\underline{Q}_I} = -45^\circ$;
$1/\underline{Q}_2$	$\omega \ll \omega_2$:	$ 1/\underline{Q}_2 = 1$;	$\varphi_{1/\underline{Q}_2} = 0^\circ$;
	$\omega \gg \omega_2$:	$ 1/\underline{Q}_2 = \omega_2/\omega$;	$\varphi_{1/\underline{Q}_2} = -90^\circ$;
	$\omega = \omega_2$:	$ 1/\underline{Q}_2 = 1/(\sqrt{2})$	$\varphi_{1/\underline{Q}_2} = -45^\circ$;
$1/\underline{Q}_3$	$\omega \ll \omega_3$:	$ 1/\underline{Q}_3 = 1$;	$\varphi_{1/\underline{Q}_3} = 0^\circ$;
	$\omega \gg \omega_3$:	$ 1/\underline{Q}_3 = \omega_3/\omega$;	$\varphi_{1/\underline{Q}_3} = -90^\circ$;
	$\omega = \omega_3$:	$ 1/\underline{Q}_3 = 1/(\sqrt{2})$	$\varphi_{1/\underline{Q}_3} = -45^\circ$;

Die Asymptoten stellen im logarithmischen Maßstab Geraden dar, die sehr leicht zu skizzieren sind. Das Ergebnis der asymptotischen Betrachtung zeigt Bild 2.2-82.

4. Schritt: Es folgt die Überlagerung der Primitivfaktoren beschrieben durch deren asymptotisches Verhalten. Die Überlagerung der Primitivfaktoren führt zum Gesamtergebnis des gesuchten Frequenzgangs. Dazu werden einzelne Frequenzen ausgewählt und das Produkt der Primitivfaktoren gebildet.

$$v_u = \frac{100 \cdot \underline{P}_1}{\underline{Q}_1 \cdot \underline{Q}_2 \cdot \underline{Q}_3} =$$

$$: 100 |\underline{P}_1| \cdot |1/\underline{Q}_1| \cdot |1/\underline{Q}_2| \cdot |1/\underline{Q}_3| \cdot \exp j(\varphi_{\underline{P}_1} + \varphi_{1/\underline{Q}_1} + \varphi_{1/\underline{Q}_2} + \varphi_{1/\underline{Q}_3})$$

Bei $\omega = 100\omega_1$ ist beispielsweise:

$$v_u = 100 \cdot 100 \cdot 0,01 \cdot (1/\sqrt{2}) \cdot 1 \cdot \exp j(90^\circ - 90^\circ - 45^\circ - 0);$$

In Bild 2.2-83 ist das Gesamtergebnis dieser Betrachtung skizziert.

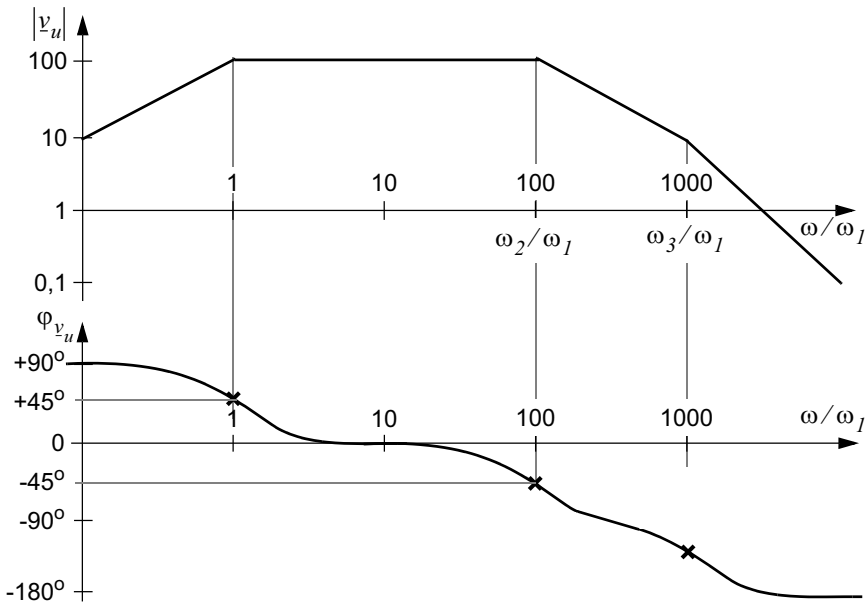


Bild 2.2-83: Überlagerung von Teilausdrücken am Beispiel

Das Beispiel wird in folgender Testschaltung veranschaulicht (Bild 2.2-84). Es zeigt die Schaltung mit dem Modell das dem Verstärker zugrunde liegt.

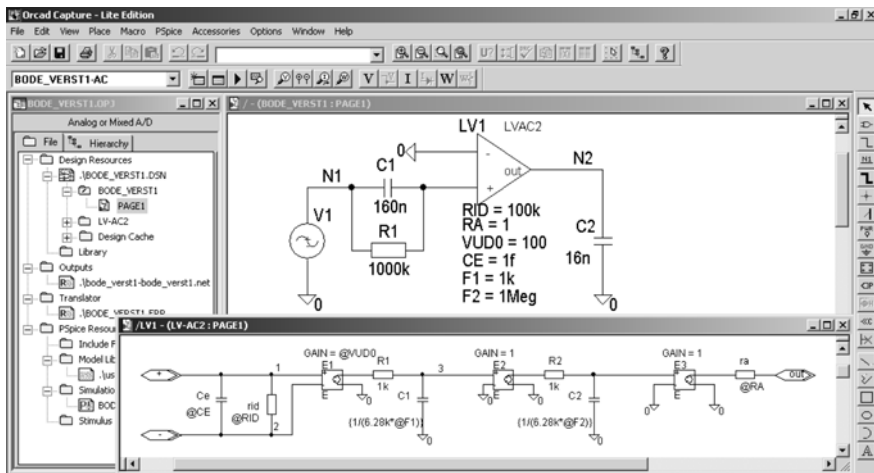


Bild 2.2-84: Testschaltung für das Beispiel einer Verstärkerschaltung

Der Verstärker *LV1* besteht aus zwei Stufen mit je einer spannungsgesteuerten Spannungsquelle *E1* und *E2*. Beide Stufen weisen ein Tiefpassverhalten erster Ordnung mit den Eckfrequenzen f_1 und f_2 auf. Ein Trennverstärker (*E3*) gestattet die Festlegung des Ausgangswiderstandes r_a unabhängig vom Tiefpassverhalten der vorhergehenden Stufe. Der Ausgangswiderstand der Verstärkerstufe bildet mit der Lastkapazität *C2* wiederum ein Tiefpassverhalten erster Ordnung.

Experiment 2.2-11: Bode_Verst1 – Beispielschaltung mit PSpice

Im Beispiel liegt die untere Eckfrequenz bei 10Hz und die erste obere Eckfrequenz bei 1kHz , die zweite obere Eckfrequenz bei 10kHz .

Die beschriebene Vorgehensweise lässt sich verallgemeinern, so dass beliebige Frequenzgangausdrücke für u.a. Verstärkungen und Impedanzverläufe in bekannte Primitivfaktoren zerlegt werden, deren Asymptoten dargestellt und schließlich durch Überlagerung der Teilausdrücke das asymptotische Gesamtverhalten skizziert werden kann. Insbesondere für die Abschätzanalyse einer Schaltung im Frequenzbereich ist dieses Hilfsmittel sehr wertvoll zur Veranschaulichung des Frequenzgangverlaufs.

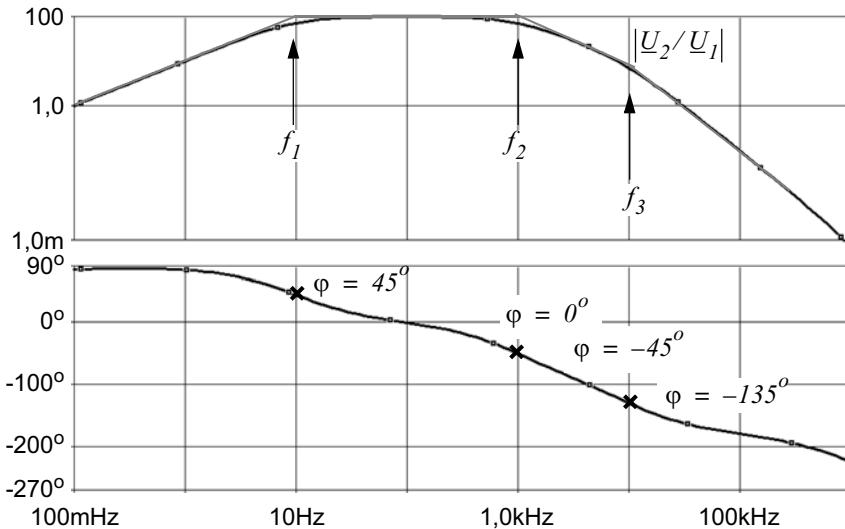


Bild 2.2-85: Ergebnis der Testschaltung analysiert mit PSpice; Bodediagramm nach Betrag und Phase mit Darstellung der Eckfrequenzen und der Asymptoten

2.3 Wärmeflussanalyse

Neben der Analyse des elektrischen Verhaltens von Schaltkreisen gilt es, u.a. das thermische Verhalten der verwendeten Bauelemente zu analysieren. Je höher die Betriebstemperatur eines Bauelementes ist, desto geringer wird dessen Lebensdauer. In einem Elektroniksystem muss ein Wärmestau durch geeignete Kühlmaßnahmen verhindert werden. Dazu ist die Leistungsbilanz insbesondere von jenen Bauelementen zu analysieren, die eine signifikante Leistung aufnehmen.

Leistungsbilanz: Allgemein nimmt ein Bauelement eine Signalleistung P_I an dessen Eingängen auf und gibt eine Leistung P_2 an den Ausgängen ab. Darüber hinaus muss das Bauelement in einem geeigneten Arbeitspunkt betrieben werden und nimmt dabei eine Versorgungsleistung $P_{Versorg.}$ auf. Die Differenz zwischen der aufgenommenen Leistung und der abgegebenen Leistung wird im Inneren des Bauelements in die Wärmeverlustrleistung P_V umgewandelt. Die Wärmeverlustrleistung ist in geeigneter Weise an die Umgebung des Bauteils abzuführen, um eine unzulässige Erwärmung zu vermeiden. Bild 2.3-1 veranschaulicht den Sachverhalt betreffs der Leistungsbilanz.

Die vom Bauelement aufgenommene Leistungsdifferenz $P_V(t)$ ist allgemein zeitabhängig. Damit erwärmt sich das Bauelement auf die Temperatur $T(t)$ und gibt eine Wärmeleistung an die kältere Umgebung ab. Im stationären Zustand ist die aufgenommene Wärmeverlustrleistung zeitunabhängig. Es liegt ein thermisches Gleichgewicht vor. Die Wärmeverlustrleistung muss vom Innern des Bauelementes

über Wärmestrahlung, Wärmeleitung oder Wärmeströmung (Konvektion) an die Umgebung abgeführt werden.

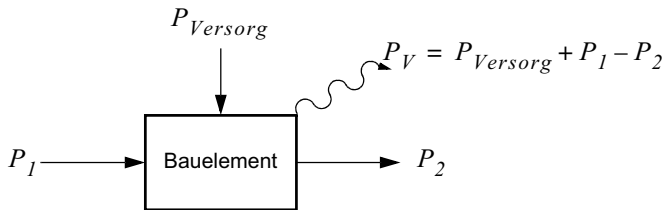


Bild 2.3-1: Zur Leistungsbilanz eines elektronischen Bauteils

Die aktive Zone im Innern des Halbleiterbauelementes (u.a. Transistor oder Chip) wird vereinfachend mit „Junction“ gekennzeichnet. Ihr wird die Temperatur T_j zugeordnet. Aus dem Datenblatt eines Bauelementes ist die maximal zulässige Temperatur T_{jmax} zu entnehmen, sie hängt ab vom Halbleiterbasismaterial. Bei Silicium liegt dieser Grenzwert bei ca. 150°C bis 170°C . Der Grenzwert ist auch von der verwendeten Technologie abhängig. Weiterhin ist im Datenblatt angegeben die maximal zulässige Gesamtverlustleistung P_{Vmax} , auch P_{tot} genannt. Sie ist abhängig von der Gehäusetemperatur des Bauelementes. Die zulässige Gesamtverlustleistung bei $T_G = T_N$ wird auch mit Nennbelastbarkeit oder Nennverlustleistung P_{VN} bezeichnet. Es entsteht ein Wärmestrom von der Wärmequelle („Junction“) im Innern des Halbleiters nach außen und damit auch ein Temperaturgefälle. Wenn die Gehäusetemperatur T_G größer als T_N ist, vermindert sich die im stationären Zustand dem Bauelement zuführbare maximale Verlustleistung P_{Vmax} (siehe Lastminderungskurve in Bild 2.3-2). Die vorgegebenen Grenzwerte dürfen im Betrieb nicht überschritten werden.

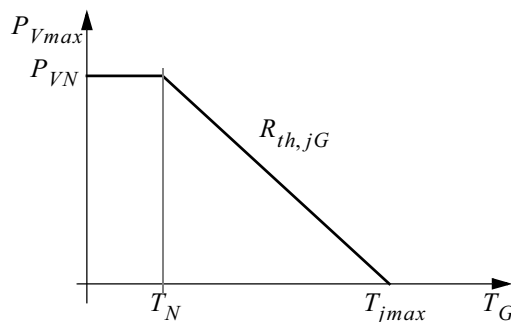


Bild 2.3-2: Lastminderungskurve mit maximal zulässiger Gesamtverlustleistung

Das eigentliche Halbleiterbauelement umgibt ein Gehäuse. Die zugeführte elektrische Leistung P_V wird im Bauelement in Wärmeleistung umgewandelt und im stationären Fall über das Gehäuse mit der Temperatur T_G an die Umgebung mit der

Temperatur T_U in einem gewissen Abstand vom Gehäuse abgeführt. Dabei spielt die Wärmeleitfähigkeit zwischen „Junction“ und Gehäuse, sowie zwischen Gehäuse und Umgebung eine entscheidende Rolle. Der Wärmewiderstand $R_{th,jG}$ ist gleich der Temperaturdifferenz zwischen der aktiven Zone T_j und dem Gehäuse T_G bezogen auf die abführbare Verlustleistung P_{Vmax} . Die abführbare zulässige Verlustleistung P_{Vmax} ergibt sich nach Bild 2.3-2 bei $T_G > T_N$ aus :

$$P_{Vmax} = P_{VN} \cdot \frac{T_{jmax} - T_G}{T_{jmax} - T_N}; \quad (2.3-1)$$

Die Wärmeabfuhr lässt sich durch einen eventuell vorhandenen Kühlkörper verbessern. Mit Kühlkörper erhält man einen geringeren Wärmewiderstand $R_{th,jU}$. Die Wärmeabstrahlung kann u.a. begünstigt werden durch eine schwarze Oberfläche. Zur Verbesserung der Konvektion ist eine Gebläse- oder Wasserkühlung vorteilhaft.

Thermische Ersatzschaltung im stationären Zustand: Im stationären Zustand ist die Verlustleistung P_V konstant. Beim Transistor ist die Verlustleistung im Arbeitspunkt näherungsweise

$$P_V = U_{CE}^{(A)} \cdot I_C^{(A)}; \quad (2.3-2)$$

durch das Produkt der Ausgangsspannung U_{CE} und dem Strom I_C im Arbeitspunkt gegeben. Der Wärmeübergangswiderstand $R_{th,JU}$ von der aktiven Zone des Halbleiterelementes zur Umgebung bestimmt bei gegebener Umgebungstemperatur T_U die Temperatur T_j im Innern des Halbleiters.

$$T_j = T_U + P_V \cdot R_{th,jU}; \quad (2.3-3)$$

Bei maximaler Umgebungstemperatur T_{Umax} und der gegebenen Gesamtverlustleistung muss gelten:

$$T_{jmax} > T_{Umax} + P_V \cdot R_{th,jU}; \quad (2.3-4)$$

damit der Grenzwert T_{jmax} nicht überschritten wird. Für den Wärmetransport gelten folgende Entsprechungen einer elektrischen Ersatzanordnung nach Bild 2.3-3:

Wärmetransport	Elektrische Ersatzanordnung
Verlustleistung P_V	Strom I
Temperatur T	Spannung U
Wärmewiderstand R_{th}	Widerstand R
Wärmekapazität C_{th}	Kapazität C

Daraus lässt sich eine thermische Ersatzanordnung für ein Bauelement angeben. Im stationären Zustand kann die Wärmekapazität entfallen.

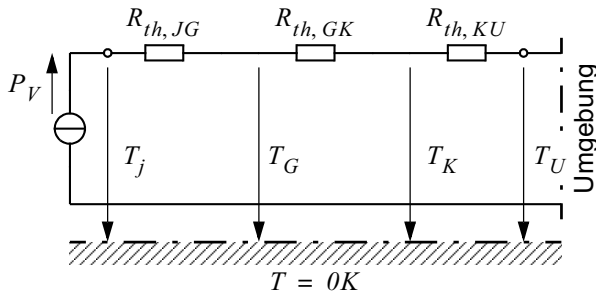


Bild 2.3-3: Thermische Ersatzschaltung für ein Bauelement im stationären Zustand

Der Wärmewiderstand R_{th} in K/W charakterisiert den Widerstand für die Wärmeabfuhr von einer Schnittstelle zu einer anderen. Bei gegebener Verlustleistung ergibt sich aus dem Wärmewiderstand das Temperaturgefälle. Das Temperaturgefälle $T_j - T_G$ von der aktiven Zone („Junction“) zur Gehäuseoberfläche bestimmt sich damit aus:

$$P_V = \frac{T_j - T_G}{R_{th,JG}}; \quad (2.3-5)$$

Der Wärmeübergangswiderstand $R_{th,JG}$ ist aus dem Datenblatt zu entnehmen. Nimmt die Gehäuseoberfläche nicht die Umgebungstemperatur an, so ist zusätzlich ein Wärmewiderstand $R_{th,GU}$ zu berücksichtigen. Der Wärmewiderstand $R_{th,jU}$ ist die Summe aus den beiden genannten Wärmeübergangswiderständen.

$$R_{th,jU} = R_{th,JG} + R_{th,GU}; \quad (2.3-6)$$

Für ein Bauelement ohne Kühlkörper findet man den Wärmewiderstand $R_{th,jU}$ ebenfalls im Datenblatt. Mit Kühlkörper wird der Gesamtwärmewiderstand

$$R_{th,jU} = R_{th,JG} + R_{th,GK} + R_{th,KU}; \quad (2.3-7)$$

Der Wärmeübergangswiderstand $R_{th,GK}$ liegt typisch im Bereich 0 bis $2K/W$. Er hängt ab von der Oberflächenbeschaffenheit zwischen Gehäuse und Kühlkörper. Mittels einer Wärmeleitpaste kann $R_{th,GK}$ klein gehalten werden. Die Wärmeableitung eines Kühlkörpers wird bestimmt von der Kühloberfläche A_K und einem von der Beschaffenheit eines Kühlkörpers abhängigen Konvektionskoeffizienten α_K . Es gilt

$$R_{th,KU} = 1/(\alpha_K \cdot A_K); \quad (2.3-8)$$

Der Konvektionskoeffizient α_K beträgt bei ruhender Luft ca. 10 bis $20W/(m^2K)$.

Verlustleistung im Pulsbetrieb: Aufgrund der gegebenen Wärmekapazität eines Körpers kann die Verlustleistung im Pulsbetrieb größer sein, als die maximale statische Gesamtverlustleistung. Die Wärmekapazität wirkt wie ein Kondensator in der elektrischen Ersatzanordnung. Ähnlich wie der Kondensator keine schnellen Spannungsänderungen zulässt, verhindert die Wärmekapazität schnelle Tempera-

turänderungen. Somit wirkt die Wärmekapazität integrierend. Die thermische Ersatzanordnung ist also um die Wärmekapazitäten zu ergänzen.

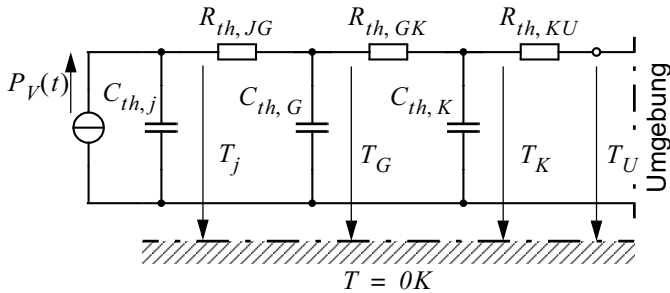


Bild 2.3-4: Thermische Ersatzanordnung eines Bauelementes mit Berücksichtigung der Wärmekapazitäten

Wird in einem Bauelement bei Impulsbetrieb nur kurzzeitig Verlustleistung umgesetzt, so ist im allgemeinen eine höhere Leistung verträglich. Dies ist um so mehr der Fall, je kürzer das Zeitintervall ist, in dem Leistung umgesetzt wird. Bei Leistungshalbleitern findet man ein Diagramm über den dynamischen Wärmewiderstand $r_{th,jG}$ bzw. $r_{th,jU}$ im Datenblatt. Die Angaben hängen ab von der Impulsdauer t_p und von dem auf die Periodendauer T bezogenen Tastverhältnis $v = t_p/T$. Ein Beispiel zeigt das nachstehende Bild 2.3-5.

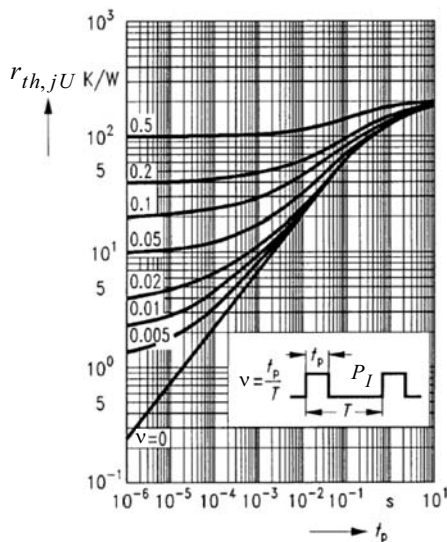


Bild 2.3-5: Beispiel eines Wärmewiderstands im Pulsbetrieb

Die mittlere Verlustleistung ist bei gegebener Pulsleistung P_I :

$$\bar{P}_V = v \cdot P_I; \quad (2.3-9)$$

Bei Pulsbetrieb gilt ähnlich wie in Gl. (2.3-4)

$$T_{jmax} > T_{Umax} + P_I \cdot r_{th,jU}; \quad (2.3-10)$$

Häufig findet man im Datenblatt eines Halbleiterbauelements ein Diagramm über den Wärmewiderstand $R_{th,jG}$ bzw. $r_{th,jG}$. Weiterhin ist oft der Pulsleistung P_I eine Gleichstromverlustleistung $P_V^{(DC)}$ überlagert. In diesem Fall bestimmt sich die Grenzbedingung für die Temperatur in der aktiven Zone des Bauelements gemäß der nachstehenden Beziehung:

$$T_{jmax} > T_{Umax} + (P_V^{(DC)} + v \cdot P_I) \cdot R_{th,GU} + P_V^{(DC)} \cdot R_{th,jG} + P_I \cdot r_{th,jG}; \quad (2.3-11)$$

Die Wärmeverteilung im Kristall des Halbleiterbauelements ist bei Belastung nicht gleichmäßig, sondern hängt ab vom Strom und der angelegten Spannung. Bei größeren Spannungen verändert sich mit steigendem Temperaturgradienten im Kristall der am Stromfluss beteiligte Querschnitt im Halbleiter, so dass es zu einer vom Arbeitspunkt bzw. zu einer spannungsabhängigen Zunahme des Wärmewiderstandes $R_{th,jG}$ bzw. $r_{th,jG}$ kommt. Dieser Effekt führt auch zu einer Abnahme der maximal zulässigen Gesamtverlustleistung P_{Vmax} . Mittels eines Korrekturfaktors K_U kann dieser Einfluss berücksichtigt werden.

$$R_{th,jG}^{(U)} = K_U \cdot R_{th,jG}; \quad \text{bzw.} \quad r_{th,jG}^{(U)} = K_U \cdot r_{th,jG}; \quad (2.3-12)$$

Ohne Berücksichtigung dieser Stromeinschnürung ist $K_U = 1$, wie in Gl. (2.3-11) angenommen.

3 Grundlegende Funktionsprimitive

Im Folgenden werden beispielhaft einige wichtige passive Anwendungsschaltungen als Funktionsprimitive vorgestellt. Die Kenntnis der Funktionsprimitive und deren Eigenschaften in einer komplexen Anwendungsschaltung fördert das Verständnis um den Einsatz dieser Anwendungsschaltung ohne analytischen Aufwand. Es werden geeignete Funktionsprimitive bei der Schaltungsentwicklung ausgewählt, um bestimmte Eigenschaften auszunutzen.

3.1 Passive Funktionsgrundschaltungen

3.1.1 Passiver Integrator und Differenziator

In manchen Anwendungen sind steile Schaltflanken unerwünscht. Ein Integrator vermindert die Flankensteilheit eines Eingangssignals. Soll im Gegensatz dazu die Schaltflanke hervorgehoben werden, so ist ein Differenziator zu verwenden.

Kapazitiv belasteter Spannungsteiler als Integrator: Ein kapazitiv belasteter Spannungsteiler wirkt in einem bestimmten Frequenzbereich als Integrator. Bei Ansteuerung mit einem rechteckförmigen Eingangssignal ist im zeitlichen Momentanwert des Schaltvorgangs des Eingangssignals der Kondensator ein Kurzschluss. „Integratoren“ glätten Signale. Enthält ein Signal ausgeprägte Spannungsspitzen, so wird über diese Spannungsspitzen „hinwegintegriert“. Bild 3.1-1 zeigt ein praktisches Beispiel der Ansteuerung eines Verstärkers mit kapazitiver Last im Eingangskreis. Das Ergebnis des folgenden Experiments ist in Bild 3.1-2 dargestellt.

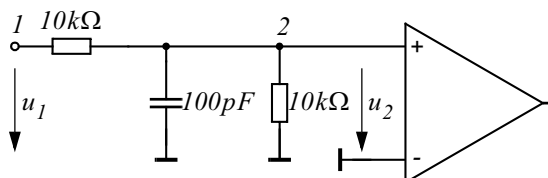


Bild 3.1-1: Spannungsteiler mit kapazitiver Last

Experiment 3.1-1: Spannungsteiler mit kapazitiver Last – TR-Analyse eines Spannungsteilers mit kapazitiver Last.

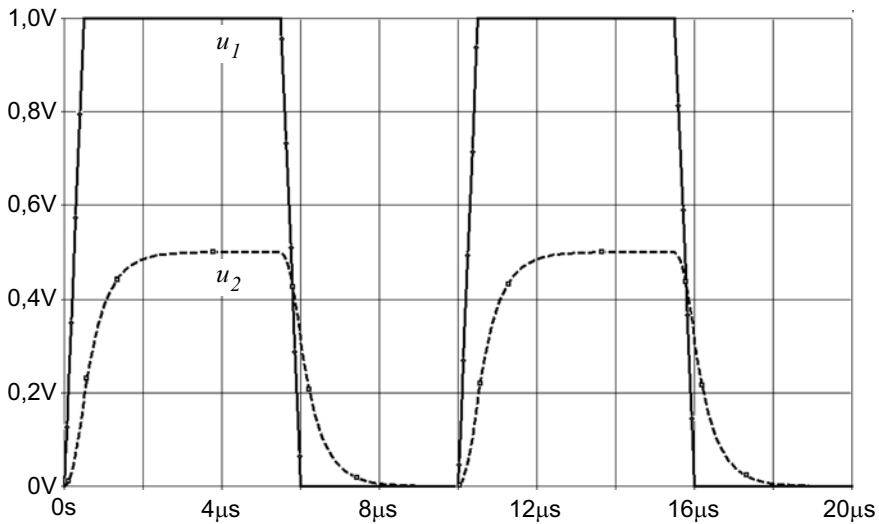


Bild 3.1-2: Kapazitiv belasteter Spannungsteiler als „Integrator“

Spannungsteiler mit differenzierender Wirkung: Ein Spannungsteiler mit Parallelkapazität am Vorwiderstand wirkt als Differenziator. Bei Ansteuerung mit einem rechteckförmigen Eingangssignal ist im zeitlichen Momentanwert des Schaltvorgangs des Eingangssignals der Kondensator ein Kurzschluss. Das Eingangssignal ist dann voll am Ausgang wirksam. Im Beispiel lädt sich der Kondensator auf den halben Wert der Amplitude des Eingangssignals auf. Ist der Vorwiderstand sehr hochohmig, so erhält man einen Flankendetektor. Das Ergebnis des Experiments nach Bild 3.1-3 ist in Bild 3.1-4 dargestellt. Es zeigt deutlich die differenzierende Wirkung.

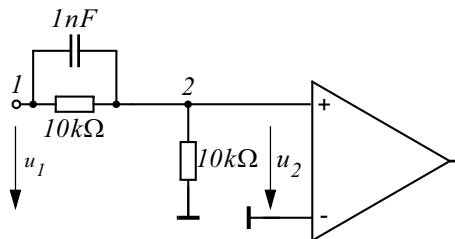


Bild 3.1-3: Spannungsteiler mit differenzierender Wirkung

Experiment 3.1-2: Differenzierglied – TR-Analyse eines Spannungsteilers mit differenzierender Wirkung.

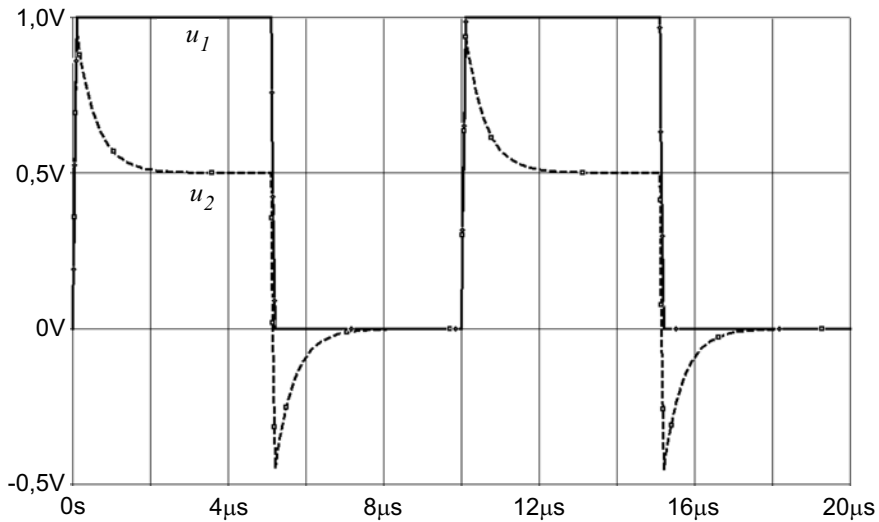


Bild 3.1-4: Ergebnis der TR-Analyse eines Spannungsteilers mit differenzierender Wirkung

3.1.2 Kapazitiver Spannungsteiler

Vorgestellt werden die Eigenschaften eines kapazitiven Spannungsteilers (Bild 3.1-5), insbesondere seine Wirkung u.a. als Impedanztransformator. Ein kapazitiver Spannungsteiler schwächt das Nutzsignal von Knoten 1 nach Knoten 2 ab. Ist Knoten 2 durch R_2 hochohmig genug belastet, so wird der Lastwiderstand im quadratischen Verhältnis der Kapazitätswerte zum Knoten 1 „hochtransformiert“. Seine Funktion ist die Impedanztransformation.

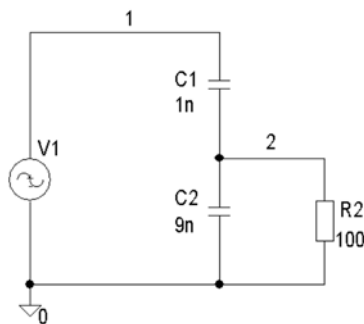


Bild 3.1-5: Kapazitiver Spannungsteiler

Für die Eingangsimpedanz gilt unter der Voraussetzung, dass $R_2 \gg 1/(\omega C_2)$ ist:

$$Z_{11'} = \left(\frac{C_1 + C_2}{C_1} \right)^2 R_2 \parallel \frac{C_1 + C_2}{j\omega C_1 C_2}; \quad (3.1-1)$$

Der ohmsche Anteil der Eingangsimpedanz beträgt damit:

$$\left(\frac{C_1 + C_2}{C_1}\right)^2 R_2; \quad (3.1-2)$$

Der Widerstand R_2 wird also im quadratischen Verhältnis der Kapazitätswerte „hochtransformiert“. Eine Herleitung der Eigenschaften ist in Form einer Übungsaufgabe in Übung 2 enthalten. Das folgende Experiment mit dem Ergebnis in Bild 3.1-6 bestätigt diese Aussage, wenn $R_2 \gg 1/(\omega C_2)$ ist.

Experiment 3.1-3: Kap_Transformation

Zusammenfassung: Der kapazitive Spannungsteiler wird oft verwendet, um eine niederohmige Impedanz hoch zu transformieren, so dass die niederohmige Impedanz einen Anschluss-Schaltkreis weniger belastet. Die Transformation erfolgt im quadratischen Verhältnis der Kapazitätswerte. Bei einem Kapazitätsverhältnis von 1:9 (siehe Bild 3.1-5) wird ein Lastwiderstand um den Faktor 100 „hochtransformiert“.

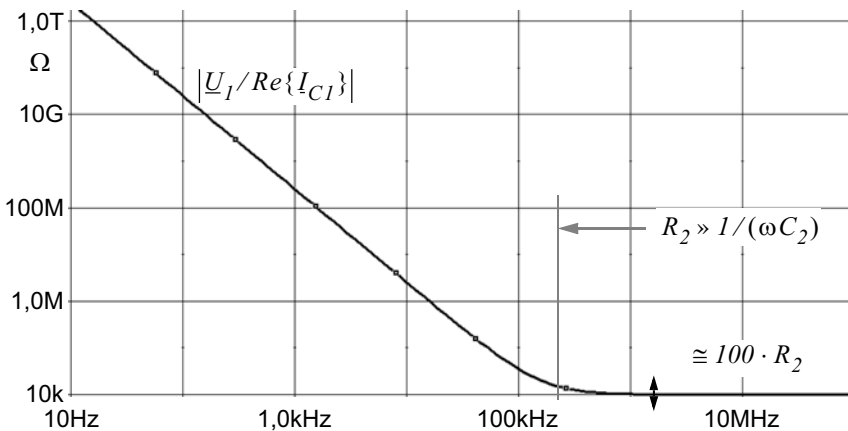


Bild 3.1-6: Ergebnis der Testbench; Kapazitiver Spannungsteiler

3.1.3 Frequenzkompensierter Spannungsteiler

Frequenzkompensierte Spannungsteiler finden u.a. in Tastköpfen von Messsystemen Anwendung. Bei richtiger Abstimmung des kapazitiven Teilverhältnisses mit dem Widerstandsverhältnis erhält man einen breitbandigen Teiler.

Ein Oszilloskop habe eine Eingangsimpedanz gebildet durch die Parallelschaltung aus typischer Weise $1M\Omega$ und einer Kapazität von ca. $20pF$. Im Beispiel (Bild 3.1-7) ist ein Koaxialkabel mit einer Länge von $1m$ angeschlossen. Das Koaxialkabel möge einen Kapazitätsbelag von $80pF/m$ aufweisen. Es stellt sich die Frage, wie muss der frequenzkompensierte Teiler dimensioniert werden, so dass sich frequenzunabhängig ein Teilverhältnis von 1:10 ergibt. Dazu verwendet man einen geeignet ausgelegten Tastkopf.

Die nachstehende Schaltung zeigt das Grundprinzip. Dabei muss das ohmsche Teilverhältnis dem umgekehrt proportionalen kapazitiven Teilverhältnis entsprechen.

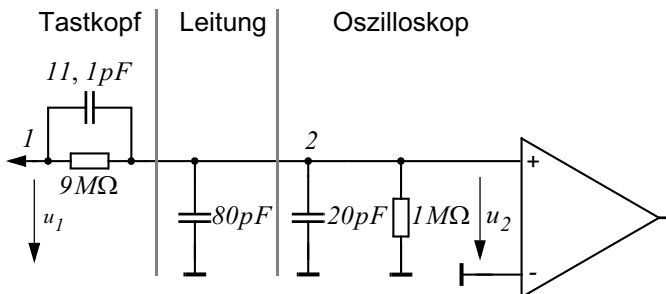


Bild 3.1-7: Frequenzkompensierter Spannungsteiler gebildet mit einem Tastkopf

Die Testbench zur dargestellten Aufgabenstellung zeigt Bild 3.1-8. Bei geeigneter Dimensionierung ist auch bei gegebener Kapazität $C2 = 100\text{pF}$ (z.B. Eingangskapazität eines Messsystems u.a. beispielsweise beim Oszilloskop gegeben plus Leitungskapazität) die Spannungsteilung von Knoten 1 zu Knoten 2 frequenzunabhängig.

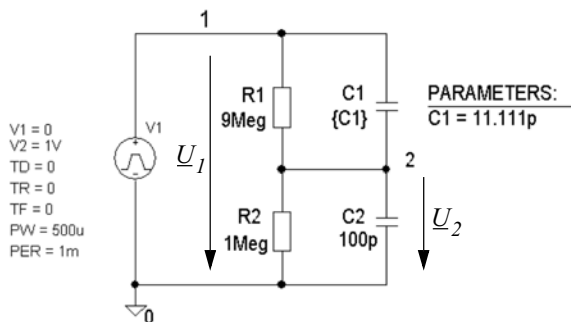


Bild 3.1-8: Testbench für einen frequenzkompensierten Spannungsteiler

Unter nachstehender Bedingung ergibt sich ein frequenzunabhängiges Teilverhältnis.

$$R_1 \cdot C_1 = R_2 \cdot C_2; \quad (3.1-3)$$

Experiment 3.1-4: Kap-FrequKompTeiler – AC-Analyse und TR-Analyse

Deutlich zeigt sich im Ergebnis des Experiments in Bild 3.1-9 (AC-Analyse) und Bild 3.1-10 (TR-Analyse), dass bei geeignet gewählter Kompensationskapazität eine frequenzunabhängige Spannungsteilung erfolgt.

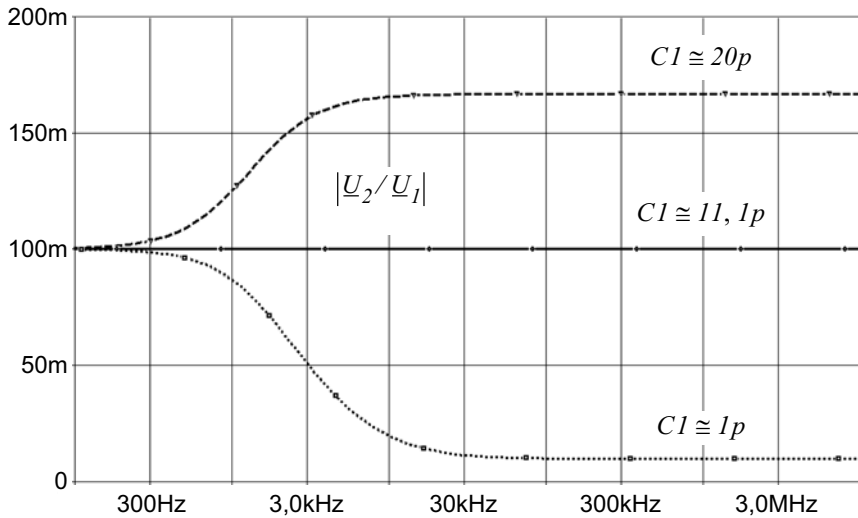


Bild 3.1-9: Ergebnis der AC-Analyse; Frequenzkompensierter kapazitiver Spannungsteiler

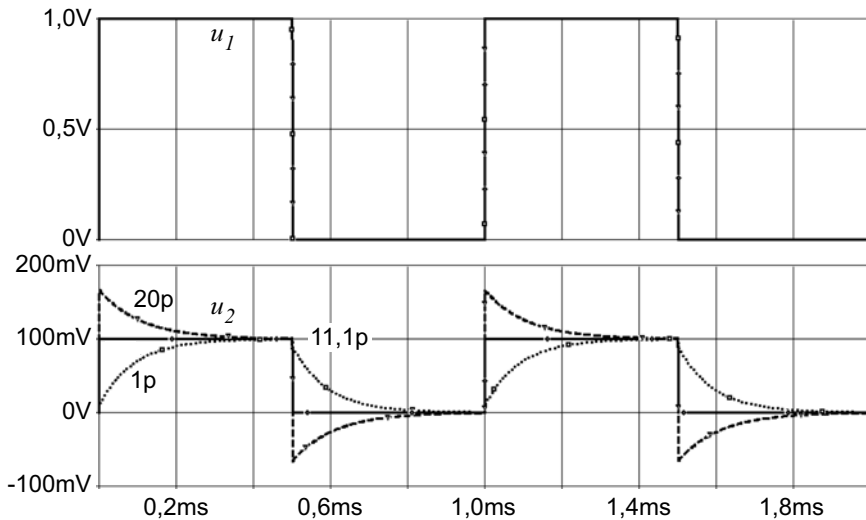


Bild 3.1-10: Ergebnis der TR-Analyse; Frequenzkompensierter kapazitiver Spannungsteiler

Zusammenfassung: Frequenzkompensierte Spannungsteiler finden u.a. Anwendung in Tastköpfen von Messsystemen. Bei gegebener Eingangskapazität des Messsystems kann mittels des frequenzkompensierten Teilers ein breitbandig frequenzunabhängiges Teilerverhältnis erreicht werden.

3.1.4 Übertrager

Übertrager sind gekoppelte Induktivitäten, gekoppelt über einen gemeinsamen magnetischen Kreis. Zumeist werden die Induktivitäten auf einem gemeinsamen Kernmaterial aufgebracht. Das Kernmaterial weist frequenzabhängige und aussteuerungsabhängige Eigenschaften auf, die im Folgenden nicht berücksichtigt sind (linearer Übertrager). Speziell in der Leistungselektronik werden in bestimmten Problemstellungen Übertrager vorteilhaft eingesetzt.

Ein Übertrager besteht aus zwei oder mehreren gekoppelten Induktivitäten. Prinzipiell lassen sich auf einem Kernmaterial mehrere Wicklungen für Induktivitäten aufbringen. Es gelten folgende Beziehungen:

$$u_1 = L_1 \cdot \frac{di_1}{dt} + M \cdot \frac{di_2}{dt}; \quad M = k\sqrt{(L_1 \cdot L_2)}; \quad (3.1-4)$$

$$u_2 = M \cdot \frac{di_1}{dt} + L_2 \cdot \frac{di_2}{dt};$$

Dabei sind L_1 und L_2 die verkoppelten Induktivitäten, M ist die gemeinsame Gegeninduktivität und k ist der Koppelfaktor; idealerweise ist $k = 1$. Ist ein Kernmaterial gegeben, so erhält man den Induktivitätswert aus dem AL-Faktor (Induktivität pro Windungsquadrat) des Kernmaterials, es gilt $L = N^2 \cdot AL$. Im allgemeinen ist der AL-Wert eines Kernmaterials frequenzabhängig und aussteuerungsabhängig.

Im Leerlauf ist $i_2 = 0$, damit ergibt sich das Übersetzungsverhältnis bei Leerlauf:

$$u_2 = k\sqrt{\frac{L_2}{L_1}} \cdot u_1; \quad \frac{u_2}{u_1} = k\sqrt{\frac{L_2}{L_1}}; \quad (3.1-5)$$

Im Kurzschlussfall erhält man das Übersetzungsverhältnis der Ströme mit:

$$|i_2| = k\sqrt{\frac{L_1}{L_2}} \cdot i_1; \quad \left| \frac{i_2}{i_1} \right| = k\sqrt{\frac{L_1}{L_2}}; \quad (3.1-6)$$

Im verlustlosen Fall muss die eingespeiste Leistung gleich der abgegebenen Leistung sein. In dem Maße wie sich die Spannung erhöht, verringert sich der Strom am Ausgang. Zu beachten ist der Wicklungssinn. Bei „Spiegelung“ einer Induktivität im Schaltplan erhält man eine Phasendrehung um 180° .

Experiment 3.1-5: Uebertrager1 – AC-Analyse eines idealen Übertragers.

Im Beispiel des Experiments in Bild 3.1-11 weist der Übertrager ein Übersetzungsverhältnis $\ddot{u} = 5$ auf. Bei genügend hohen Frequenzen (im Beispiel oberhalb ca. 1MHz) transformiert sich der Ausgangswiderstand mit $1/\ddot{u}^2$ auf den Eingang. Damit ergibt sich im Beispiel ein vom Ausgang auf den Eingang transformierter Widerstand von $1k\Omega/25 = 40\Omega$. Beim Übertrager werden nicht nur die Spannungen und Ströme transformiert, sondern auch die Schnittstellenimpedanzen. Das Ergebnis in Bild 3.1-12 bestätigt diese Aussage.

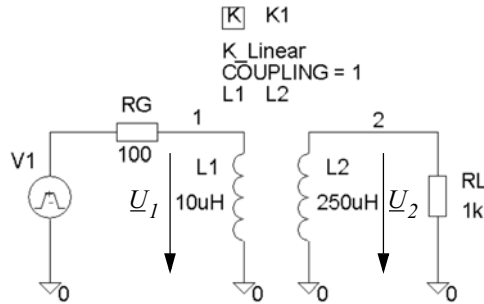


Bild 3.1-11: Testanordnung eines idealen Übertragers

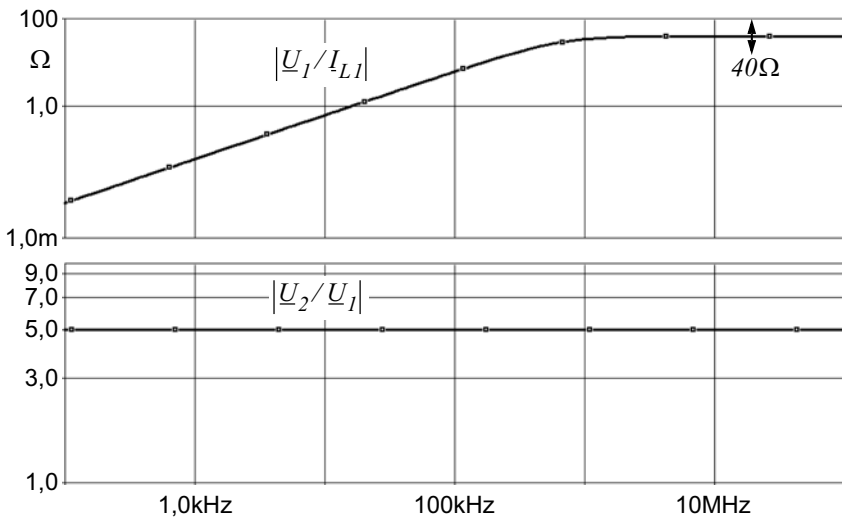


Bild 3.1-12: Ergebnis der AC-Analyse der Testanordnung des Übertragers

3.1.5 RC-Resonator

Resonatoren werden u.a. in Filterschaltungen und in frequenzbestimmenden Selektionskreisen benötigt. Ein RC-Resonator weist Resonanzverhalten minderer Güte auf. RC-Resonatoren finden Anwendung u.a. in RC-Oszillatorschaltungen. Sie wirken wie ein LC-Resonanzkreis, allerdings mit deutlich schlechterer Güte; bzw. deutlich geringerer Phasensteilheit in der Umgebung der Resonanzfrequenz. Bild 3.1-13 zeigt beispielhaft einen RC-Resonator, der im nachfolgenden Experiment untersucht wird. Das Ergebnis ist in Bild 3.1-14 dargestellt.

Gegeben sei folgende Testanordnung für einen RC-Resonator:

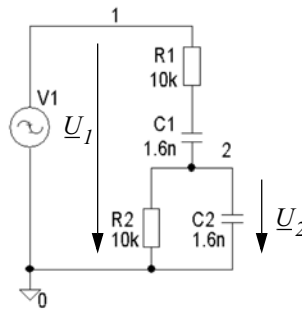


Bild 3.1-13: Beispiel für einen RC-Resonator

Unter der Bedingung $R_1 = R_2 = R$ und $C_1 = C_2 = C$ ist die Resonanzfrequenz:

$$f_0 = \frac{1}{2\pi RC}; \quad (3.1-7)$$

Bei der Resonanzfrequenz beträgt die Phasendrehung zwischen dem Ausgangssignal an Knoten 2 und dem Eingangssignal an Knoten 1 Null Grad; Ausgang und Eingang sind in Phase.

Experiment 3.1-6: RC-Resonator

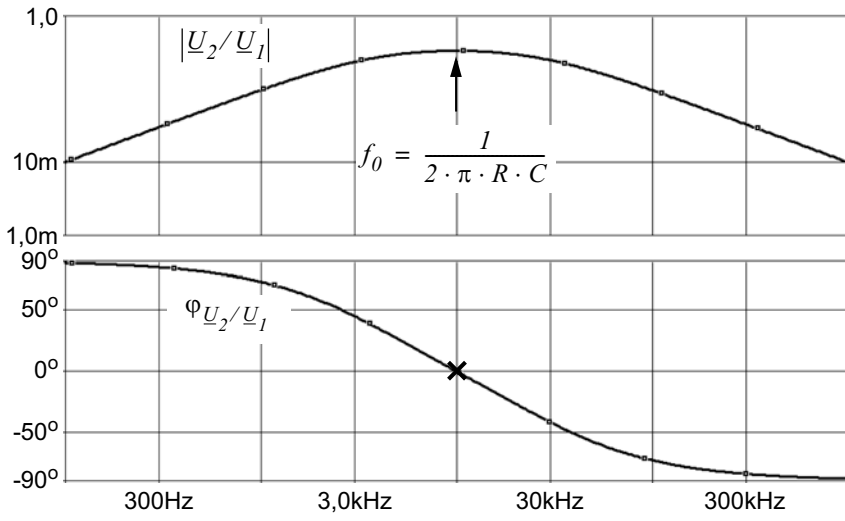


Bild 3.1-14: Ergebnis der Testbench; RC-Resonator

3.1.6 LC-Resonatoren

LC-Resonatoren werden für Selektionskreise (u.a. Filterschaltungen, Resonanzverstärker) oder auch u.a. in Oszillatorschaltungen (LC-Oszillatoren) benötigt. Je nach Dimensionierung weisen sie mittlere Güte (bis ca. 100) auf.

Parallelresonanzkreis mit Bandpasscharakteristik: Gegenüber RC-Resonatoren kann in frequenzbestimmenden Selektionskreisen mit LC-Resonatoren eine wesentlich höhere Güte und damit eine wesentlich bessere Selektivität bzw. eine deutlich höhere Phasensteilheit in der Umgebung der Resonanzfrequenz erzielt werden. Bild 3.1-15 zeigt eine Testanordnung für einen Parallelresonanzkreis.

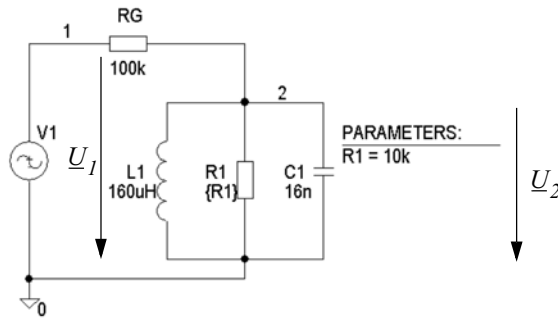


Bild 3.1-15: Testbench für den LC-Resonator

Der Parallelresonanzkreis muss mit einer Stromquelle gespeist werden. Eine Stromquellenspeisung liegt vor, wenn der Generatorwiderstand R_G hochohmig ist im Vergleich zum größtmöglichen Impedanzwert des Parallelresonanzkreises. Der größtmögliche Impedanzwert des Parallelresonanzkreises beträgt im Beispiel R_1 . Die Resonanzfrequenz ist:

$$f_0 = \frac{1}{2\pi\sqrt{L_1 C_1}}; \quad (3.1-8)$$

Der Kennwiderstand Z_k des Parallelresonanzkreises ist gleich dem Blindwiderstand bei der Resonanzfrequenz:

$$Z_k = \sqrt{\frac{L_1}{C_1}}; \quad (3.1-9)$$

Die Güte Q des Parallelresonanzkreises bestimmt sich mit:

$$Q = \frac{R_1}{Z_k}; \quad (3.1-10)$$

Die Güte ist um so größer, je niederohmiger der Kennwiderstand ist im Vergleich Resonanzwirkwiderstand R_1 .

Bei der Resonanzfrequenz beträgt die Phasendrehung zwischen dem Ausgangssignal an Knoten 2 und dem Eingangssignal an Knoten 1 Null Grad; Ausgang und Eingang sind in Phase. Die Phasensteilheit um die Resonanzfrequenz ist um so höher, je größer die Güte ist. Das Ergebnis des Experiments zeigt Bild 3.1-16.

Experiment 3.1-7: LC-Resonator – Parametrische AC-Analyse für verschiedene Werte R1.

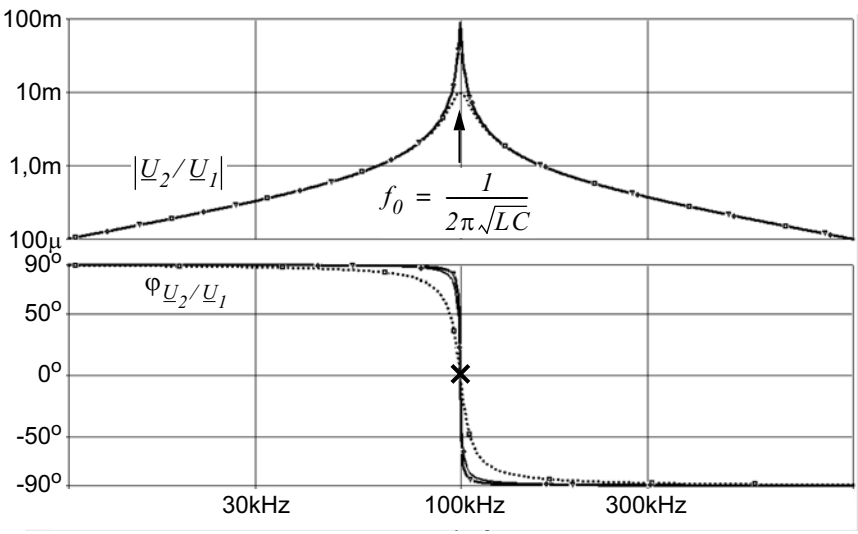


Bild 3.1-16: Ergebnis der Testbench; LC-Resonator bei $R1 = 1k, 5k$ und $10k$

LC-Resonatoren werden verwendet u.a. in Selektionskreisen und LC-Oszillator-schaltungen. Die Eigenschaften des LC-Resonators werden charakterisiert durch die Resonanzfrequenz, den Kennwiderstand und die Güte. Das Produkt aus L und C bestimmt mit $1/(\sqrt{LC})$ die Resonanzkreisfrequenz, der Quotient aus L und C mit $\sqrt{L/C}$ den Kennwiderstand bzw. die Güte und damit die Phasensteilheit in der Umgebung der Resonanzfrequenz.

Kapazitiv gekoppelte Resonanzkreise: Durch geeignete Verkopplung zweier Resonanzkreise kann man den Durchlassbereich verbreitern. Dies ist interessant, wenn der Selektionskreis eine bestimmte Bandbreite aufweisen soll (Bild 3.1-17).

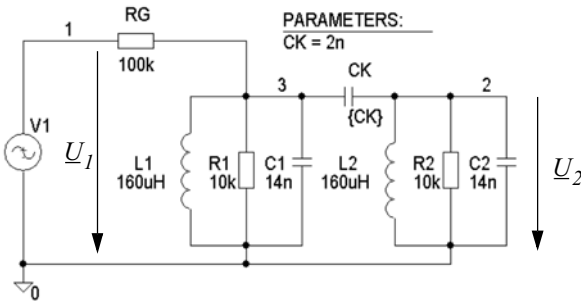


Bild 3.1-17: Kapazitiv gekoppelte Parallelresonanzkreise

Experiment 3.1-8: LC-Resonator_KapGek – Parametrische AC-Analyse für verschiedene Werte der Koppelkapazität CK .

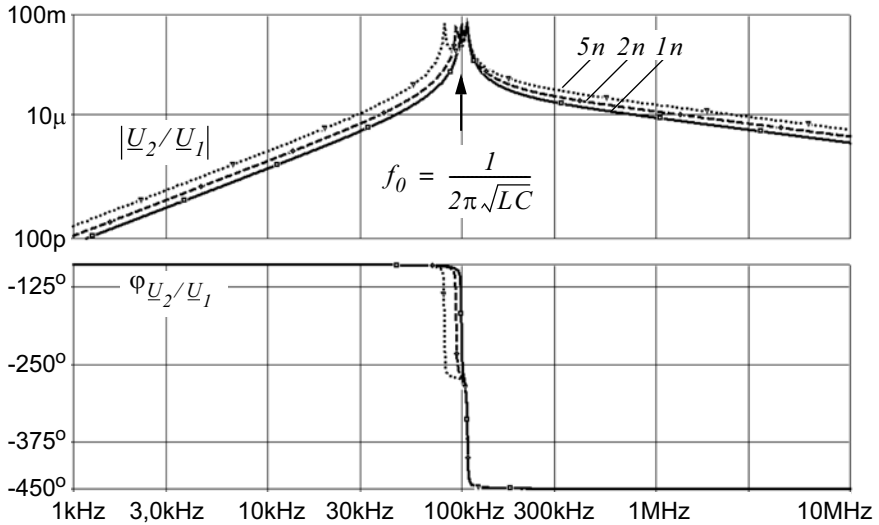


Bild 3.1-18: Kapazitiv gekoppelte LC-Resonatoren bei $CK = 1n, 2n$ und $5n$

Deutlich zeigt sich im Ergebnis des Experiments in Bild 3.1-18 eine höhere Bandbreite des Selektionskreises bei den kapazitiv gekoppelten Resonanzkreisen.

Induktiv gekoppelte Resonanzkreise: Ein ähnlicher Effekt wie bei kapazitiver Kopplung von Resonanzkreisen kann durch induktive Verkopplung (Bild 3.1-19) erzielt werden. Das experimentelle Ergebnis ist in Bild 3.1-20 dargestellt.

Experiment 3.1-9: LC-Resonator_IndGek – AC-Analyse bei schwacher Kopplung der Induktivitäten $L1$ und $L2$ der Resonanzkreise.

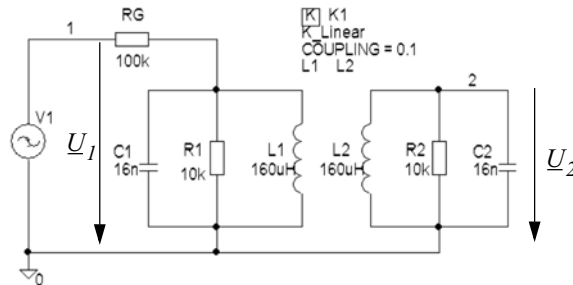


Bild 3.1-19: Induktiv gekoppelte Parallelresonanzkreise

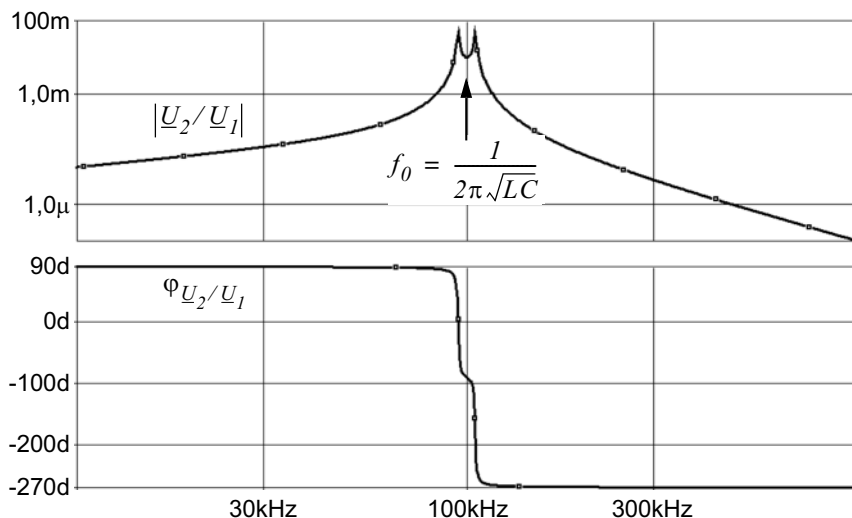


Bild 3.1-20: Ergebnis der Testbench; Induktiv gekoppelte LC-Resonatoren

Ankopplung eines niederohmigen Verbrauchers an einen Resonanzkreis:

Der LC-Resonanzkreis ist bei der Resonanzfrequenz sehr hochohmig. Soll ein niederohmiger Verbraucher angekoppelt werden, so würde die belastete Güte wesentlich niedriger als die Leerlaufgüte sein. Der niederohmige Widerstand muss geeignet auf einen höheren Wert transformiert werden. Dazu kann u.a. der kapazitive Spannungsteiler verwendet werden. Bild 3.1-21 zeigt eine Testanordnung mit einem niederohmigen Lastkreis von 100Ω . Durch die Transformation des niederohmigen Lastkreises auf eine hochohmigere Impedanz parallel zum Resonanzkreis erhält man eine höhere Güte auch bei Ankopplung des niederohmigen Lastkreises. Das Ergebnis der Testanordnung zeigt Bild 3.1-21.

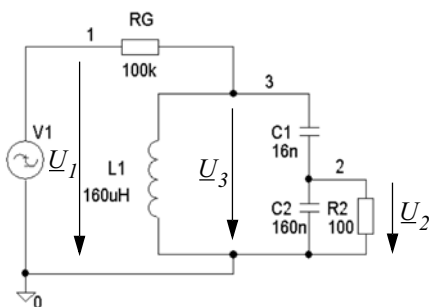


Bild 3.1-21: LC-Resonanzkreis mit kapazitivem Teiler zur Impedanztransformation

Experiment 3.1-10: LC-Resonator_KapTeiler – kapazitive Ankopplung eines niederohmigen Verbrauchers.

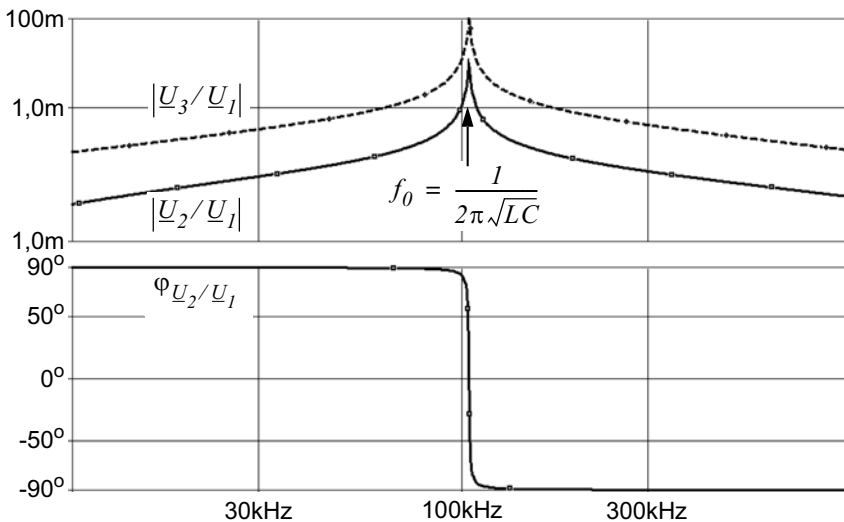


Bild 3.1-22: Ergebnis der Testbench; LC-Resonator mit kapazitivem Spannungsteiler

Trotz der niederohmigen Last von 100Ω weist der LC-Resonator dieselbe Güte auf, wie der LC-Resonator mit einem Resonanzwiderstand von $10k\Omega$. Allerdings wird das Nutzsignal entsprechend des Kapazitätsverhältnisses von Knoten 3 nach Knoten 2 abgeschwächt, im Beispiel etwa um den Faktor 10.

Serienresonanzkreis mit Bandstopppcharakteristik: Das Beispiel in Bild 3.1-23 zeigt einen Serienschwingkreis mit Vorwiderstand. Die Anordnung weist eine Bandstopppcharakteristik auf. Je hochohmiger der Vorwiderstand ist, desto größer ist die Güte bzw. desto schärfer ist die Selektivität. Bleibt der Vorwiderstand konstant, so kann man die Güte mit dem Kennwiderstand des Parallelresonanzkreises beeinflussen.

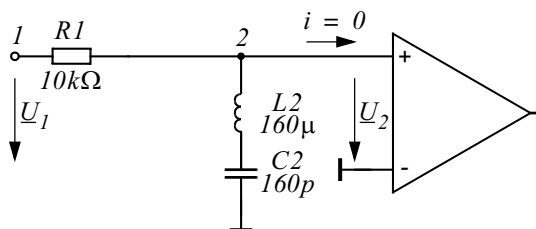


Bild 3.1-23: Spannungsteiler mit Bandstopppcharakteristik dimensioniert für 1MHz

Es gelten folgende Beziehungen für die Dimensionierung des Serienresonanzkreises:

$$f_0 = \frac{1}{2\pi\sqrt{LC}}; \quad Z_k = \sqrt{L/C}; \quad Q = \frac{Z_k}{R}; \quad (3.1-11)$$

Dabei ist f_0 die Resonanzfrequenz, Z_k der Kennwiderstand und Q die Güte des Resonanzkreises; im Beispiel ist $R = R1$, $L = L2$ und $C = C2$. Das Ergebnis des folgenden Experiments mit unterschiedlichem Kennwiderstand ist in Bild 3.1-24 dargestellt.

Experiment 3.1-11: Serienresonator-Bandstopppcharaktik – AC-Analyse eines Spannungsteilers mit Bandstopppcharakteristik.

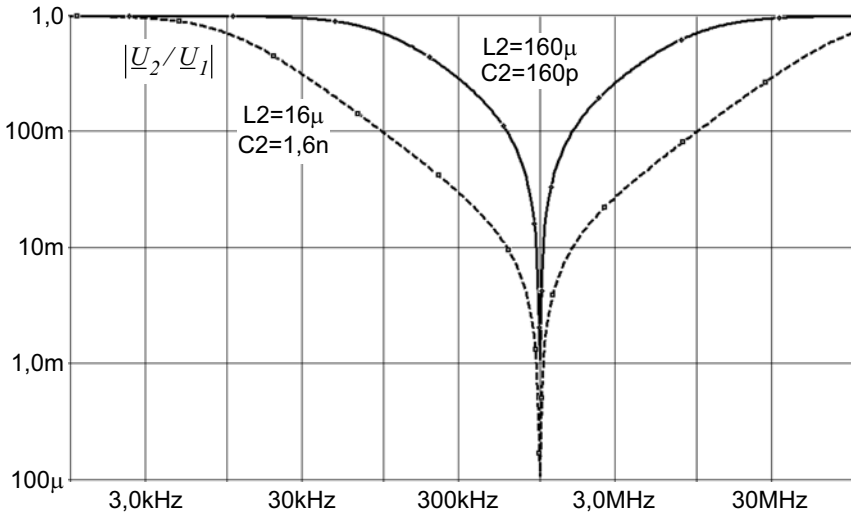


Bild 3.1-24: Ergebnis der AC-Analyse eines Spannungsteilers mit Bandstopppcharakteristik

Frequenzdiskriminator: Ein Parallelresonanzkreis ändert die Phase in der Umgebung der Resonanzfrequenz. Eine Frequenzabweichung von der Resonanzfrequenz entspricht einer Phasenänderung. Mit einem einfachen Amplitudendetektor lässt sich aber nur die Amplitude detektieren und nicht die Phasenänderung. Es ist eine Schaltung gesucht, die entsprechend der Abweichung von der Resonanzfrequenz sehr sensitiv die Amplitude ändert. Die Schaltung nach Bild 3.1-25 löst das Problem.

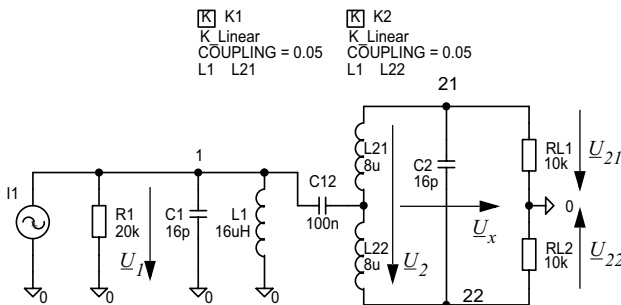


Bild 3.1-25: Resonanztransformator zur Phasendetektion

Zwei schwach gekoppelte Resonanzkreise sind über $C12$ verbunden. Für die Betriebsfrequenz wirkt $C12$ als Kurzschluss. Demzufolge liegt am inneren Knoten an der Verbindung der beiden Induktivitäten $L21$ und $L22$ in etwa die Spannung $\underline{U}_x = \underline{U}_1$ an. Mit einem geeigneten Amplitudendetektor kann

$$\underline{U}_1 + \underline{U}_2/2; \quad \underline{U}_1 - \underline{U}_2/2; \quad (3.1-12)$$

detektiert werden. Bei geeignet schwacher Kopplung ist die Spannung $\underline{U}_2$ bei der Resonanzfrequenz um 90° gegenüber $\underline{U}_x = \underline{U}_1$ phasenverschoben. Die Auswertespannung

$$abs(\underline{U}_1 + \underline{U}_2/2) - abs(\underline{U}_1 - \underline{U}_2/2); \quad (3.1-13)$$

ist amplitudensensitiv für Frequenzabweichungen von der Resonanzfrequenz. Allerdings ist die Funktion auf einen relativ kleinen Frequenzbereich um die Resonanzfrequenz beschränkt. In Bild 3.1-26 ist das Ergebnis des Experiments dargestellt.

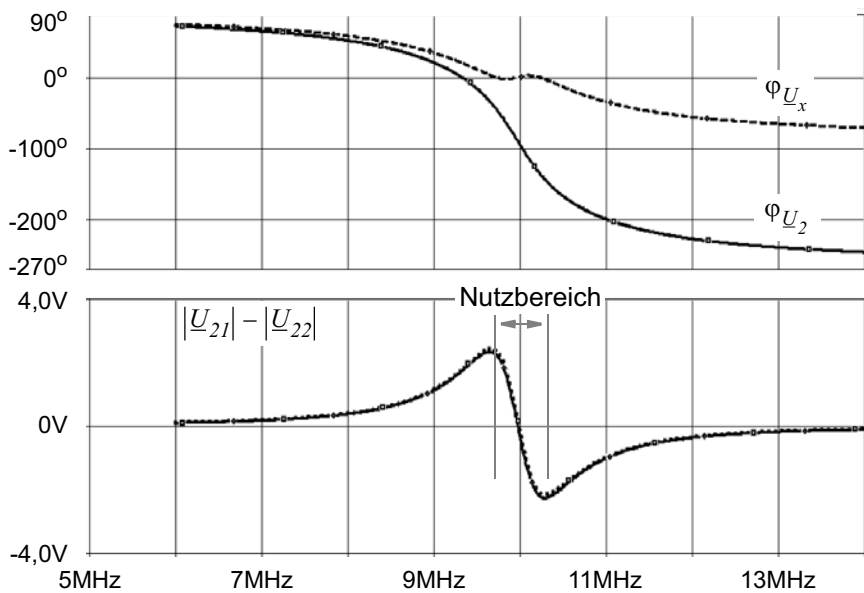


Bild 3.1-26: Ergebnis der AC-Analyse des Resonanzkreises zur Amplitudendetektion von Frequenzabweichungen von der Resonanzfrequenz

Experiment 3.1-12: Resonanztransformator_Phasedetektion – AC-Analyse der detektierbaren Spannung.

3.1.7 Angepasster Tiefpass/Hochpass

In manchen Anwendungen ist es erwünscht, dass eine Filterschaltung (u.a. Tiefpass, Hochpass, Bandpass, Bandstopp) eine konstante frequenzunabhängige Schnittstellenimpedanz entsprechend einem Bezugswiderstand (z.B. 50Ω) auf-

weist. Es werden Filterschaltungen vorgestellt, die eine derartige frequenzunabhängige Schnittstellenimpedanz ermöglichen.

Ein herkömmlicher RC-Tiefpass bzw. Hochpass hat den Nachteil, dass seine Schnittstellenimpedanz am Eingang und Ausgang frequenzabhängig ist. In manchen Anwendungen ist dies unerwünscht. Es wird nach einer gleichartigen Schaltung gesucht, die diesen Nachteil überwindet. Bei höheren Frequenzen ist die Generatorimpedanz bzw. Lastimpedanz 50Ω . Das Schaltungsbeispiel in Bild 3.1-27 weist Tiefpassverhalten auf, mit der Eigenschaft, dass der Eingangs- und der Ausgangswiderstand frequenzunabhängig 50Ω beträgt.

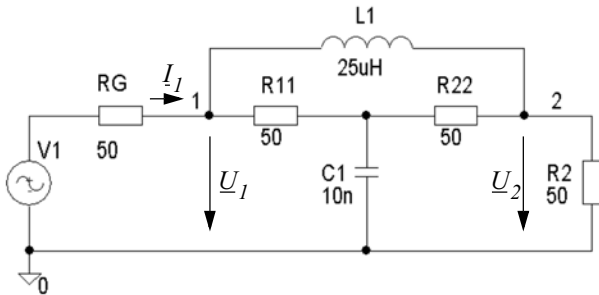


Bild 3.1-27: Angepasster Tiefpass

Unter der Bedingung $R_{11} = R_{22} = R$ und $R = \sqrt{L_1/C_1}$ ist frequenzunabhängig der Eingangswiderstand gleich $R = 50\Omega$ (Bild 3.1-28); die Eckfrequenz beträgt:

$$f_0 = \frac{1}{2\pi RC_1}; \quad (3.1-14)$$

Experiment 3.1-13: Tiefpass_Angepasst – AC-Analyse für die Übertragungsfunktion und den Eingangswiderstand.

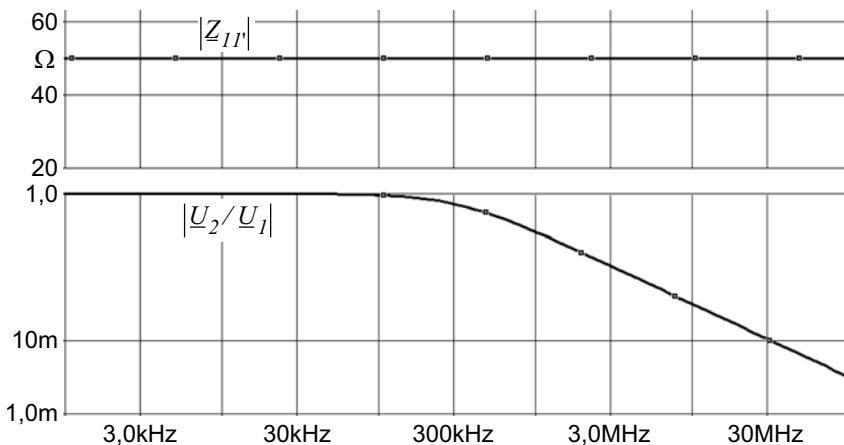


Bild 3.1-28: Ergebnis der Testbench; Angepasster Tiefpass

Durch Austausch von Induktivität und Kapazität entsteht ein angepasster Hochpass. Ersetzt man die Induktivität durch einen Serienresonanzkreis und die Kapazität durch einen Parallelresonanzkreis, so erhält man ein Bandpassfilter, umgekehrt ein Bandstoppfilter. In allen Fällen muss die Anpassbedingung am Eingang und am Ausgang erfüllt sein. Eine angepasste Filterschaltung (z.B. Tiefpass, Hochpass, Bandpass) weist am Eingang und am Ausgang eine frequenzunabhängige Schnittstellenimpedanz auf. Die vorgestellten Beispiele mögen einen ersten Eindruck vermitteln von der Vielfalt passiver Funktionsprimitive mit bestimmten Eigenschaften.

3.2 Funktionsgrundsaltungen mit Dioden

Halbleiterdioden weisen bestimmte Eigenschaften auf, die Problemstellungen in konkreten Anwendungen lösen helfen. Bei Schaltdioden und Gleichrichterdioden wird die „Ventilwirkung“ zwischen Durchlassbereich und Sperrbereich genutzt, bei Varaktordioden die spannungsabhängige Sperrschichtkapazität im Sperrbereich, bei Zenerdioden die Wirkung als Spannungsquelle im Durchbruchbereich. Darüber hinaus gibt es Spezialdioden (z.B. Photodioden, pin-Dioden, Tunnel-dioden, Backwarddioden) die spezielle Halbleitereffekte nutzen, auf die hier nicht näher eingegangen werden kann. In Bild 3.2-1 ist beispielhaft die Strom/Spannungskennlinie von einigen Diodentypen skizziert.

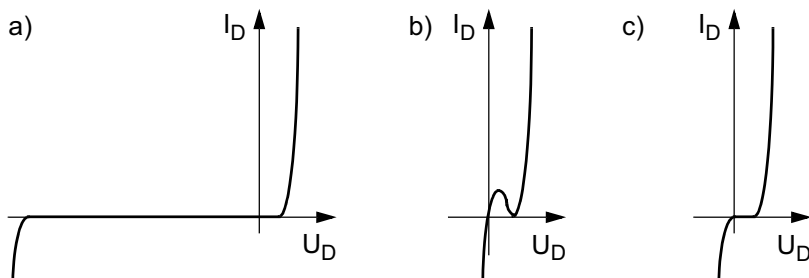


Bild 3.2-1: Kennlinienverlauf einiger Diodentypen – a) Schaltdiode bzw. Gleichrichterdiode; b) Tunnel diode; c) Backwarddiode

3.2.1 Gleichrichterschaltungen und Spannungsvervielfacher

Es werden konventionelle Schaltungen zur Erzeugung einer Gleichspannung für u.a. DC-Versorgungsspannungen (Power-Supply) vorgestellt. In einem Experiment am Ende von Kap. 3 wird das Grundprinzip von Schaltnetzteilen betrachtet. DC-Versorgungen mit Schaltnetzteilen weisen einen besseren Wirkungsgrad zwischen abgegebener Leistung und aufgenommener Leistung auf.

Bei Gleichrichterschaltungen nutzt man die „Ventilwirkung“ einer Diode, um DC-Spannungen aufzubereiten. Gleichrichterdioden werden in der Regel im unteren

ren Frequenzbereich (50Hz) bei hohen Strömen eingesetzt. Auf diesen Anwendungsbereich hin sind Gleichrichterdioden optimiert. Im Gegensatz dazu sind Detektordioden im allgemeinen schnelle Schaltioden. Neben dem Einweggleichrichter gibt es den Doppelweggleichrichter in Mittelpunktschaltung und Brückenschaltung. Bild 3.2-2 zeigt Realisierungsvarianten für Gleichrichterschaltungen. Die Zeitkonstante $R_L \cdot C_I$ muss groß gegen die Signalperiode sein, um eine hinreichende Glättungswirkung zu erzielen. Der Vorwiderstand R_S ist ein meist zusätzlich hinzugefügter Schutzwiderstand zur Begrenzung des periodischen Spitzenstroms und des Ladestroms beim Einschalten. Es zeigt sich, dass insbesondere während des Einschaltvorgangs ein hoher Spitzenstrom fließt. Der im Datenblatt der Gleichrichterzelle vorgegebene maximale Spitzenstrom darf nicht überschritten werden. Anstelle des strombegrenzenden Widerstands kann auch eine Drossel (Induktivität) eingefügt werden, die insbesondere während des Einschaltvorgangs den Einschaltstrom begrenzen hilft.

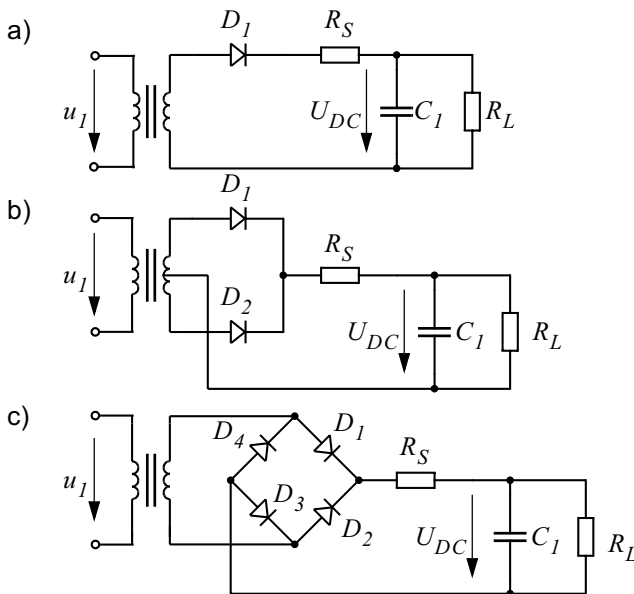


Bild 3.2-2: Gleichrichterschaltungen – a) Einweggleichrichter; b) Doppelweggleichrichter in Mittelpunktschaltung; c) Doppelweggleichrichter in Brückenschaltung

Ein wichtiger Gesichtspunkt ist die Verlustleistung. Die Verlustleistung einer Gleichrichterzelle setzt sich aus der Durchlassverlustleistung P_F und der Sperrverlustleistung P_R zusammen. Der Wärmeübergangswiderstand $R_{th,JU}$ der Gleichrichterzelle muss so bemessen sein, dass sich keine unzulässige Erhöhung der inneren Temperatur T_j des Bauteils gegenüber der Umgebungstemperatur T_U ergibt.

$$P_{ges} = P_F + P_R; \quad P_{ges} = \frac{T_j - T_U}{R_{th,JU}}; \quad (\text{Gl 3.2-1})$$

Das Gehäuse der Gleichrichterzelle bestimmt den Wärmeübergangswiderstand $R_{th,JU}$. Gegebenenfalls muss durch zusätzliche Kühlmaßnahmen der Wärmeübergangswiderstand R_{th} reduziert werden. Die Wärmeableitung erfolgt zwischen innerem pn-Übergang und Gehäuseoberfläche des Bauteils (beschrieben durch $R_{th,JG}$), der Gehäuseoberfläche und dem Kühlkörper (beschrieben durch $R_{th,GK}$), sowie schließlich dem Kühlkörper und der Umgebung (beschrieben durch $R_{th,KU}$). Mittels Wärmeleitpaste zwischen Bauteilgehäuse und Kühlkörper lässt sich der Wärmeübergangswiderstand $R_{th,GK}$ deutlich reduzieren. Es gilt somit:

$$P_{ges} = \frac{T_J - T_G}{R_{th,JG}} + \frac{T_G - T_K}{R_{th,GK}} + \frac{T_K - T_U}{R_{th,KU}}; \quad (3.2-2)$$

Einweggleichrichter: Die einfachste Schaltungsvariante stellt der Einweggleichrichter dar. Bei positiver Eingangsspannung u_I wird die Diode im Flussbereich betrieben, es lädt sich der Kondensator CI auf. Geht der zeitliche Momentanwert der Eingangsspannung zurück, so hält der Kondensator die Spannung, die Diode ist gesperrt. Der Kondensator entlädt sich über den Lastwiderstand. In einem bestimmten Stromflusswinkel erfolgt ein periodisches Nachladen der Kapazität. Das Ergebnis des folgenden Experiments ist in Bild 3.2-3 dargestellt.

Experiment 3.2-1: Gleichrichter1 – TR-Analyse eines Einweggleichrichters.

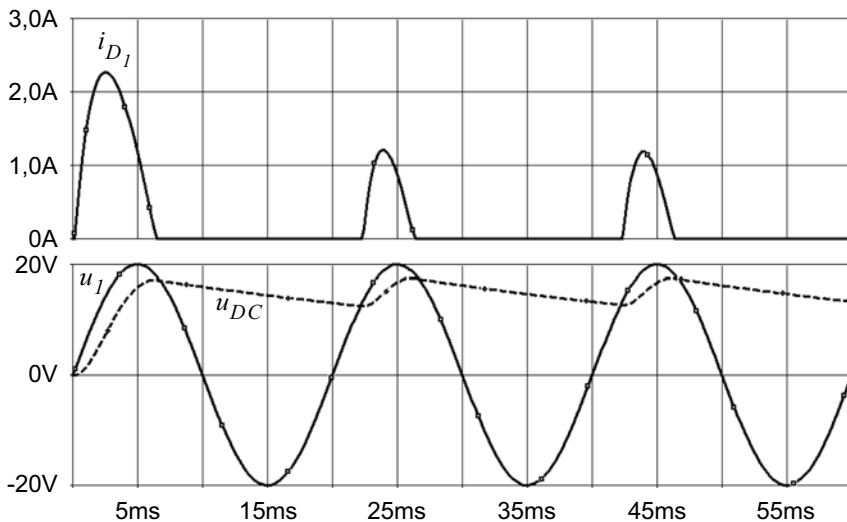


Bild 3.2-3: Ergebnis des Einweggleichrichters (siehe Bild 3.2-2a)

Es wird angenommen, dass der Spitzenwert der Spannung am Ausgang des Transformators von Bild 3.2-2a) als Eingangsspannung der Gleichrichterschaltung 20V beträgt. Der Lastwiderstand möge 100Ω sein. Naturgemäß sollte der Vorwiderstand R_S deutlich kleiner als der Lastwiderstand sein. Das Simulationsergebnis zeigt trotz der hohen Kapazität von $1000\mu\text{F}$ eine deutliche Welligkeit betreffs der erzeugten Ausgangsspannung. Der periodische Spitzenstrom im Durchlassbereich der Diode liegt bei ca. 1A . Der Spitzenstrom während des Einschaltvorgangs erreicht im Beispiel einen Wert von über 2A . Die Durchlassverlustleistung ist der Mittelwert gebildet aus dem zeitlichen Momentanwert des Durchlassstroms und der Flussspannung der Diode. Entsprechendes gilt für die Sperrverlustleistung.

Doppelweggleichrichter in Mittelpunktschaltung: Zur Verringerung der Welligkeit der erzeugten Ausgangsspannung wird in beiden Halbwellen des sinusförmigen Eingangssignals der Kondensator in einem bestimmten Stromflusswinkel nachgeladen. Das Ergebnis des zugehörigen Experiments zeigt Bild 3.2-4.

Experiment 3.2-2: Gleichrichter2 – TR-Analyse des Doppelweggleichrichters mit Mittelpunktschaltung.

Unter gleichen Bedingungen wie im vorhergehenden Experiment wird die Doppelweggleichrichterschaltung in Mittelpunktausführung betrachtet. Es zeigt sich wegen der Doppelweggleichrichterfunktion eine geringere Welligkeit der erzeugten Ausgangsspannung. Allerdings ist die Ausgangsspannung nur halb so groß. Die Spitzenströme sind entsprechend deutlich reduziert.

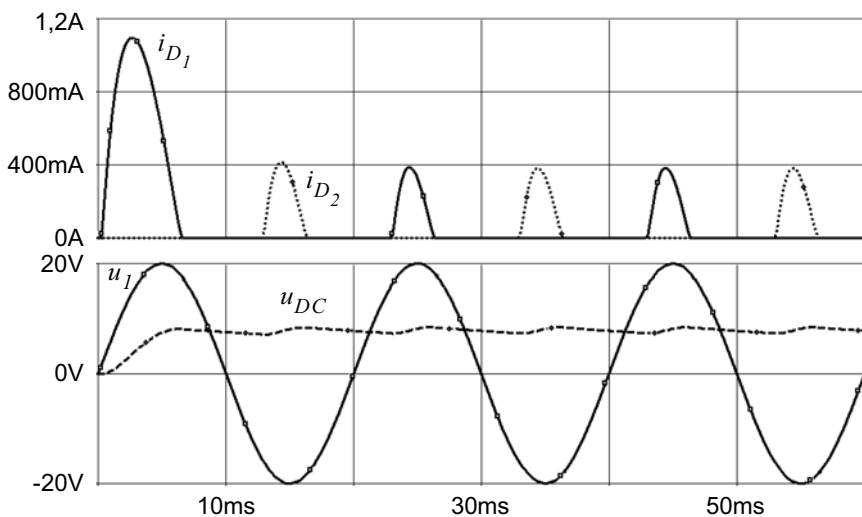


Bild 3.2-4: Ergebnis des Doppelweggleichr. mit Mittelpunktschaltung (siehe Bild 3.2-2b)

Doppelweggleichrichter in Brückenschaltung: Die Brückenschaltung vermeidet den Nachteil der Mittelpunktschaltung dahingehend, dass nahezu der Spitzenwert der Eingangsspannung als gleichgerichtete Ausgangsspannung erreicht wird.

Experiment 3.2-3: Gleichrichter3 – TR-Analyse des Doppelweggleichrichters in Brückenschaltung.

Das Ergebnis zum Experiment des Doppelweggleichrichters in Brückenschaltung zeigt Bild 3.2-5. Es wird wieder die volle Ausgangsspannung erzeugt. Gegenüber dem Einweggleichrichter sind die durch die Diode fließenden Spitzenströme kleiner. In konventionellen Stromversorgungsmodulen wird daher meist diese Ausführung gewählt.

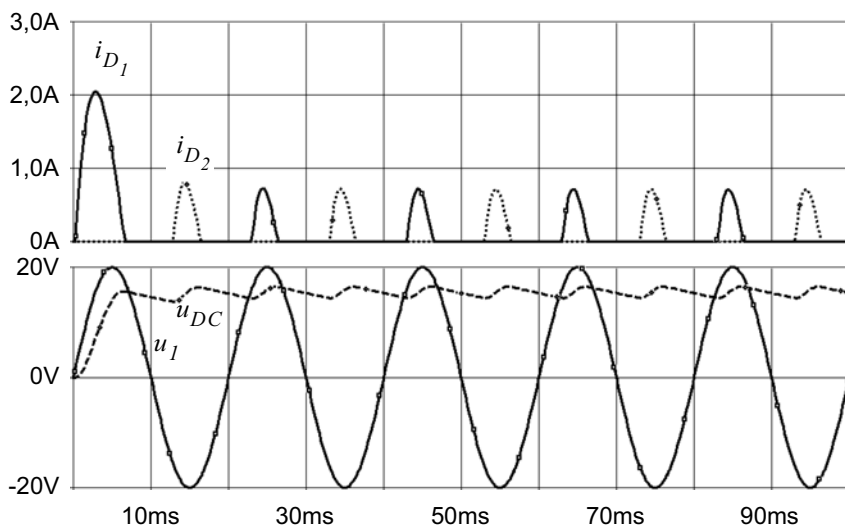


Bild 3.2-5: Ergebnis des Doppelweggleichrichters in Brückenschaltung (siehe Bild 3.2-2c)

Einsatz eines Spannungsreglers: Ein wesentlicher Nachteil der bisher betrachteten Schaltungen zur Aufbereitung einer DC-Spannung ist die relativ hohe Welligkeit der Ausgangsspannungen. Prinzipiell könnte man durch noch größere Kapazitäten C_f die Welligkeit verringern. Zum einen „baut“ eine höhere Kapazität größer und zum anderen steigen die Kosten für einen größeren Kapazitätswert. Das Problem löst ein Spannungsregler-Baustein. Mittels einer aktiven Rückkopplungsschaltung im Inneren des Spannungsreglers kann trotz einer relativ groben Welligkeit am Eingang eine konstante Ausgangsspannung erzeugt werden. Derartige Spannungsregler sind kostengünstig als integrierte Bausteine verfügbar. Bild 3.2-6 zeigt eine schaltungstechnische Ausführung mit einem Brückengleichrichter und nachgeschalteten integrierten Spannungsreglern zur Aufbereitung einer positiven und negativen DC-Spannung.

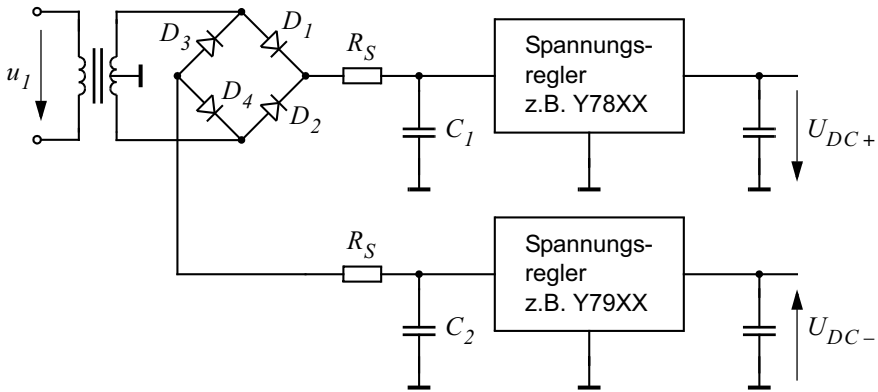


Bild 3.2-6: Geregelte Gleichstromversorgung für positive und negative Versorgungsspannungen mit Verwendung integrierter Spannungsregler

Spannungsverdopplerschaltungen: In praktischen Problemstellungen ist gelegentlich die Aufgabe gestellt, dass eine höhere DC-Spannung abgeleitet werden soll, als mit den bislang betrachteten Schaltungsvarianten möglich ist. Dazu können Spannungsvervielfacherschaltungen verwendet werden (Bild 3.2-7).

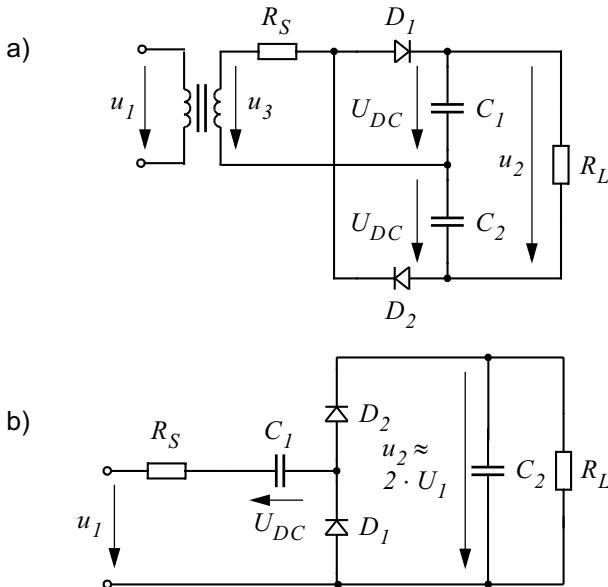


Bild 3.2-7: Spannungsverdopplerschaltung – a) symmetrische b) unsymmetrische Variante

Ein Spannungsverdoppler besteht aus zwei hintereinander geschalteten Einweggleichrichtern. In der symmetrischen Variante lädt die positive Halbwelle den Kon-

densator $C1$ auf, die negative Halbwelle lädt $C2$, so dass am Ausgang die doppelte Spannung verfügbar ist.

Experiment 3.2-4: Spannungsverdoppler – TR-Analyse der Spannungsverdopplerschaltung.

Bild 3.2-8 zeigt das Ergebnis der TR-Analyse einer Spannungsverdopplerschaltung nach Bild 3.2-7b). Der Spitzenwert der Eingangsspannung U_1 beträgt $20V$. Der Kondensator $C1$ lädt sich auf U_{DC} auf, so dass an der Kathode der Diode $D1$ die Eingangsspannung plus dem Spitzenwert der Eingangsspannung anliegt. Mit der Diode $D2$ erfolgt eine Gleichrichtung dieses zeitlichen Momentanwerts. Man erhält nahezu den doppelten Spitzenwert als DC-Ausgangsspannung. Wie bei der Einweggleichrichtung wird der ideale Spitzenwert nicht erreicht, es ergibt sich ein Spannungsverlust. Die Spannungsverluste sind um so höher, je größer der Laststrom ist.

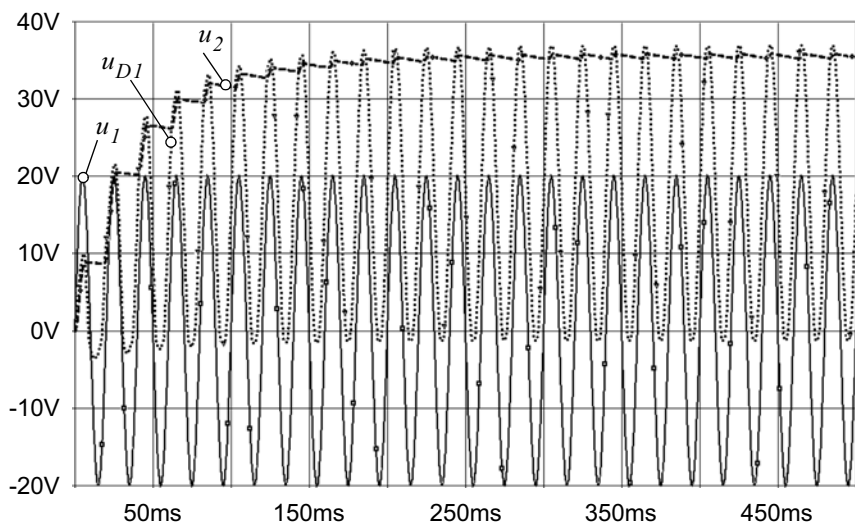


Bild 3.2-8: Ergebnis der TR-Analyse der Spannungsverdopplerschaltung (siehe Bild 3.2-7b)

Spannungsvervielfacherschaltungen: Das Prinzip der Spannungsverdopplung lässt sich verallgemeinern in Form von Spannungsvervielfacherschaltungen. Im Bild 3.2-9 dargestellt ist ein Spannungsverdreifacher und ein Spannungsvervielfacher in unsymmetrischer Ausführung. Selbstverständlich ergeben sich Spannungsverluste aufgrund der Flussspannung und an den inneren Bahnwiderständen der Dioden, so dass die ideale Vervielfachung des Spitzenwertes der Eingangsspannung nicht erreicht wird. Das Ergebnis des nachstehenden Experiments zeigt Bild 3.2-10.

Experiment 3.2-5: Spannungsverdreifacher – TR-Analyse der Spannungsverdreifachungsschaltung

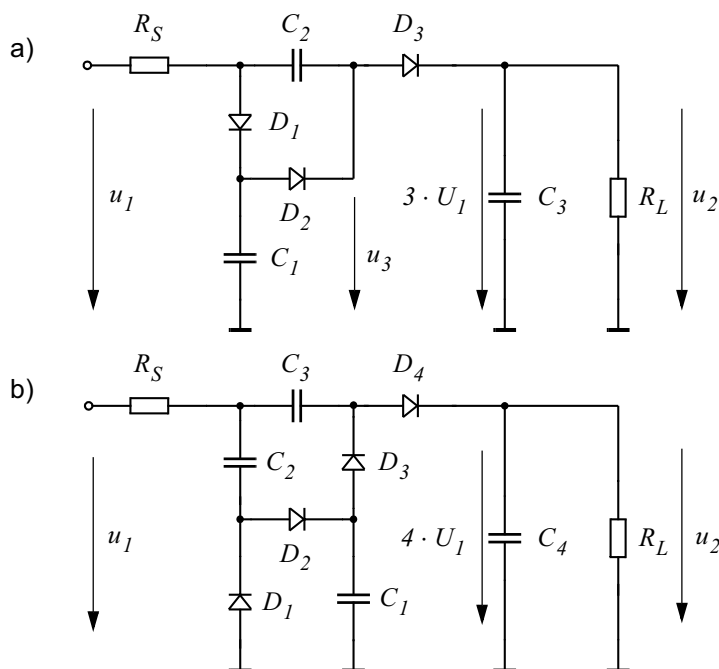


Bild 3.2-9: Vervielfacherschaltungen – a) Spannungsverdreifachung; b) Spannungsvervierfachung

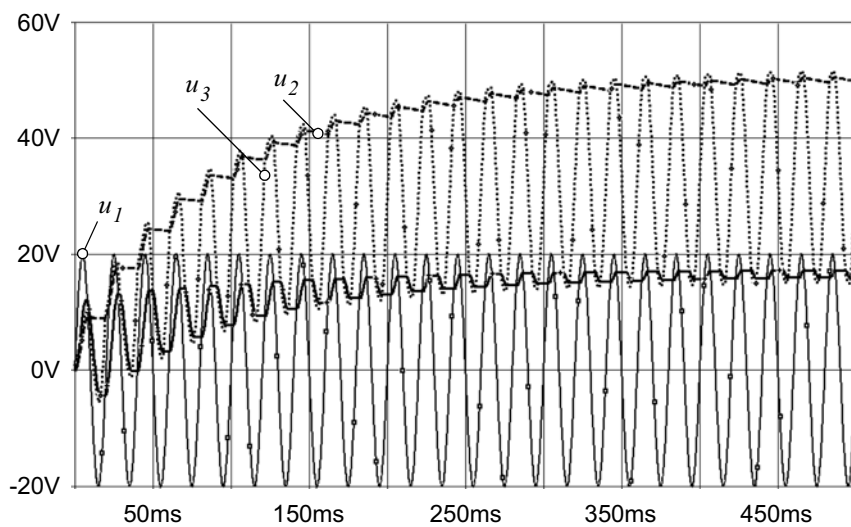


Bild 3.2-10: Ergebnis der Spannungsverdreifachungsschaltung (siehe Bild 3.2-9a)

3.2.2 Anwendungen der Diode als Spannungsquelle

In zahlreichen Anwendungen benötigt man eine Konstantspannungsquelle. Im Flussbereich ist die Diode näherungsweise ein Konstantspannungsquelle mit der Schwellspannung als „Leerlaufspannung“ und einem relativ niederohmigen Innenwiderstand. Allerdings weist die Schwellspannung einen Temperaturkoeffizienten von ca. $-2\text{mV}/^\circ\text{C}$ auf. Im Durchbruchbereich ist die Diode ebenfalls eine Konstantspannungsquelle mit niederohmigem Innenwiderstand. In jedem Fall muss ein gewisser Mindeststrom fließen, damit sich die Eigenschaft der Diode als Spannungsquelle einstellt.

Die Zenerdiode als Spannungsquelle: Mittels einer Zenerdiode lässt sich eine Konstantspannung z.B. als Referenzspannung ableiten. Dazu verwendet man die Prinzipschaltung in Bild 3.2-11. Die Eingangsspannung muss in jedem Fall größer als die Ausgangsspannung und größer als die Durchbruchspannung sein. Um einen niederohmigen Innenwiderstand zu erzielen, benötigt man einen Mindeststrom, der über den Vorwiderstand eingestellt wird.

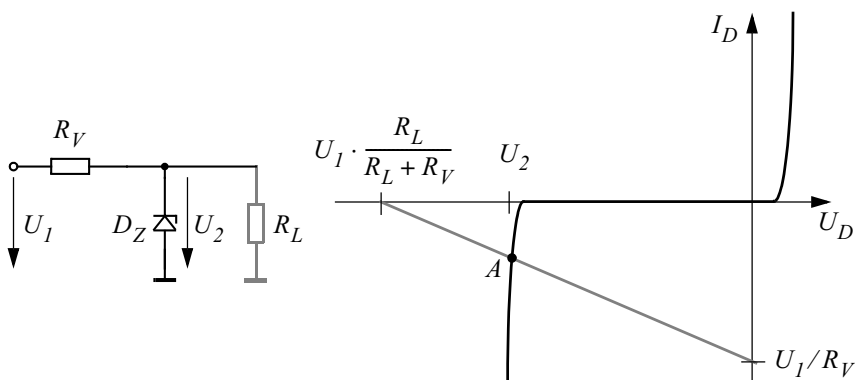


Bild 3.2-11: Spannungsstabilisierungsschaltung mittels einer Zenerdiode

Bei gegebener Eingangsspannung, gegebenem Vorwiderstand und gegebenem Lastkreis ergibt sich der skizzierte Arbeitspunkt bei geeignet ausgewählter Zenerdiode. Ändert sich die Eingangsspannung oder der Lastkreis, so verändert sich der Arbeitspunkt. Je steiler die Durchbruchkennlinie ist, um so geringer verändert sich die Ausgangsspannung U_2 . Es liegt eine Konstantspannung mit niederohmigen Innenwiderstand vor.

Anwendung der Zenerdiode als Referenzspannung: Im folgenden Beispiel wird die Zenerdiode als Referenzspannungsquelle verwendet (Bild 3.2-12). Die stabilisierte Ausgangsspannung ist gleich der Zenerdiodenspannung im Durchbruchbetrieb vermindert um die Basis-Emitterspannung des Transistors. Die Mindest-Eingangsspannung muss so groß sein, dass der Transistor nicht in die Sättigung geht.

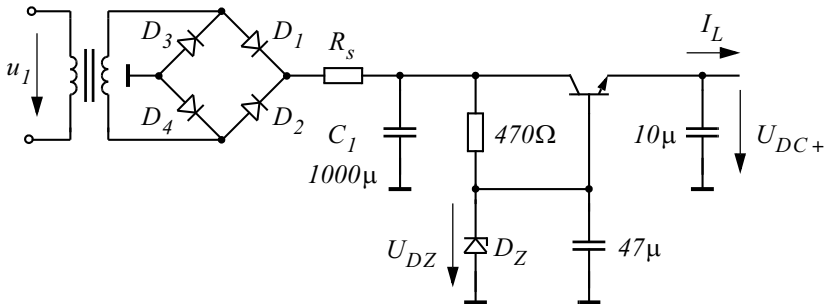


Bild 3.2-12: DC-Spannungsquelle mit Transistor als Regler für konstante Spannung bei gegebenen Laststromschwankungen

3.2.3 Signaldetektorschaltungen

Signaldetektoren sind ebenfalls im Prinzip Gleichrichterschaltungen, allerdings werden sie im allgemeinen bei höheren Signalfrequenzen verwendet. Dioden in Signaldetektoren müssen weniger für große Strombelastbarkeit geeignet sein, vielmehr geht es um ein schnelles Schaltverhalten. Grundsätzlich unterscheidet man zwischen Signalamplitudendetektoren in Reihenschaltung und in Parallelschaltung.

Spitzendetektor in Reihen- und Parallelschaltung: Für die Realisierung eines Spitzendetektors gibt es prinzipiell die Reihenschaltungsvariante und die Parallelschaltungsvariante (Bild 3.2-13).

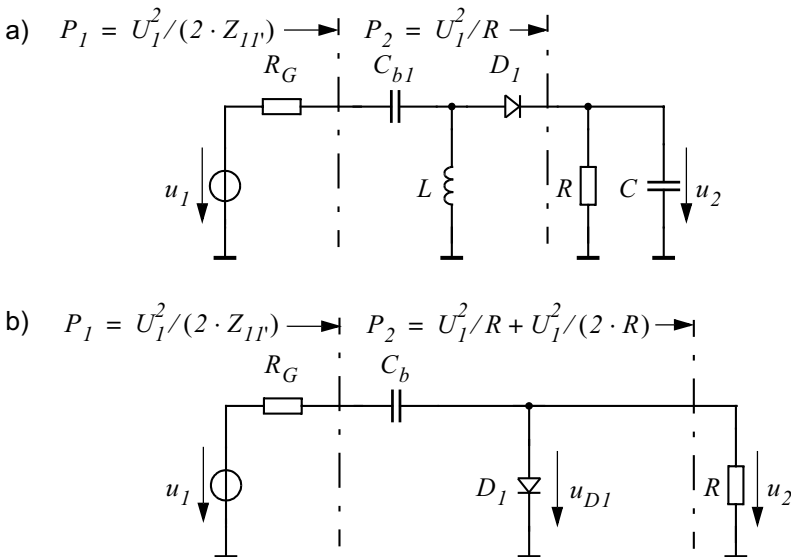


Bild 3.2-13: Spitzendetektorschaltungen – a) Reihendetektor; b) Paralleldetektor

Die Reihenschaltungsvariante benötigt einen DC-Pfad gegen das Bezugspotenzial, der über die Induktivität L gegeben ist. Bei der Parallelschaltungsvariante kann das Eingangssignal kapazitiv angekoppelt werden. Allerdings ist am Ausgang dem detektierten Spitzenwert das Eingangssignal überlagert, das dann noch durch eine zusätzliche Filtermaßnahme entfernt werden muss. Ist das nachfolgende System hinreichend schmalbandig, so kann die Filtermaßnahme entfallen. Aus der Energiebilanz ergibt sich der mittlere Eingangswiderstand, den die Signalquelle sieht. Bei der Reihendetektorschaltung wird die DC-Leistung $P_2 = U_1^2/R$ abgegeben; bei der Paralleldetektorschaltung addiert sich dazu noch die Wechselleistung aufgrund der zusätzlich anliegenden Signalspannung am Ausgang $P_2 = U_1^2/R + U_1^2/(2 \cdot R)$. Dadurch erhält man bei der Reihendetektorschaltung einen mittleren Eingangswiderstand $R/2$, bei der Paralleldetektorschaltung liegt der mittlere Belastungswiderstand der Signalquelle bei $R/3$. Als erstes wird ein Signalamplitudendetektor in Reihenschaltung betrachtet (Bild 3.2-14).

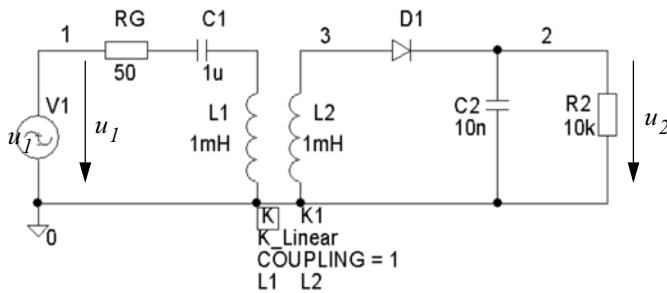


Bild 3.2-14: Signaldetektor – Reihenschaltung

Beim Spitzendetektor in Reihenschaltung lädt sich der Kondensator C_2 auf den Spitzenwert der Signalamplitude auf. Verringert sich der zeitliche Momentanwert der Eingangsspannung unterhalb der Spannung am Kondensator, so wird die Diode gesperrt. Es entlädt sich der Kondensator C_2 über den Lastwiderstand R_2 . Mit der nächsten positiven Signalamplitude wird bei zeitlichen Momentanwerten oberhalb der Spannung am Kondensator C_2 die Diode wieder in Flussrichtung betrieben, es erfolgt ein Nachladen der Kapazität. Durch die Diode fließt nur innerhalb des Stromflusswinkels im Flussbetrieb der Diode ein Flussstrom. Damit beinhaltet der Diodenstrom eine DC-Komponente, es muss ein DC-Pfad gegen Masse vorliegen. Lässt die Signalquelle keinen DC-Pfad gegen Masse zu, so kann beispielsweise der DC-Pfad für die Diode durch Speisung mit einem Übertrager über L_2 , D_1 und R_2 hergestellt werden.

Am Knoten 2 baut sich eine Gleichspannung auf, die dem Spitzenwert der Signalamplitude entspricht, vermindert um die Schwellspannung der Diode. Ein Stromfluss durch die Diode kommt nur in einem kleinen Stromflusswinkel zustande. Der Kondensator am Ausgang hält die Gleichspannung. Durch den Stromfluss, während die Diode in Flussrichtung angesteuert wird, erfolgt ein

Nachladen des Kondensators. Ist die Diode gesperrt wird der Kondensator über den Lastwiderstand entladen. Die Entladezeitkonstante τ sollte etwa 10 Mal größer sein als die Signalperiode. Das Ergebnis des folgenden Experiments zeigt Bild 3.2-15.

$$\tau = R_2 C_2; \quad (3.2-3)$$

Experiment 3.2-6: SignalDetektor_Ser

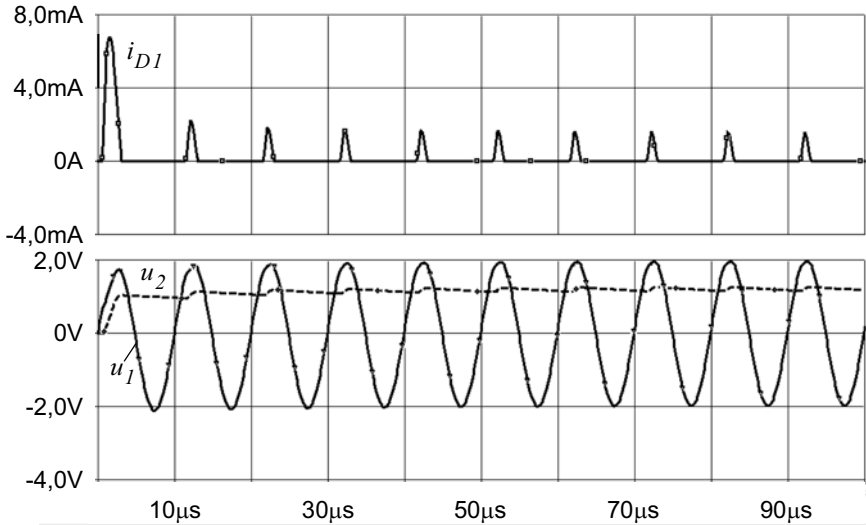


Bild 3.2-15: Ergebnis der Testbench; Signaldetektor – Serienschaltung (siehe Bild 3.2-13a)

Eine weitere Variante ist der Signaldetektor, bei dem die Diode parallel und nicht seriell angeordnet ist (Bild 3.2-16). Man spricht von einem Signaldetektor in Parallelschaltung.

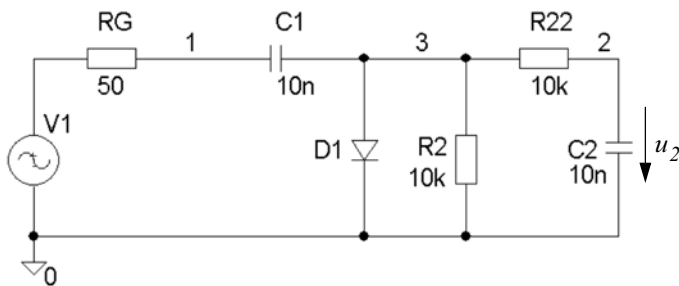


Bild 3.2-16: Signaldetektor – Parallelschaltung

Der Vorteil des Signaldetektors in Parallelschaltung ist, dass die speisende Signalquelle keinen DC-Pfad aufweisen muss, sie kann AC-gekoppelt sein. Auch hier ist die Diode nur während eines kleinen Stromflusswinkels leitend. Die Span-

nung an Knoten 3 wird begrenzt durch die Schwellspannung an der Diode. Die Signalspannung liegt an Knoten 3 an, sie wird an die Schwellspannung der Diode „geklemmt“. Den DC-Wert erhält man an Knoten 2 durch Nachschalten eines Tiefpasses. Das Testergebnis des Experiments ist in Bild 3.2-17 dargestellt.

Experiment 3.2-7: SignalDetektor_Par

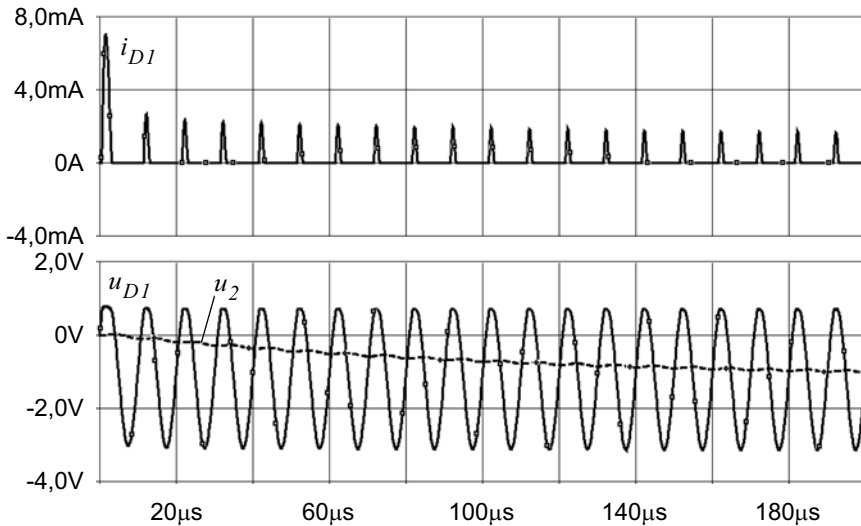


Bild 3.2-17: Signaldetektor – Parallelschaltung (siehe Bild 3.2-16)

Allgemein lässt sich feststellen: Signalamplitudendetektoren dienen zur Detektion der Signalamplitude des zeitlichen Momentanwerts eines gegebenen periodischen Signalverlaufs. Wird die Signalamplitude mit einer Modulationsspannung verändert (Amplitudenmodulation – AM), so stellt der Signalamplitudendetektor einen AM-Demodulator in Form eines „Hüllkurvendetektors“ dar.

Einfacher Mittelwellenempfänger: Eine typische Anwendung eines Signaldetektors ist die Demodulation eines amplitudenmodulierten Signals. Der zeitliche Momentanwert eines amplitudenmodulierten Signals stellt sich wie folgt dar:

$$u_I(t) = U_I(t) \cos \omega_0 t; \quad (3.2-4)$$

$$\quad \quad \quad \uparrow$$

$$\quad \quad \quad U_I(t) = U_I(1 + M \cos \omega_s t);$$

Dabei entspricht $\omega_0 = 2 \cdot \pi \cdot f_0$ der Trägerfrequenz, sie beträgt bei Mittelwelle ca. 1MHz ; $\omega_s = 2 \cdot \pi \cdot f_s$ entspricht der Modulationsfrequenz und M ist der Modulationsgrad. Wegen der geringen Spannung am Fußpunkt der Antenne, muss eine Detektordiode mit geringem Schwellwert verwendet werden. Dazu bietet sich eine Ge-Diode an, die eine geringere Schwellspannung aufweist als Si-Dioden. In der Regel kommt man aber ohne einen Vorverstärker nicht aus, um größere

Signalamplituden zu erhalten. Immerhin benötigt die einfache Empfängerschaltung (Bild 3.2-18) ein Eingangssignal von einigen 100mV für die Spitzenwertgleichrichtung. Typische Signalspannungen am Antennenfußpunkt liegen deutlich darunter.

Experiment 3.2-8: AM-Detektorschaltung1 – Aufbereitung eines AM-modulierten Signals mit nachgeschaltetem Signaldetektor.

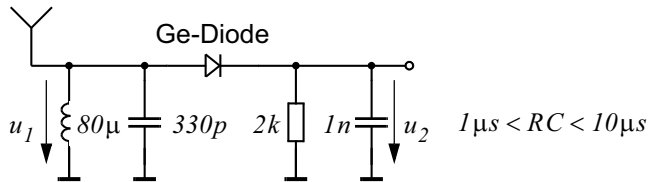


Bild 3.2-18: Signaldetektor als Empfänger für ein amplitudenmoduliertes Signal

Im Beispiel des Experiments beträgt der Modulationsgrad $M = 0,5$; die Modulationsfrequenz ist 20kHz . Die Signalamplitude muss oberhalb der Schwellspannung liegen. Das Ausgangssignal entspricht der Einhüllenden des Eingangssignals verschoben um die Schwellspannung der Diode. Bild 3.2-19 zeigt das Ergebnis des Experiments.

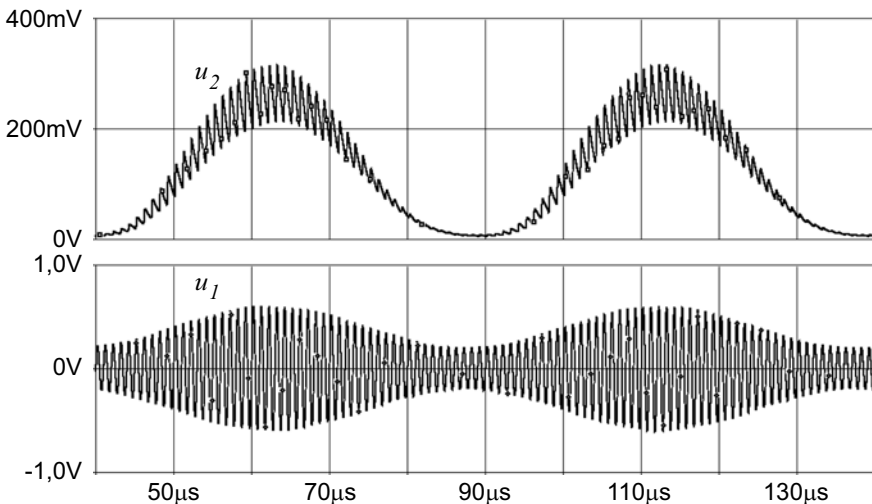


Bild 3.2-19: AM-moduliertes Eingangssignal und detektiertes Ausgangssignal.

Experiment 3.2-9: AM-Detektorschaltung2 – Aufbereitung eines AM-modulierten Signals mit nachgeschaltetem Signaldetektor mit Vorspannung.

Um die Spitzendetektorschaltung bei kleineren Signalamplituden verwenden zu können, kann die Diode mit einer Vorspannung bzw. mit Vorstrom betrieben werden, so dass der Arbeitspunkt der Diode dicht unterhalb der Schwellspannung liegt.

In dem Beispiel, das dem Experiment zugrundeliegt, wird eine Vorspannung für die Detektordiode erzeugt. Bei deutlich kleinerer Signalamplitude des amplitudenmodulierten Eingangssignals erhält man die demodulierte Ausgangsspannung (Bild 3.2-20).

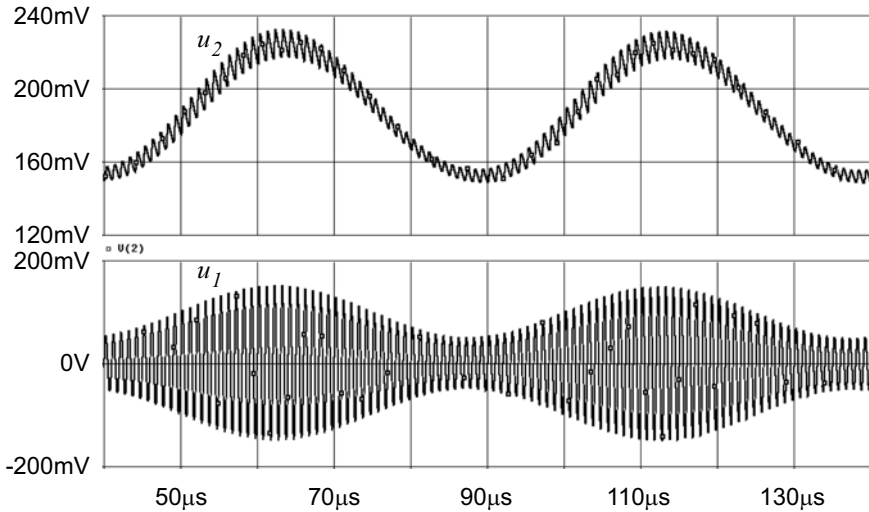


Bild 3.2-20: Spitzendetektor in Reihenschaltung, wobei die Detektordiode mit einer Vorspannung betrieben wird

Demodulation eines frequenzmodulierten Signals: Zur Demodulation eines frequenzmodulierten Signals (FM) kann ebenfalls u.a. ein Spitzendetektor verwendet werden. Ein frequenzmoduliertes Signal lässt sich folgendermaßen beschreiben:

$$u_I(t) = U_I \cos(\omega(t) \cdot t + \varphi_0); \quad (3.2-5)$$

$$\omega(t) = \omega_0 + \Delta\omega_0(t) = \omega_0 + \Delta\omega_0 \cdot \cos(\omega_s t + \varphi_s)$$

$$\varphi(t) = \int \omega(t) \cdot dt = \omega_0 t + \frac{\Delta\omega_0}{\omega_s} \cdot \sin(\omega_s t + \varphi_s)$$

Dabei entspricht $\omega_0 = 2 \cdot \pi \cdot f_0$ der Trägerfrequenz, sie beträgt bei UKW-Frequenzen ca. 100MHz ; $\omega_s = 2 \cdot \pi \cdot f_s$ entspricht der Modulationsfrequenz und $\Delta\omega_0/\omega_s$ ist der Modulationshub M . Betrachtet man ein UKW-Übertragungssystem, so erfolgt im Empfänger eine Umsetzung auf eine Zwischenfrequenz von $10,7\text{MHz}$. Der FM-Demodulator weist somit am Eingang ein frequenzmoduliertes Signal von $10,7\text{MHz}$ auf. In PSpice lässt sich ein derartiges Signal mit der Signalquelle *V\$FFM* darstellen. Diesem Signal liegt der folgende zeitliche Momentanwert zugrunde:

$$u_I(t) = U_0 + U_I \sin((2\pi F_C \cdot t) + MDI \cdot \sin(2\pi F_S \cdot t)); \quad (3.2-6)$$

Die einfachstmögliche FM-Demodulatorschaltung stellt der Flankendetektor dar. Eine spannungsgesteuerte Stromquelle speist einen Parallelresonanzkreis. Die Resonanzfrequenz muss oberhalb der Frequenz FC liegen, also an der Flanke der Resonanzkurve. Ist der Modulationshub nicht zu groß, so ergibt sich eine nahezu lineare Amplitudenänderung an der Flanke des Resonators, die in erster Näherung proportional zur Frequenzänderung des frequenzmodulierten Eingangssignals ist. Die Einhüllende der Amplitudenänderung des Signals an der Flanke des Resonators lässt sich mit einem Spitzendetektor gewinnen. Daraus gewinnt man das demodulierte Signal mit der Frequenz FS .

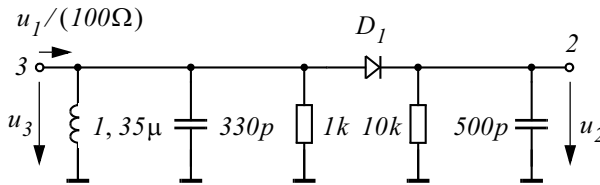


Bild 3.2-21: FM-Demodulator als einfacher Flankendetektor

Experiment 3.2-10: FM-Demodulator1 – Resonanzkurve des Resonators ermittelt mit AC-Analyse.

Die Frequenz FC des Eingangssignals muss versetzt zur Resonanzfrequenz des Resonators sein. Desweiteren sollte die Güte des Resonators nicht zu hoch sein, um den nutzbaren Flankenbereich zu vergrößern. Die Speisung des Resonators erfolgt im Experiment über eine spannungsgesteuerte Stromquelle. Ein Transistor stellt im geeigneten Arbeitspunkt eine derartige spannungsgesteuerte Stromquelle dar. Die Steilheit wurde mit $1/100\Omega$ angenommen.

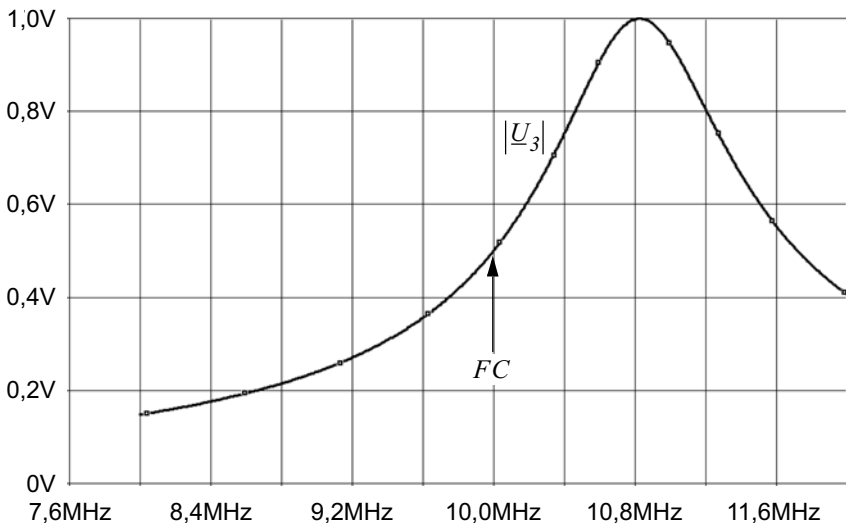


Bild 3.2-22: Resonanzkurve des Flankendetekt. als FM-Demodulator (siehe Bild 3.2-21)

Experiment 3.2-11: FM-Demodulator1 – TR-Analyse des Flankendetektors.

Im Simulationsergebnis der AC-Analyse in Bild 3.2-22 zeigt sich deutlich die Amplitudenänderung an der Flanke des Resonators bei Frequenzänderung um FC . Das Ergebnis der TR-Analyse des Experiments zeigt Bild 3.2-23. Die Einhüllende des Signals am Knoten 3 des Experiments stellt das demodulierte Signal mit der Frequenz FS dar. Dazu ist die Zeitkonstante des Spitzendetektors geeignet zu wählen. Sie darf nicht zu groß sein, um der Modulationsfrequenz FS folgen zu können; muss aber groß genug sein, um die Frequenz FC zu unterdrücken. Die Spannung u_2 ist die demodulierte Ausgangsspannung.

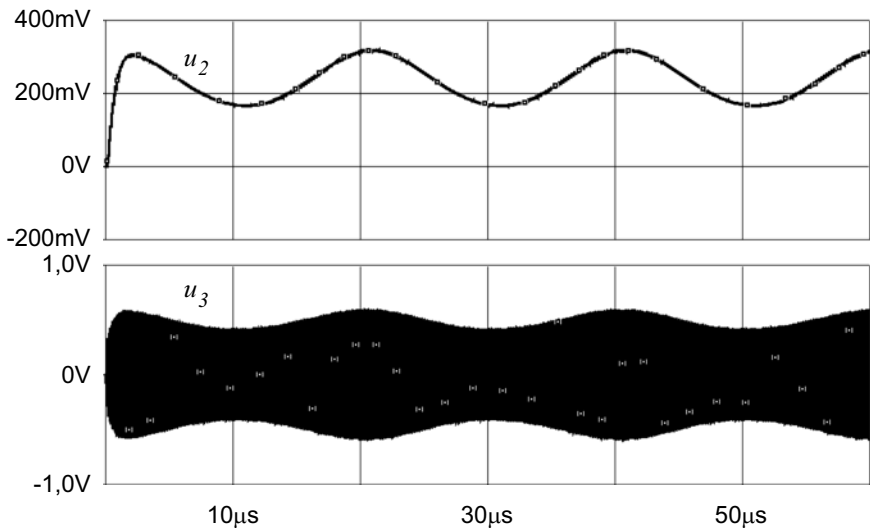


Bild 3.2-23: Signal am Eingang des FM-Demodulators und demoduliertes Signal am Ausgang (siehe Bild 3.2-21)

FM-Demodulator mit zwei versetzten Resonanzkreisen: Zur Verbesserung der Linearität des Flankendemodulators können zwei versetzte Resonanzkreise verwendet werden. Das nachstehende Bild 3.2-24 zeigt die Prinzipschaltung. Die beiden Resonanzkreise lassen sich über einen Übertrager oder über eine Stromquelle speisen. Die Stromquellenspeisung ist wiederum einfach über einen Transistor möglich. Im nachfolgenden Experiment soll die Schaltungsanordnung näher untersucht werden. Das Ergebnis der AC-Analyse ist in Bild 3.2-26 dargestellt. Es zeigt sich der typische Verlauf eines FM-Flankendetektors.

Experiment 3.2-12: FMDemodulator2 – AC-Analyse zur Darstellung der Diskriminatorkennlinie.

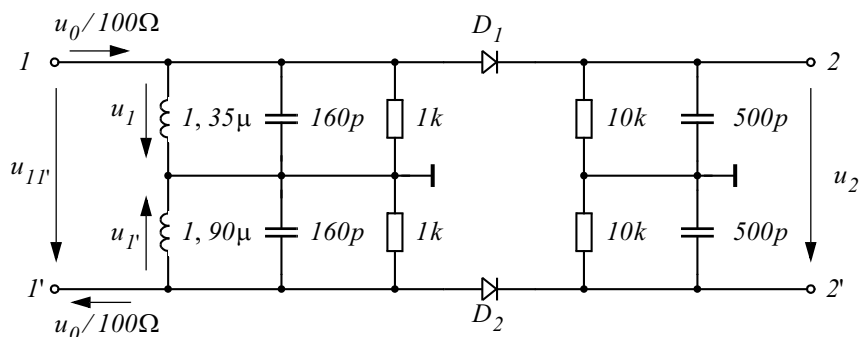


Bild 3.2-24: FM-Demodulator als einfacher Flankendetektor

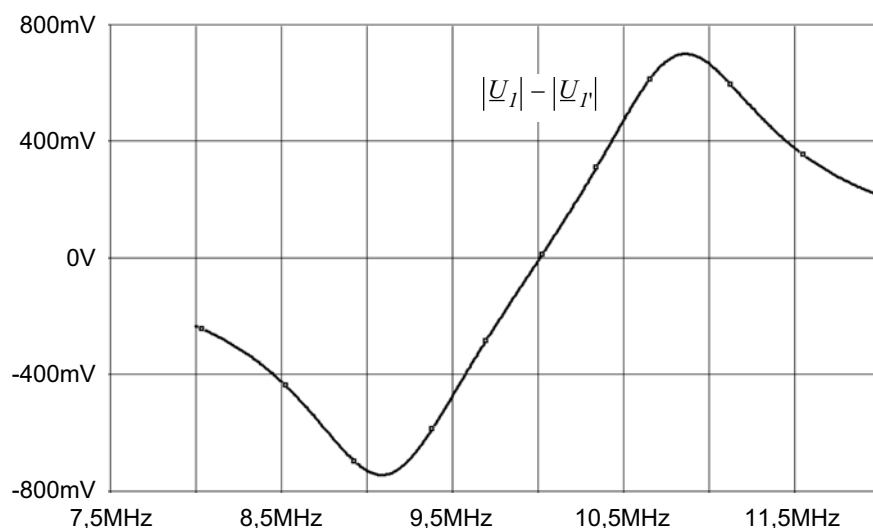


Bild 3.2-25: Differenzdiskriminatorkennlinie (siehe Bild 3.2-24)

Experiment 3.2-13: FM-Demodulator2 – TR-Analyse des Frequenzdiskriminators zur Demodulation eines frequenzmodulierten Signals.

Bei gleichbleibenden Ansteuerverhältnissen wie im vorhergehenden Experiment erreicht man eine verbesserte Linearität der Amplitudenkonversion und zudem eine höhere demodulierte Ausgangsspannung. In Bild 3.2-26 ist das Ergebnis des Experiments nach Durchführung einer TR-Analyse dargestellt. Die symmetrische Stromquellenansteuerung kann mit einer geeigneten Transistorstufe erfolgen. Dazu wird in späteren Kapiteln noch näher darauf eingegangen.

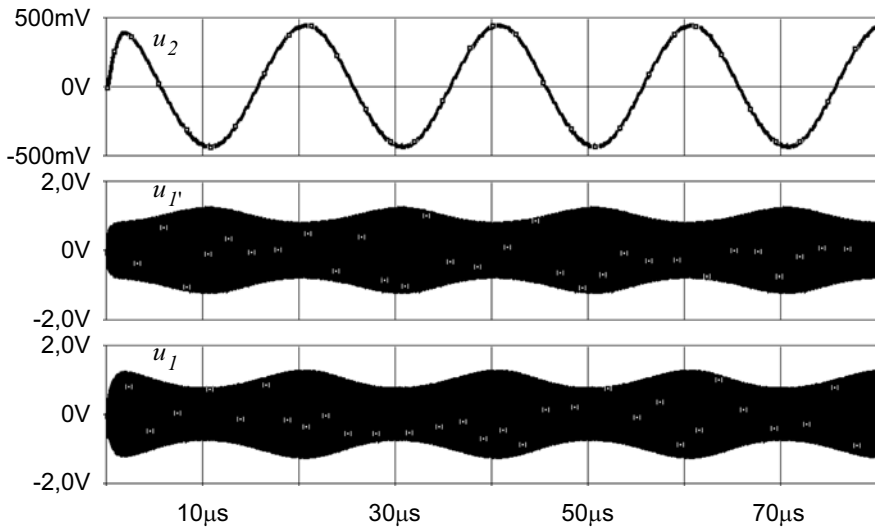


Bild 3.2-26: Signal am Eingang des Frequenzdiskriminators und demoduliertes Signal am Ausgang (siehe Bild 3.2-24)

3.2.4 Begrenzer-, Klemm- und Schutzschaltungen

Begrenzerschaltungen: Begrenzerschaltungen dienen beispielsweise zur Begrenzung einer Signalamplitude. Unterhalb eines bestimmten Schwellwertes soll die Begrenzerfunktion inaktiv bzw. aktiv sein. Die Diode in Flussrichtung weist Begrenzereigenschaften auf, ebenso die Zenerdiode in Sperrrichtung. Prinzipiell unterscheidet man Diodenbegrenzer in Parallelschaltung und in Reihenschaltung. Die Parallelbegrenzerschaltung zeigt Bild 3.2-27a) mit U_H als Hilfsspannung. Eine derartige Hilfsspannung lässt sich u.a. durch aktive Schaltungen mit z.B. einem Bipolartransistor bzw. einem Feldeffekttransistor als Spannungsquelle realisieren. Die einfachste Variante ist gegeben mit $U_H = 0$, dann liegt die Kathode von $D1$ bzw. die Anode von $D2$ auf Masse. $U_{S,D}$ ist die Schwellspannung der Diode. Das folgende Experiment untersucht eine Reihengrenzerschaltung. Das Ergebnis hierzu zeigt Bild 3.2-28.

Experiment 3.2-14: Begrenzer_Reihensch – TR-Analyse eines Begrenzers in Reihenschaltung.

Der Parallelbegrenzer belastet den Lastkreis nahezu nicht, solange die Begrenzung nicht einsetzt. Nach Einsetzung der Begrenzung wird der Lastkreis niederohmig belastet. Ersetzt man bei der Reihenschaltung den Widerstand R_0 durch eine Stromquelle, so liegt nach Einsetzung der Begrenzerwirkung eine hochohmige Belastung des Lastkreises vor. Für Eingangsspannungen $U_I < 0$ ist die Diode $D2$ gesperrt, auch hier wird der Lastkreis nicht belastet.

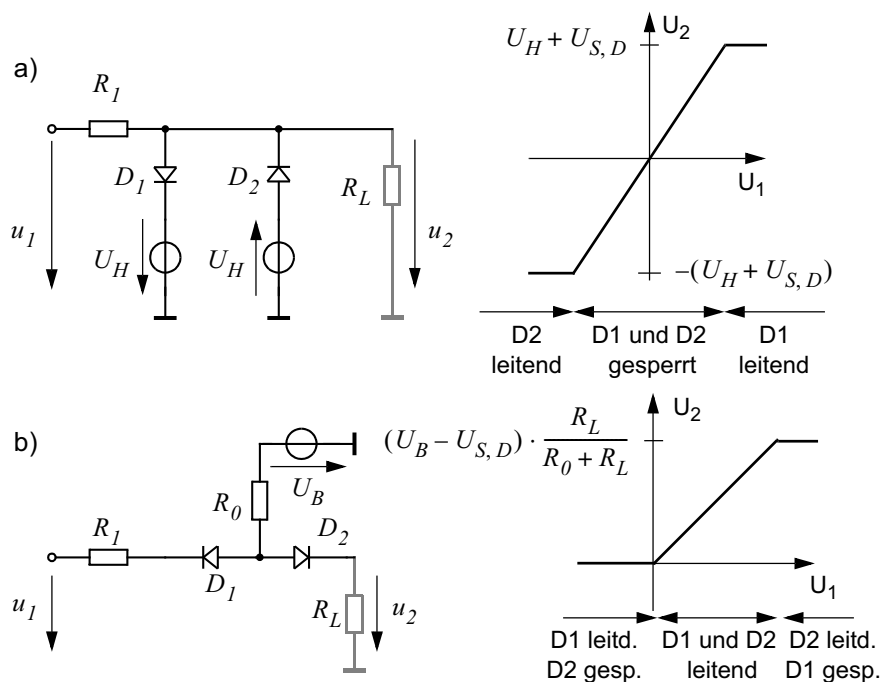


Bild 3.2-27: Begrenzerschaltungen – a) Parallelbegrenzer; b) Reihenbegrenzer

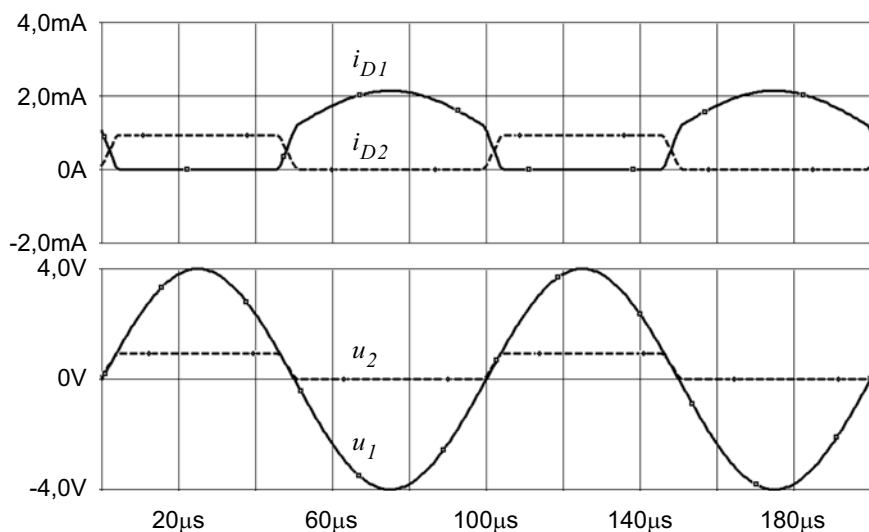


Bild 3.2-28: Begrenzer in Reihenschaltung (siehe Bild 3.2-27)

Klemmschaltungen: Bei AC-Kopplung zweier Funktionseinheiten zwischen Knoten 1 und Knoten 2 (Bild 3.2-29) geht der Gleichspannungsanteil eines Signals verloren. Mit einer Klemmschaltung kann ein Gleichspannungsanteil zurückgewonnen werden. Das Beispiel in Bild 3.2-29 zeigt eine Klemmschaltung zur Erzeugung eines positiven DC-Anteils. Mit Hilfe der Referenzspannung U_{Ref} lässt sich die Basislinie des Ausgangssignals einstellen. In Bild 3.2-30 ist das Ergebnis des Experiments dargestellt, wobei u_2 die gewünschte DC-Komponente aufweist.

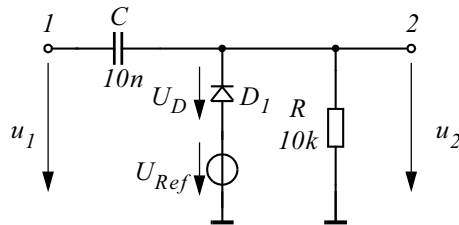


Bild 3.2-29: Klemmschaltung zur Rückgewinnung eines positiven DC-Anteils

Experiment 3.2-15: Klemmschaltung1 – Klemmschaltung für die Wiederherstellung eines Gleichspannungsanteils.

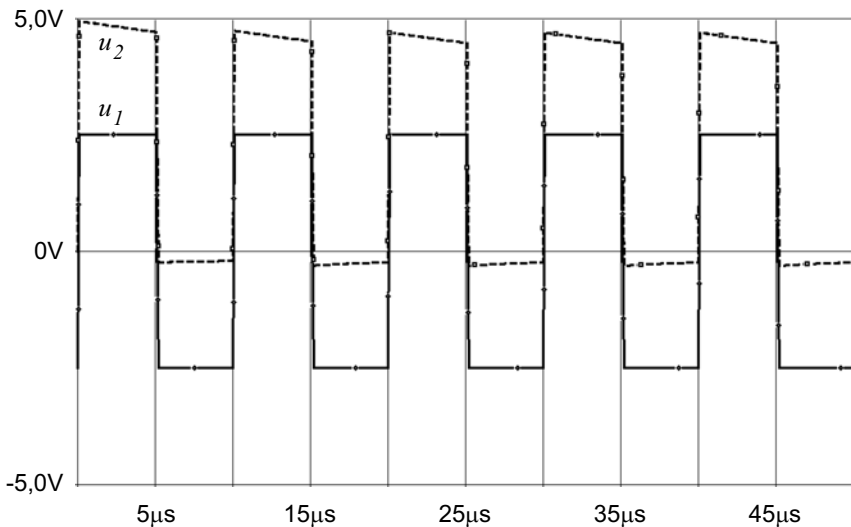


Bild 3.2-30: Ergebnis der Klemmschaltung zur Rückgewinnung eines DC-Anteils für einen gegebenen Signalverlauf ohne DC-Komponente

Schutzschaltungen: Vielfach treten bei Schaltvorgängen Störspannungsspitzen auf, die durch Schutzdioden begrenzt werden müssen. Ein einfaches Beispiel stellt der Schaltvorgang einer induktiven Last dar. Im Beispiel in Bild 3.2-31 wird eine

Induktivität als Verbraucher über einen elektronischen Schalter geschaltet. Der elektronische Schalter kann ein Transistorschalter (z.B. MOS-Schalter) sein. Der R_{ON} -Widerstand des Schalters möge bei 100Ω liegen, der R_{OFF} -Widerstand bei $100k\Omega$. Die Schaltschwelle V_{ON} ist $2V$ und die Schaltschwelle V_{OFF} bei $0,5V$. Die Schaltung des Experiments zeigt das nachstehende Bild. Das Ergebnis der Untersuchung der Schaltung ist in Bild 3.2-32 dargestellt.

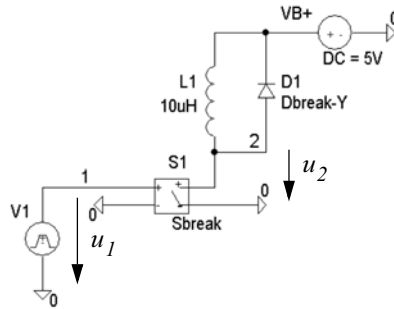


Bild 3.2-31: Schutzdiode für einen geschalteten induktiven Verbraucher

Experiment 3.2-16: Schutzsch1 – TR-Analyse eines geschalteten induktiven Verbrauchers.

Ohne Schutzdiode würde sich im gegebenen Beispiel eine Störspannung von über $200V$ ergeben. Die Schutzdiode verhindert derartig hohe Störspannungsspitzen, wie dem Simulationsergebnis zu entnehmen ist.

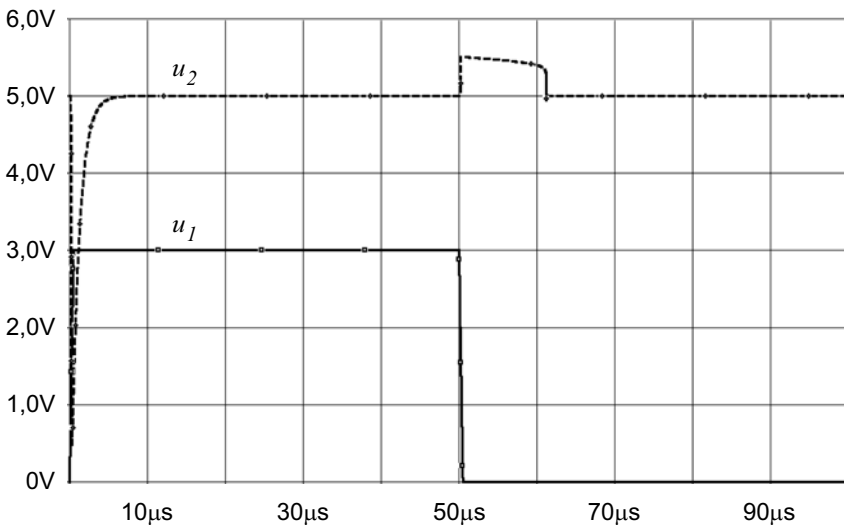


Bild 3.2-32: Geschalteter induktiver Verbraucher mit Schutzdiode (siehe Bild 3.2-31)

3.2.5 Wirkprinzip von Schaltnetzteilen

Zur Aufbereitung von Versorgungsspannungen werden heute zumeist Schaltnetzteile verwendet. Es gibt hierfür ein vielfältiges Angebot von integrierten Funktionsbausteinen. Im Rahmen der Grundlagen zur analogen Schaltungstechnik geht es um ein elementares Verständnis der Wirkungsweise von Schaltnetzteilen.

Ein Schaltnetzteil beinhaltet einen gesteuerten Schalter S . Der als spannungsgesteuerter Halbleiterschalter (Schalttransistor) ausgeführte Schalter wird von einem Impulsbreitenmodulator angesteuert. Die Schaltfrequenz beträgt typisch 20kHz . Der Schalttransistor benötigt im allgemeinen eine hohe Schaltleistung, eine große Spannungsfestigkeit, eine niedrige Restspannung und kurze Schaltzeiten. Schaltnetzteile weisen gegenüber den bisher betrachteten Stabilisierungsschaltungen einen besseren Wirkungsgrad, kleineres Bauvolumen und damit auch kleineres Gewicht auf. Prinzipiell unterscheidet man zwischen primär getakteten Schaltnetzteilen und sekundär getakteten Schaltnetzteilen. Bild 3.2-33 zeigt je ein Realisierungsbeispiel. Darüber hinaus gibt es eine Vielfalt weiterer Realisierungsvarianten zur Optimierung der Eigenschaften eines Schaltnetzteils. Im Weiteren sollen nur die beiden Varianten in Bild 3.2-33 betrachtet werden.

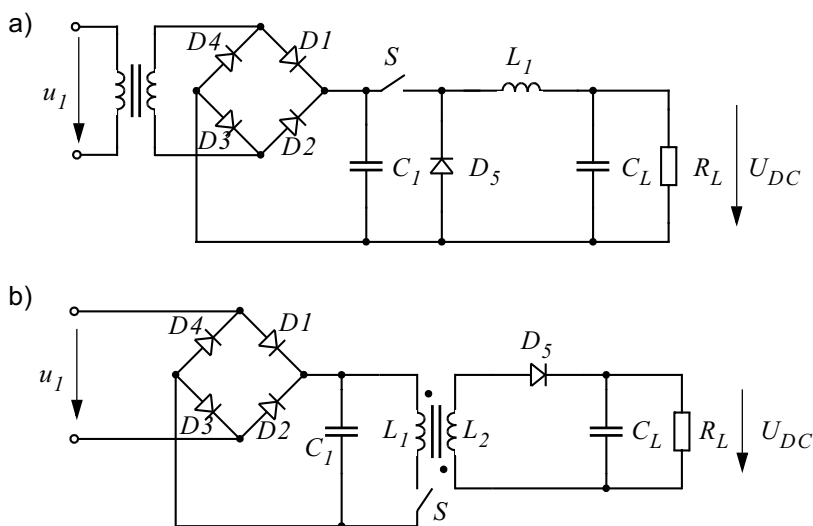


Bild 3.2-33: Schaltnetzteil; a) sekundär getaktet; b) primär getaktet

Im Prinzip wird kein 50-Hz-Netztransformator benötigt. Die Netzspannung kann direkt gleichgerichtet und mit einem Kondensator geglättet werden. Im Bild 3.2-33 a) ist ein Trenntransformator enthalten, der zur galvanischen Trennung dient. Der elektronische Schalter zerhackt die aus der Netzspannung gleichgerichtete DC-Spannung und wandelt sie in die gewünschte zu erzeugende DC-Spannung um. Schaltnetzteile arbeiten entweder als Durchflusswandler (Bild 3.2-33a)) oder als Sperrwandler (Bild 3.2-33b)). Die Vorteile eines Schaltnetzteils sind:

- ❑ Mögliche Einsparung des schweren, großen und teuren 50-Hz-Netztransformators;
- ❑ Verbesselter Wirkungsgrad (60% bis 90%) gegenüber den konventionell geregelten Netzteilen (30% bis 55%) durch den Wegfall der Verlustleistung des Längstransistors und damit auch Wegfall größerer Kühlkörper;
- ❑ Größerer zulässiger Schwankungsbereich der Eingangsschwelspannung.

Durchflusswandler: Ein Beispiel einer möglichen Ausführungsform eines Durchflusswandlers zeigt Bild 3.2-33a). Ist der Schalter S geschlossen, so fließt Strom durch die Spule LI . Der Kondensator CL wird geladen. Die Diode $D5$ ist dabei gesperrt. Für die Spule gilt:

$$u_{LI} = LI \cdot \frac{di_{LI}}{dt} \quad (3.2-7)$$

Während der Einschaltzeit t_{ein} liegt an der Spule die Spannung $U_L = U_{C1} - U_{DC}$ an. Ist der Schalter S geöffnet, so ist die Spannung während der Ausschaltzeit t_{aus} an der Spule $U_L = -U_{DC}$, bei Vernachlässigung der Flussspannung der Diode $D5$. Somit erhält man gemäß obiger Gleichung für die Änderung des Spulenstroms:

$$\Delta i_{LI} = \frac{1}{LI} \cdot (U_{C1} - U_{DC}) \cdot t_{ein} = \frac{1}{LI} \cdot U_{DC} \cdot t_{aus} \quad (3.2-8)$$

Daraus bestimmt sich die gesuchte Ausgangsspannung U_{DC} bei gegebener Schaltfrequenz $f = 1/T$; t_{ein}/T ist das Tastverhältnis zwischen der Einschaltzeit und der Schaltperiode:

$$U_{DC} = \frac{t_{ein}}{t_{ein} + t_{aus}} \cdot U_{C1} = \frac{t_{ein}}{T} \cdot U_{C1} \quad (3.2-9)$$

Mit dem Tastverhältnis t_{ein}/T lässt sich die Ausgangsspannung U_{DC} mittels der Impulsbreite (Impulsbreitenmodulator) einstellen bzw. regeln. Bild 3.2-34 zeigt nach der gleichgerichteten Eingangsspannung das Ergebnis der Ausgangsspannung des Durchflusswandlers nach Bild 3.2-33a) bei einem Tastverhältnis von $1/10$. Die Ausgangsspannung beträgt damit etwa 10% der Eingangsspannung. Im folgenden Experiment ist gegenüber Bild 3.2-33 der Transformator weggelassen. Die Gleichrichtung der Netzspannung erfolgt mit einem einfachen Einweggleichrichter. Den Strom- und Spannungsverlauf innerhalb eines Zeitbereichs über 3 Schaltperioden zeigt Bild 3.2-35. Der Ausgangsstrom ist der Mittelwert des Spulenstroms.

Experiment 3.2-17: Durchflusswandler.

Erhöht man den Lastwiderstand, so verringert sich der Ausgangsstrom. Der Spulenstrom sinkt auf Null in der Sperrphase, die Spannung an der Drossel wird ebenfalls Null. Damit steigt die Ausgangsspannung U_{DC} . Gl. (3.2-9) für die Ausgangsspannung ist jetzt nicht mehr gültig, sie gilt nur für Lastverhältnisse mit einem Mindestausgangsstrom von:

$$I_{a, min} = \frac{1}{2} \cdot \Delta I_{LI} = \left(1 - \frac{U_{DC}}{U_{C1}}\right) \cdot \frac{T \cdot U_{DC}}{2 \cdot LI} \quad (3.2-10)$$

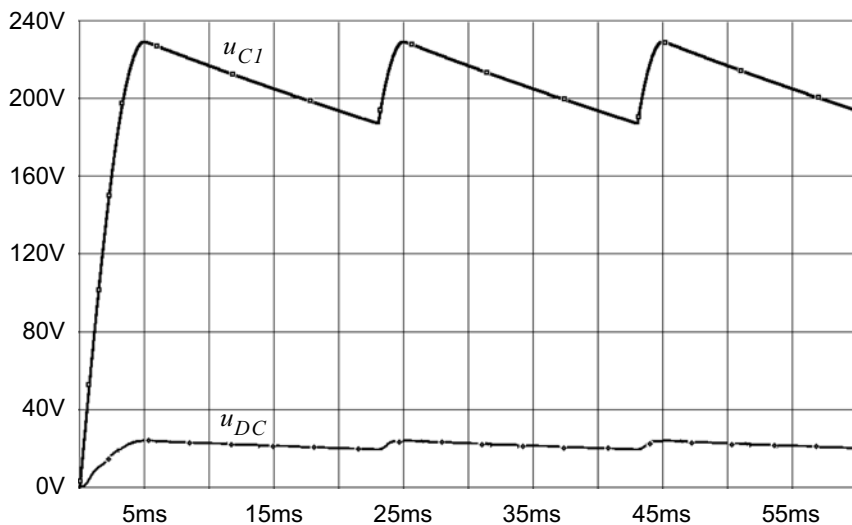


Bild 3.2-34: Eingangs- und Ausgangsspg. beim Durchflusswandler (siehe Bild 3.2-33a)

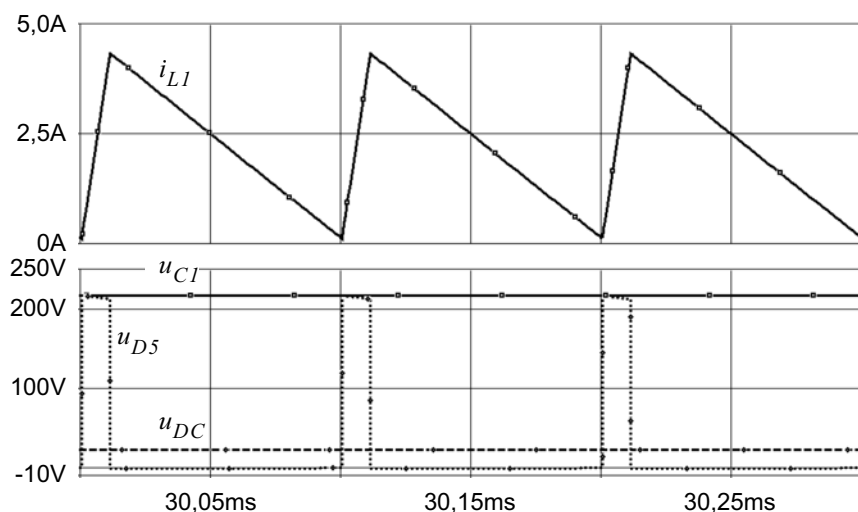


Bild 3.2-35: Strom- und Spannungsverlauf beim Durchflusswandler (siehe Bild 3.2-33a)

Bild 3.2-36 zeigt den Strom- und Spannungsverlauf bei Unterschreitung des Mindestausgangsstroms. Verringert man das Tastverhältnis, so kann man vermeiden, dass die Ausgangsspannung bei kleinen Strömen ansteigt. Eine hier nicht skizzierte Regelschaltung zur Einstellung des Tastverhältnisses gewährleistet das richtige Tastverhältnis auch bei geänderten Lastverhältnissen.

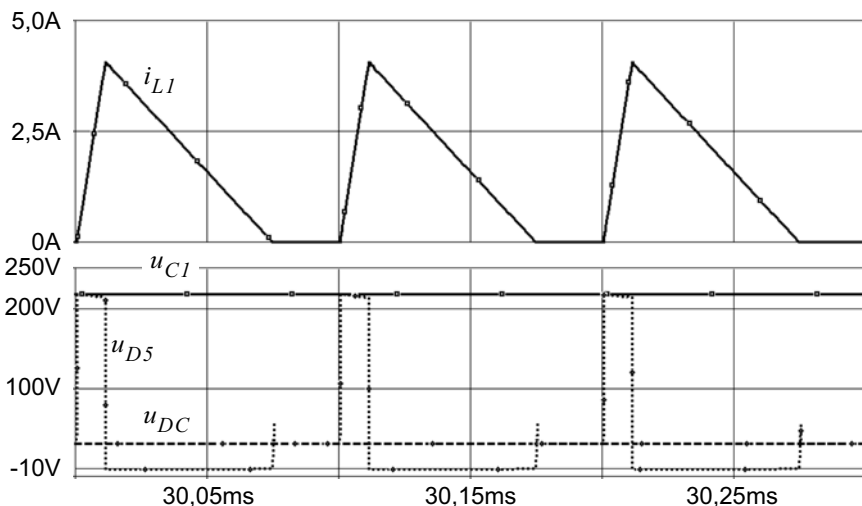


Bild 3.2-36: Strom- und Spannungsverlauf beim Durchflusswandler bei verminderter Last

Sperrwandler: Beim Sperrwandler (Bild 3.2-33b)) wird nach Gleichrichtung aus der Netzspannung die Gleichspannung U_{DC} gewonnen. Der Transformator ist gegensinnig gewickelt, er dreht damit die Phase um 180° . Der Schalter S auf der Primärseite des Transformators baut im geschlossenen Zustand magnetische Energie in der Spule des Transformators auf. Wegen der gegenphasigen Ausgangsspannung sperrt die Diode $D5$, solange der Schalter S geschlossen ist. Die Sekundärseite ist dabei stromlos, primärseitig fließt Strom. Nach dem Öffnen des Schalters S wird der primärseitige Strom i_{L1} unterbrochen. Sekundärseitig entsteht eine Selbstinduktionsspannung, wodurch die Diode $D5$ leitend wird. Die gespeicherte magnetische Energie des Transformators wird jetzt in elektrische Energie des Kondensators CL umgewandelt. Es fließt ein Sekundärstrom i_{L2} . Für die Ausgangsspannung gilt bei einem Übersetzungsverhältnis $\ddot{u} = 1$ des Transformators:

$$U_{DC} = \frac{t_{ein}}{t_{aus}} \cdot U_{C1} \quad (3.2-11)$$

Voraussetzung ist auch hier, dass ein Mindestausgangsstrom fließt. Der Ausgangsstrom darf innerhalb der Ausschaltzeit nicht Null erreichen. Das nachstehende Experiment untersucht den Sperrwandler. Das Ergebnis des Experiments ist in Bild 3.2-37 dargestellt. Die Spannung u_{C1} ist die Eingangsspannung gemäß Bild 3.2-33b), u_{DC} ist die Ausgangsspannung, u_{L2} die Sekundärspannung des Sperrwandlers.

Experiment 3.2-18: Sperrwandler.

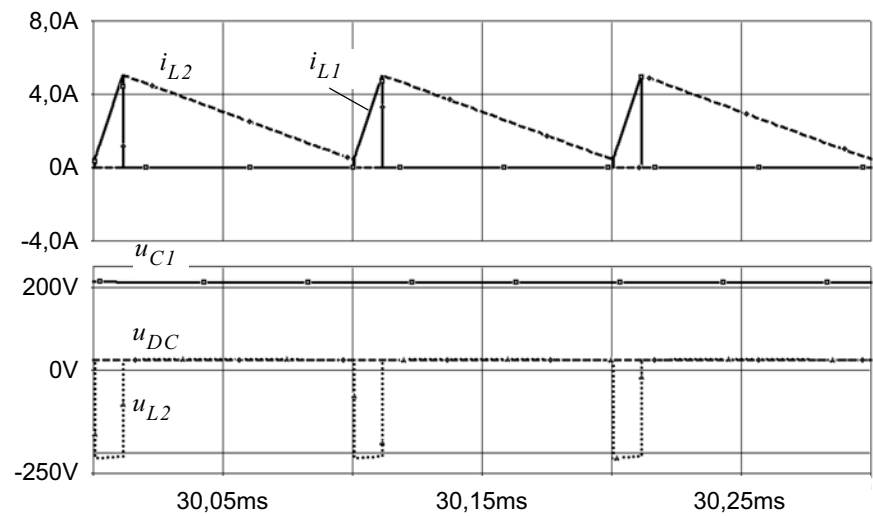


Bild 3.2-37: Spannungs- und Stromverläufe beim Sperrwandler (siehe Bild 3.2-33b)

4 Linearverstärker

Eine grundlegende Schaltkreisfunktion in der Analogtechnik ist der Linearverstärker. Mit ihm werden schwache Signale verzerrungsfrei verstärkt und aus dem Rauschen herausgehoben. Zunächst erfolgt eine allgemeine Einführung in die Eigenschaften von Linearverstärkern. Im Weiteren wird in rückgekoppelte Verstärkerschaltungen eingeführt. Die Rückkopplung spielt in nahezu allen Funktionschaltkreisen gewollt oder nicht gewollt durch parasitäre Einflüsse eine maßgebliche Rolle. Mit geeigneten Rückkopplungsmaßnahmen lassen sich die Eigenschaften von Verstärkerschaltungen beeinflussen. Der Operationsverstärker gilt als einer der wichtigsten Vertreter von Standard-Linearverstärkern.

4.1 Eigenschaften von Linearverstärkern und Makromodelle

Linearverstärker lassen sich durch Makromodelle auf der Basis gesteuerter Quellen beschreiben. Je nachdem welche Eigenschaften in einer Anwendung berücksichtigt werden sollen, muss ein dafür geeignetes Modell zugrundegelegt werden.

4.1.1 Grundmodell eines Linearverstärkers

Eingeführt wird ein Grundmodell für einen Linearverstärker. Das Grundmodell beschreibt das Schnittstellenverhalten und das frequenzabhängige Übertragungsverhalten. Das Übertragungsverhalten wird durch eine spannungsgesteuerte Spannungsquelle oder durch eine spannungsgesteuerte Stromquelle dargestellt. Die Schaltkreisfunktion „Linearverstärker“ wird durch ein Symbol in der symbolischen Beschreibungssprache eines Elektroniksystems – Schematic Entry – repräsentiert. Um das elektrische Verhalten zu charakterisieren, muss „hinter“ das Symbol ein Modell gelegt werden. Die Referenzierung geschieht meist über ein Attribut (in PSpice: „Implementation“-Attribut) am Symbol. Das hier verwendete Ersatzschaltbild-Modell (Schematic-View) ist ein Makromodell auf Basis gesteuerter Quellen. Das Makromodell (Bild 4.1-1) legt das Schnittstellenverhalten und das Übertragungsverhalten fest. Dabei ist:

Z_{id} : Eingangswiderstand; typ. $1M\Omega$, parallel dazu ca. $1pF$;

Z_a : Ausgangswiderstand; typ. 100Ω ;

v_{ud} : Verstärkung mit $v_{ud} = v_{ud0}/(1 + j(f/f_1))$; v_{ud0} typ. 10^5 .

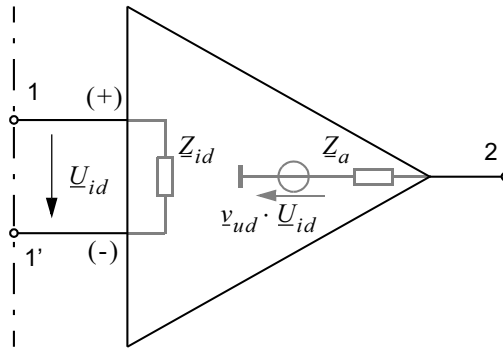


Bild 4.1-1: Symbol, Modell und Modellparameter des Linearverstärkers

Allgemein ist der Verstärkungsfrequenzgang des Linearverstärkers anwendungsspezifisch zu modellieren. Man unterscheidet grundsätzlich DC-gekoppelte Verstärker ohne untere Eckfrequenz und AC-gekoppelte Verstärker mit unterer Eckfrequenz. AC-gekoppelte Stufen sind wesentlich einfacher zu realisieren. Offsetprobleme (Gleichspannungsverschiebungen) sind dabei leichter zu beherrschen. Dort wo es die Signalbandbreite zulässt, wird die AC-Kopplung verwendet. Die Modellierung erfolgt u.a. durch eine geeignete Ersatzschaltung auf der Basis eines Makromodells mit gesteuerten Quellen und Elementen zur Nachbildung des Frequenzgangs. Ein typischer Frequenzgangverlauf eines Verstärkers weist ein Tiefpassverhalten erster Ordnung auf.

$$v_{ud} = \frac{v_{ud0}}{1 + j(f/f_l)} \quad (4.1-1)$$

Bei tiefen Frequenzen beträgt die Verstärkung v_{ud0} . Ab der Eckfrequenz f_l ergibt sich ein Verstärkungsabfall um 20dB pro Dekade. Ein Verstärkungsfrequenzgang mit zwei Eckfrequenzen wird beschrieben durch:

$$v_{ud} = \frac{v_{ud0}}{(1 + j(f/f_l)) \cdot (1 + j(f/f_2))} \quad (4.1-2)$$

Komplexere Verstärkungsfrequenzgänge haben eine untere Eckfrequenz und obere Eckfrequenzen. Sie weisen damit eine Bandpasscharakteristik auf.

$$v_{ud} = \frac{v_{ud,unten} \cdot (1 + j(f/(f_{gu} \cdot v_{ud,unten}/v_{ud,mitte})))}{(1 + j(f/f_{gu})) \cdot (1 + j(f/f_{go}))} \quad (4.1-3)$$

Bild 4.1-2 zeigt beispielhaft einige typische Verstärkungsfrequenzgänge ohne und mit unterer Eckfrequenz. Grundsätzlich weisen Verstärker mindestens eine obere Eckfrequenz und damit immer eine endliche Bandbreite auf.

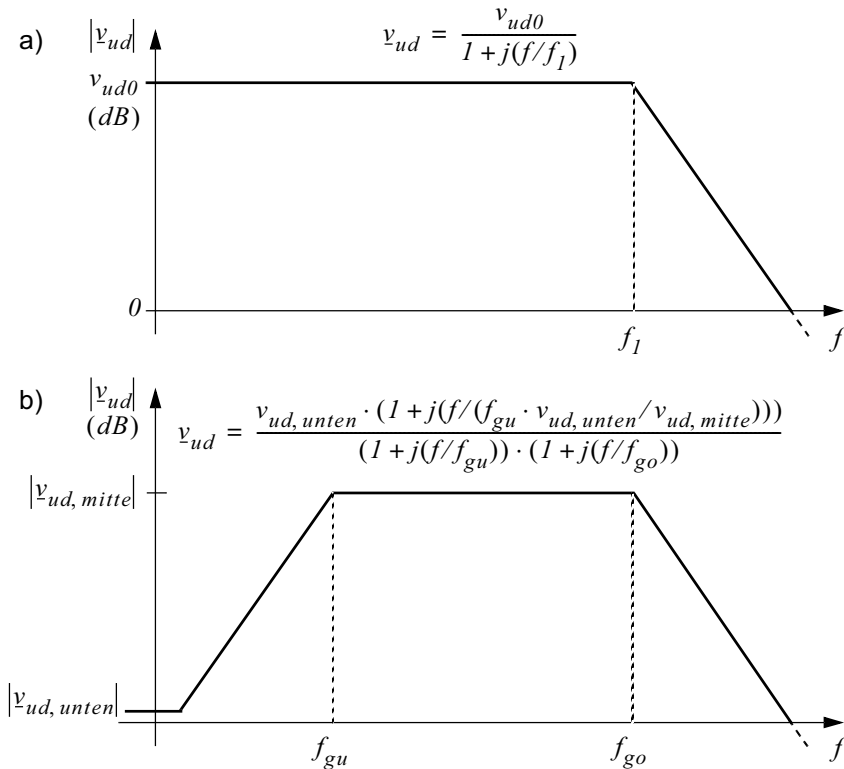


Bild 4.1-2: Frequenzgang eines Linear – Verstärkers; a) DC-gekoppelt mit einer oberen Eckfrequenz; b) AC-gekoppelt mit einer unteren und einer oberen Eckfrequenz

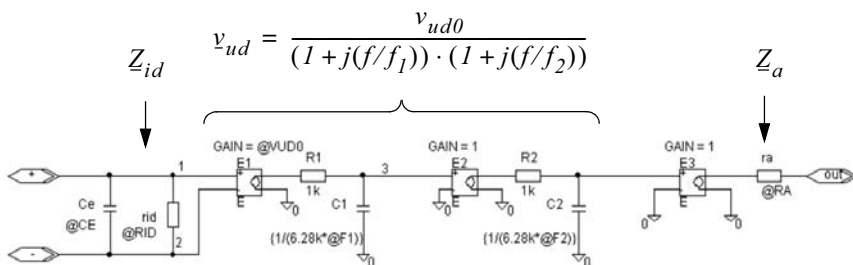


Bild 4.1-3: Parametrisierbares Makromodell eines Linearverstärkers

Um ein für die DC-, AC- und TR-Analyse geeignetes Modell einzuführen, ist der Verstärkungsfrequenzgang u.a. durch ein Ersatzschaltbildmodell nachzubilden. Bild 4.1-3 zeigt ein PSpice-Makromodell für einen Linearverstärker mit endlicher Spannungsverstärkung v_{ud0} , mit Eckfrequenz f_1 und f_2 , mit endlichem Eingangswi-

derstand Z_{id} und mit endlichem Ausgangswiderstand Z_a . Kern des Makromodells ist eine spannungsgesteuerte Spannungsquelle ($E1$). Die Trennverstärker $E2$, $E3$ sind erforderlich, um die Eckfrequenzen und den Ausgangswiderstand unabhängig voneinander einstellen zu können.

Experiment 4.1-1: LVAC2 – Makromodell eines Linearverstärkers mit gesteuerter Spannungsquelle.

Dieses Experiment beschreibt einen parametrisierbaren Linearverstärker mit Schematic Model (Bild 4.1-4). Die Parameter für den Eingangswiderstand, den Ausgangswiderstand und die Verstärkung können am Symbol der Instanz anwendungsspezifisch festgelegt werden. Bei einem Verstärker mit Tiefpassverhalten erster Ordnung ist einfach die zweite Eckfrequenz genügend hoch zu setzen, so dass sie im betrachteten Frequenzbereich nicht zur Wirkung kommt.

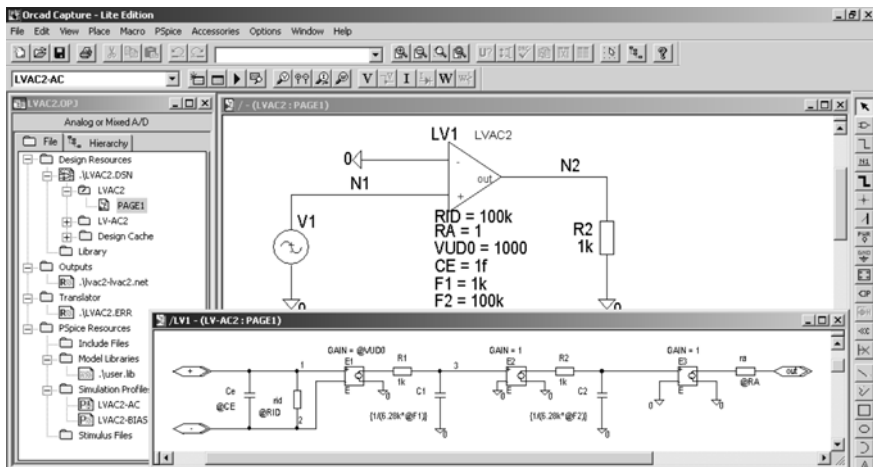


Bild 4.1-4: Linearverstärker in PSpice modelliert durch ein parametrisierbares Schematic Modell mit spannungsgesteuerter Spannungsquelle

Den Verstärkungsfrequenzgang zeigt Bild 4.1-7. Bei tiefen Frequenzen beträgt die Verstärkung im Beispiel 1000 . Die erste Eckfrequenz des Verstärkungsfrequenzgangs liegt bei 1kHz , die zweite Eckfrequenz bei 100kHz . Da der Verstärker am (+) Eingang angesteuert wird, ist die Phasendrehung der Verstärkung bei tiefen Frequenzen 0° . Oberhalb der ersten Eckfrequenz dreht die Ausgangsspannung gegenüber der Eingangsspannung die Phase um -90° ; oberhalb der zweiten Eckfrequenz um -180° .

In VHDL-AMS lässt sich für den Linearverstärker ebenfalls ein Makromodell bilden. Bild 4.1-5 zeigt die Modellbeschreibung eines Linearverstärkers mit Eingangsimpedanz (rid , Cid), mit Ausgangsimpedanz (ra), mit einem frequenzabhängigen Verstärkungsfaktor ($vud0$, $f1$, $f2$).

```

library ieee, disciplines;
use ieee.math_real.all;
use disciplines.electromagnetic_system.all;
entity OpAmp is
  generic (
    rid      : real := 0.0;      -- input resistance
    cid      : real := 0.0;      -- input capacitance
    vud0     : real := 0.0;      -- low frequency gain
    ra       : real := 0.0;      -- output resistance
    f1       : real := 0.0;      -- f1 of gain
    f2       : real := 0.0;      -- f2 of gain
    port (terminal plus, minus, output : electrical);
  end OpAmp;
  -----
  architecture Level0 of OpAmp is
    -- inner terminals
    terminal n1 : electrical;
    -- branch quantities
    quantity vin across icid, irid through minus to plus;
    quantity vra across ira through n1 to output;
    quantity vint across iint through electrical_ground to n1;
    quantity voutout across output to electrical_ground;
    -- free quantities
    quantity vx : real;
    -- constants
    constant w1 : real := f1 * math_2_pi;
    constant w2 : real := f2 * math_2_pi;
    constant num : real_vector := (0 => w1 * w2 * vud0);
    constant den : real_vector := (w1*w2, w1+w2, 1.0);
  begin
    icid == cid * vin'dot;
    irid == vin/rid;
    -- vx = vin'ltf(vud0*w1*w2/(w1*w2+(w1+w2)*s*s*s))
    vx == vin'ltf(num, den);
    vint == vx;
    vra == ira * ra;
  end Level0;

```

Bild 4.1-5: Modellbeschreibung eines Linearverstärkers (Level0) in VHDL-AMS

Der Frequenzgang des Verstärkungsfaktors wird durch

```
vx == vin'ltf(num, den);
```

dargestellt. Dabei ist $vin'ltf(num, den)$ die Laplace-Transformation von vin mit einem normierten Ausdruck bestehend aus Zähler (num) und Nennerausdruck (den). Die Parameter des normierten Zählerausdrucks und Nennerausdrucks werden durch Konstanten deklariert. Diese Modellbeschreibung erlaubt die Verwendung für die DC-Analyse, für die Frequenzbereichsanalyse und auch für die Zeitbereichsanalyse. Bild 4.1-6 erläutert die in Bild 4.1-5 dargestellte Modellbeschreibung eines Linearverstärkers.

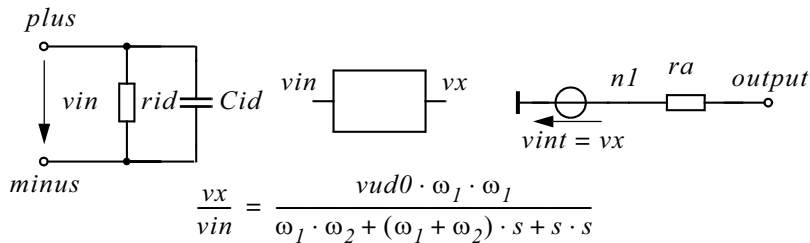


Bild 4.1-6: Erläuterung zur VHDL-AMS Modellbeschreibung des Linearverstärkers

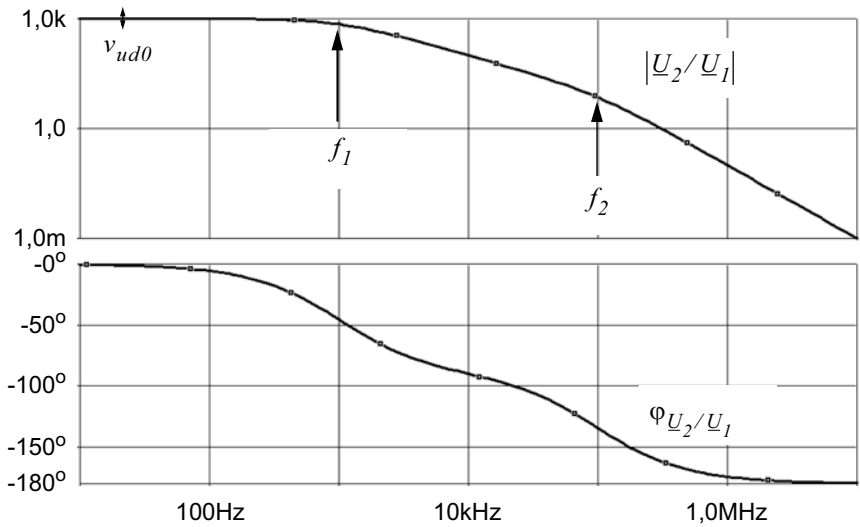


Bild 4.1-7: Verstärkungsfrequenzgang des parametrisierbaren Linearverstärkers mit spannungsgesteuerter Spannungsquelle (siehe Bild 4.1-3) mit Parametern gemäß Bild 4.1-4;

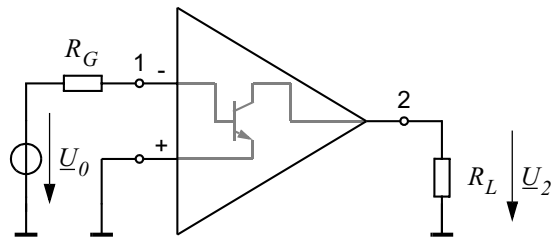


Bild 4.1-8: Verstärker mit spannungsgesteuerter Stromquelle

Neben einem Makromodell auf der Basis einer spannungsgesteuerten Spannungsquelle gibt es Makromodelle auf Basis einer spannungsgesteuerten Strom-

quelle (Bild 4.1-8). Dieser so beschriebene Linearverstärker ist am Ausgang hochohmig. Ein Transistor (Bipolartransistor oder Feldeffekttransistor) stellt im Normalbetrieb eine spannungsgesteuerte Stromquelle mit der Steilheit g_m als Strom-Übertragungsfaktor dar.

Experiment 4.1-2: LVAC_I – Makromodell eines Linearverstärkers mit spannungsgesteuerter Stromquelle.

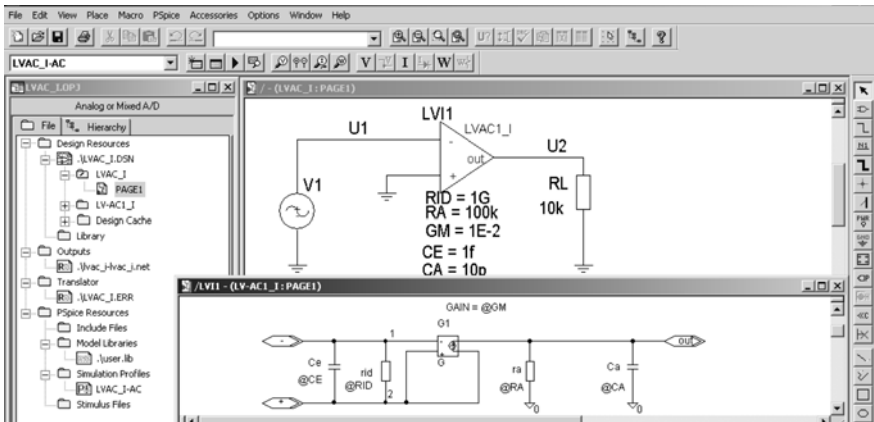


Bild 4.1-9: Linearverstärker in PSpice modelliert durch ein parametrisierbares Schematic Modell mit spannungsgesteuerter Stromquelle mit der Steilheit g_m

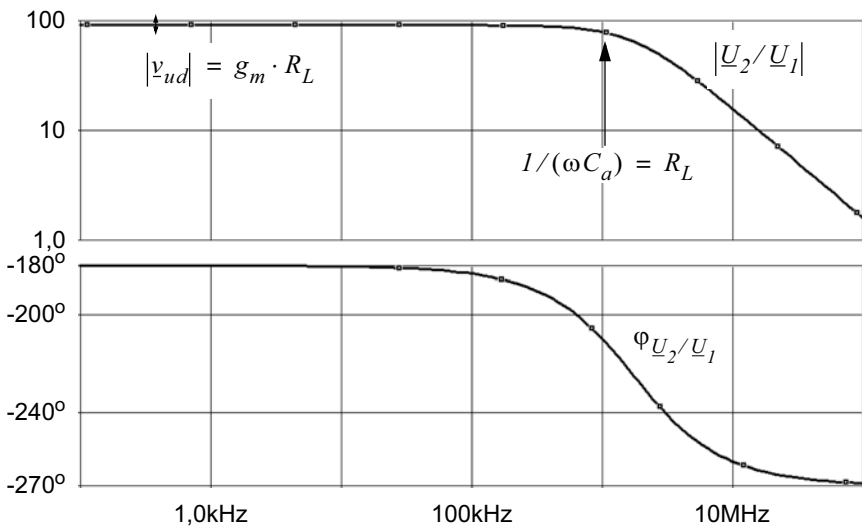


Bild 4.1-10: Verstärkungsfrequenzgang des parametrisierbaren Linearverstärkers mit spannungsgesteuerter Stromquelle

Das Beispiel-Experiment eines Linearverstärkers mit spannungsgesteuerter Stromquelle zeigt, dass ohne Berücksichtigung der Kapazität C_a hier die Verstärkung

$$v_{ud} = g_m \cdot R_L \parallel r_a \quad (4.1-4)$$

ist. Die Steilheit der spannungsgesteuerten Stromquelle beträgt im Beispiel $g_m = 1/(100\Omega)$. Bei einem Lastwiderstand von $10k\Omega$ ergibt sich eine Verstärkung von 100. Die Kapazität C_a bildet mit dem Lastwiderstand ein Tiefpassverhalten erster Ordnung. Bei den gegebenen Werten liegt die daraus resultierende Eckfrequenz bei ca. 1,6MHz. Diese Abschätzwerte werden durch das Simulationsergebnis in Bild 4.1-10 bestätigt.

Zusammenfassung: Die Eigenschaften eines Linearverstärkers lassen sich durch ein Makromodell beschreiben. Dies beinhaltet Eigenschaften für das Übertragungsverhalten und für das Schnittstellenverhalten am Eingang und Ausgang. Das Übertragungsverhalten kann durch ein Netzwerk aus gesteuerten Quellen und Tiefpasselementen nachgebildet werden. Grundsätzlich weist ein Verstärker immer mindestens ein Tiefpassverhalten erster Ordnung auf.

4.1.2 Schnittstellenverhalten

Um die Auswirkungen des Schnittstellenverhaltens eines Linearverstärkers zu betrachten, wird der Verstärker in einer konkreten Anwendung mit Signalquelle am Eingang und Lastwiderstand am Ausgang betrieben (Bild 4.1-11). Zur Verdeutlichung der Schnittstelle am Eingang wird eine Verstärkerschaltung mit AC-Kopplung zwischen Signalquelle und Verstärker eingeführt. Mit einem in Reihe eingefügten Serien-C können Funktionsschaltkreise voneinander unabhängige Gleichspannungspotenziale (z. B.: $V_I \neq V_3$) führen. Das Serien-C bringt ein Hochpassverhalten, welches zusätzlich durch den Eingangswiderstand Z_{id} einer Verstärkerstufe beeinflusst wird.

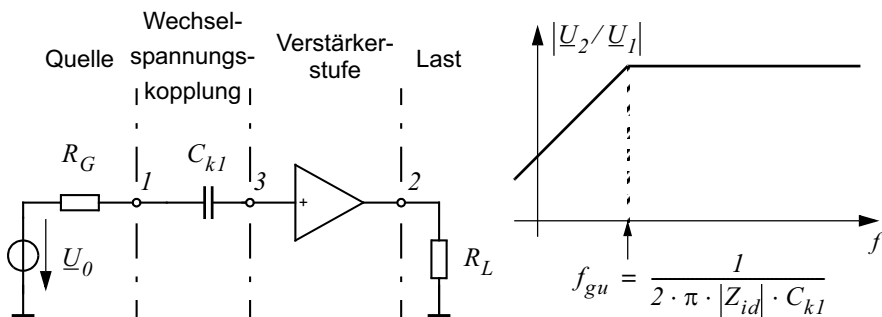


Bild 4.1-11: Verstärkerstufe mit vorgeschalteter Koppelkapazität

Die untere Eckfrequenz ergibt sich aus folgender Bedingung:

$$\omega \cdot C_{kl} = \frac{1}{|Z_{id}|} \quad (4.1-5)$$

Aufgrund der Hochpasswirkung der Koppelkapazität C_{kI} im Zusammenhang mit Z_{id} werden tiefe Frequenzanteile des Eingangssignals unterdrückt. Für eine untere Eckfrequenz von 100Hz reicht eine Koppelkapazität C_{kI} von $1,6\text{nF}$ bei einem Eingangswiderstand von $1\text{M}\Omega$. Wäre der Eingangswiderstand nur $1\text{k}\Omega$, so müßte für dieselbe Eckfrequenz eine Koppelkapazität von $1,6\mu\text{F}$ gewählt werden. Diese hohe Koppelkapazität ist vom Bauvolumen her deutlich größer. Zudem weist sie eine tiefere Eigen-Resonanzfrequenz auf. Oberhalb der Eigen-Resonanzfrequenz wird die Koppelkapazität induktiv, sie stellt dann keinen „Kurzschluss“ mehr dar. Insgesamt lässt sich feststellen: Je hochohmiger die Schnittstelle am Eingang des Linearverstärkers ist, desto kleiner kann die Koppelkapazität für AC-Kopplung für eine gegebene untere Eckfrequenz gewählt werden.

Experiment 4.1-3: LVCK – Linearverstärker mit AC-Kopplung am Eingang.

Das Ergebnis des Experiments in Bild 4.1-12 bestätigt, dass sich bei einem Eingangswiderstand von $1000\text{k}\Omega$ und einer Koppelkapazität von $1,6\text{nF}$ eine untere Eckfrequenz von 100Hz ergibt. Bei tiefen Frequenzen liegt mit Berücksichtigung der Koppelkapazität eine Phasendrehung von $+90^\circ$ vor. Wegen der zwei Eckfrequenzen des Verstärkers und der zusätzlichen Eckfrequenz verursacht durch die Lastkapazität C_L (im Experiment parallel zu R_L) ergibt sich bei hohen Frequenzen eine Phasendrehung von -270° .

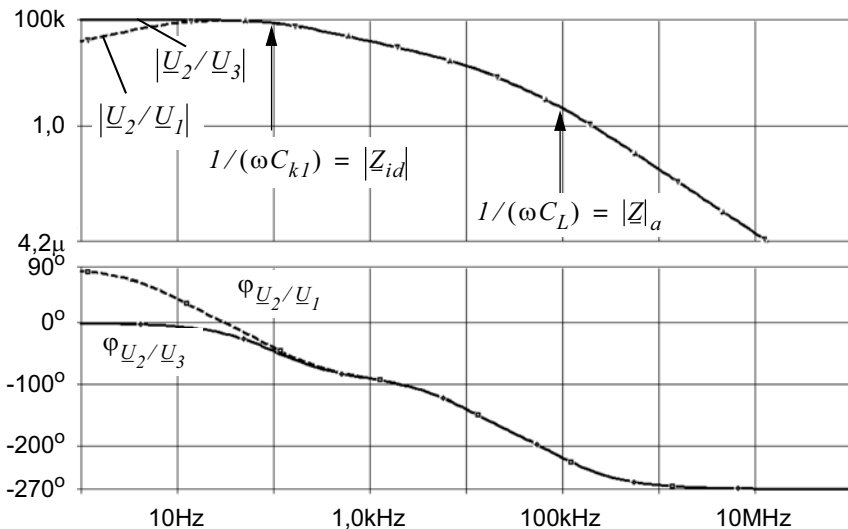


Bild 4.1-12: Ergebnis der AC-Analyse der Verstärkerstufe nach Experiment 4.1-3

Allgemein ergibt sich ein Übertragungsverhalten für die Verstärkeranordnung:

$$\frac{\underline{U}_2}{\underline{U}_1} = \frac{\underline{U}_3}{\underline{U}_1} \cdot v_{ud} \quad (4.1-6)$$

Das bisherige Übertragungsverhalten bestimmt sich aus dem Schnittstellenverhalten am Eingang multipliziert mit dem Übertragungsverhalten des Linearverstärkers (ohne Berücksichtigung der Lastkapazität). Eine immer vorhandene Lastkapazität am Ausgang verursacht zusammen mit dem Innenwiderstand am Ausgang Z_a des Verstärkers ein zusätzliches Tiefpassverhalten. Die obere Eckfrequenz ergibt sich aus der Bedingung:

$$\omega \cdot C_L = \frac{1}{|Z_a|} \quad (4.1-7)$$

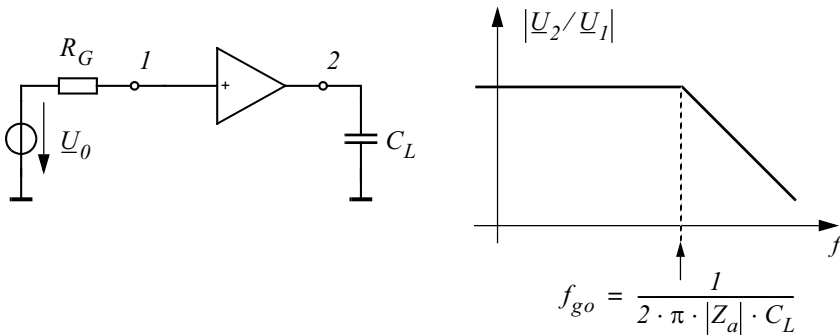


Bild 4.1-13: Zusätzliche obere Grenzfrequenz von Verstärkern mit kapazitiver Last

Für das Gesamtübertragungsverhalten des Verstärkers erhält man (vgl. auch Bild 4.1-11):

$$\frac{U_2}{U_0} = \frac{U_3}{U_1} \cdot v_{ud} \cdot \frac{U_2}{U_{2,innen}}; \quad (4.1-8)$$

Im Beispiel ergibt eine Lastkapazität von $16nF$ mit einem Innenwiderstand am Ausgang Z_a des Verstärkers in Höhe von 100Ω eine zusätzliche obere Eckfrequenz von $100kHz$. Die Eckfrequenzen f_1 und f_2 des Verstärkers bleiben davon unberührt. Je niederohmiger die Schnittstelle am Ausgang des Linearverstärkers ist, desto höher liegt die Eckfrequenz verursacht durch eine gegebene Lastkapazität.

Zusammenfassung: Das Gesamtübertragungsverhalten eines Verstärkers wird bestimmt durch die Art der Ankopplung am Eingang in Verbindung mit der Eingangsimpedanz des Verstärkers, durch die Übertragungseigenschaften des Verstärkers und durch das Lastverhalten am Ausgang in Verbindung mit der Ausgangsimpedanz des Verstärkers.

4.1.3 Aussteuer Grenzen eines Linearverstärkers

Jede Schaltungsfunktion ist nur eingeschränkt gültig. Ein Verstärker weist eine endliche Ausgangsaussteuerbarkeit auf, sie ist im allgemeinen durch die Versorgungsspannungen des Verstärkers und durch die Auslegung der Treiberstufe am Ausgang gegeben. Zur Berücksichtigung der endlichen Aussteuerbarkeit muss das Makromodell durch einen Ausgangs-Limiter ergänzt werden.

Für die im allgemeinen gegebene größtmögliche Aussteuerbarkeit bis maximal zu den Versorgungsspannungen (im Bild 4.1-14: $U_{2,max} = 10V$, $U_{2,min} = -10V$) gibt es Ausnahmen bei Schaltungen mit Speicherelementen im Lastkreis (z.B. induktive Last, Übertrager als Lastkreis). Oft wird die Versorgungsspannung als Aussteuergrenze nicht erreicht. Dies hängt von der Ausgangsstufe ab. Verstärker, die bis zu den durch die Versorgungsspannungen gegebenen Grenzen aussteuerbar sind, nennt man „Rail-to-Rail“ Verstärker. Nachstehend wird angenommen, dass die Versorgungsspannung als Aussteuergrenze erreicht wird.

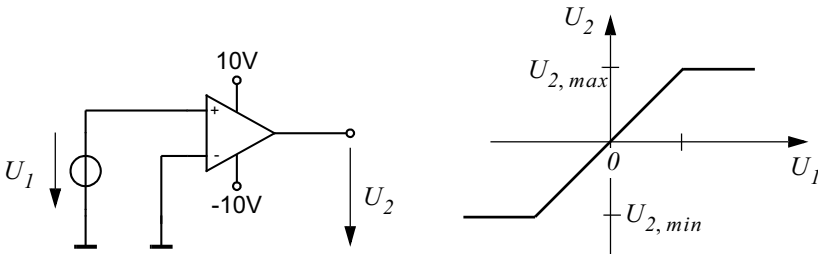


Bild 4.1-14: Begrenzungswirkung eines Linearverstärkers bei Übersteuerung

Um die Aussteuer Grenzen des Linearverstärkers zu berücksichtigen, muss das Makromodell um einen Begrenzelement (hier auf $\pm 10V$) erweitert werden. Das neu einzuführende Begrenzelement $E3$ im Makromodell berücksichtigt die Aussteuer Grenzen, gegeben durch die Versorgungsspannungen. Die Übertragungsfunktion des Begrenzelements wird durch Tabellenwerte definiert. Sie ist im Beispiel so eingestellt, dass im Bereich $\pm 10V$ die Verstärkung 1 beträgt und darüber hinaus die Begrenzung wirkt. Bild 4.1-16 zeigt das Ergebnis des Experiments nach Bild 4.1-15.

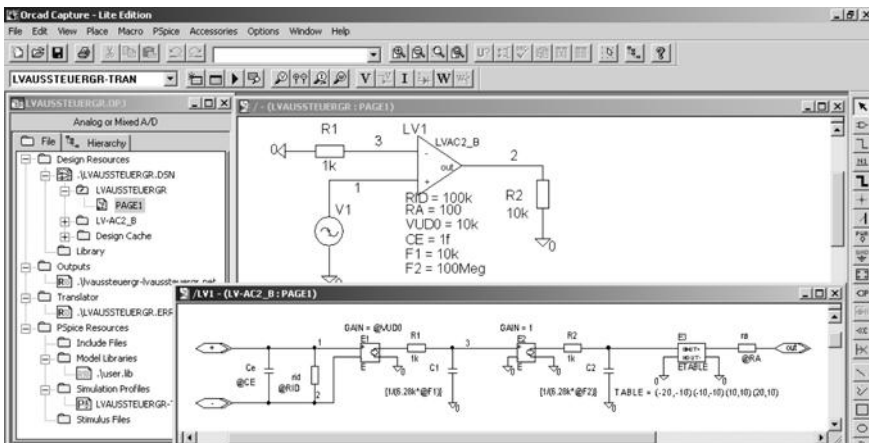


Bild 4.1-15: Experiment zur Darstellung der Aussteuer Grenzen: Linearverstärker mit Makromodell das mittels eines Begrenzelements $E3$ die Aussteuer Grenzen berücksichtigt

Experiment 4.1-4: LVAussteuergrenzen – Linearverstärker mit Begrenzungseigenschaft; der Aussteuerbereich des Ausgangssignals ist auf $\pm 10V$ eingestellt.

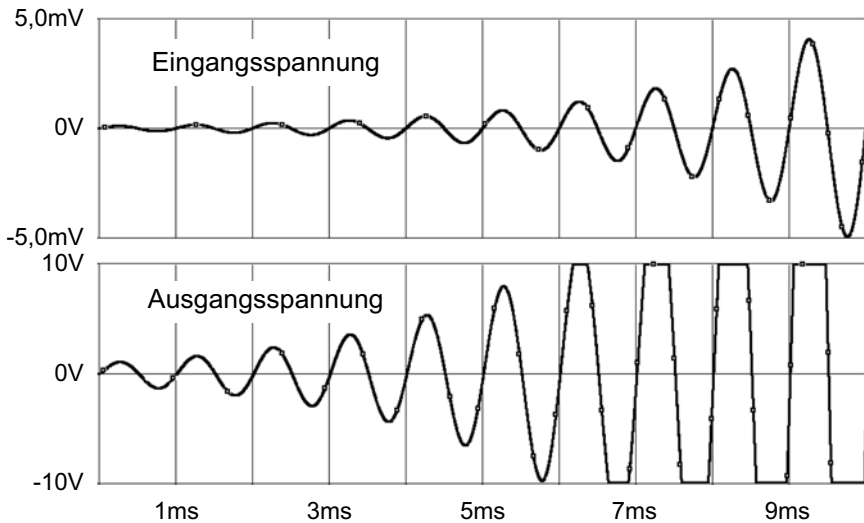


Bild 4.1-16: Ergebnis eines Verstärkers mit Berücksichtigung der Aussteuergrenzen

Wie bereits erwähnt, werden die maximalen Aussteuergrenzen eines Verstärkers wesentlich bestimmt durch die am Verstärker anliegenden Versorgungsspannungen und die Auslegung der Ausgangsstufe (Treiberstufe) unter Berücksichtigung der Lastverhältnisse. Die Begrenzeigenschaften eines Verstärkers lassen ihn auch als Komparator verwenden. Ein Komparator wird so angesteuert, dass der Verstärker entweder in positiver oder negativer Begrenzung am Ausgang betrieben wird. Im Prinzip stellt der Komparator einen 1Bit-Analog/Digital-Wandler dar. Soll der Verstärker als Linearverstärker mit gegebener Verstärkung arbeiten, so ist der Aussteuerbereich des Eingangssignals so zu wählen, dass der lineare Bereich nicht verlassen wird. Ansonsten ergeben sich Verzerrungen (Klirrfaktor). Wechselt der Aussteuerbereich der Signalquelle (z.B. am Fußpunkt einer Antenne), so ist die Verstärkung so anzupassen, dass die Aussteuergrenzen nicht überschritten werden (Regelverstärker).

Die bisher betrachteten Eigenschaften eines Linearverstärkers sollen inclusive der Begrenzungseigenschaften durch eine Modellbeschreibung in der Hardwarebeschreibungssprache VHDL-AMS verwirklicht werden. Bild 4.1-17 zeigt eine Modellbeschreibung mit Begrenzung der Ausgangsaussteuerbarkeit. Dazu müssen zusätzlich die Parameter für die Aussteuergrenzen v_{max_p} und v_{max_n} eingeführt werden. Die Modellbeschreibung ist auch ein Beispiel für „Simultaneous Statements“.

```

library ieee, disciplines;
use ieee.math_real.all;
use disciplines.electromagnetic_system.all;
entity OpAmp is
  generic (
    rid      : real := 0.0;      -- input resistance
    cid      : real := 0.0;      -- input capacitance
    vud0     : real := 0.0;      -- low frequency gain
    ra       : real := 0.0;      -- output resistance
    f1       : real := 0.0;      -- f1 of gain
    f2       : real := 0.0;      -- f2 of gain
    v_max_p  : real := 5.0;      -- max pos. output voltage
    v_max_n  : real := -5.0;     -- max neg. putput voltage
    port (terminal plus, minus, output : electrical);
  end OpAmp;

-----
architecture Level1 of OpAmp is
-- inner terminals
  terminal n1 : electrical;
-- branch quantities
  quantity vin across icid, irid through minus to plus;
  quantity vra across ira through n1 to output;
  quantity vint across iint through electrical_ground to n1;
  quantity voutput across output to electrical_ground;
-- free quantities
  quantity vx : real;
-- constants
  constant w1 : real := f1 * math_2_pi;
  constant w2 : real := f2 * math_2_pi;
  constant num : real_vector := (0 => w1 * w2 * vud0);
  constant den : real_vector := (w1*w2, w1+w2, 1.0);
begin
  icid == cid * vin'dot;
  irid == vin/rid;
  vx == vin'ltf(num, den);
  -- limitation of the output voltage
  if vx'above(v_max_p) use          vint == v_max_p;
    elsif not vx'above(v_max_n) use vint == v_max_n;
    else vint == vx;
  end use;
  vra == ira * ra;
end Level1;

```

Bild 4.1-17: Modellbeschreibung eines Linearverstärkers (level1) in VHDL-AMS

4.1.4 Rauschen

Jeder Verstärker weist innere Rauschquellen auf, die das wirksame Signal-zu-Rauschleistungsverhältnis am Ausgang verschlechtern. Nachstehend erfolgt eine kurze Einführung in die Theorie des Rauschens, um die wesentlichen Grundlagen des Rauschverhaltens von Verstärkern zu erläutern.

Grundlagen zum Rauschen: Die Kurzdarstellung zum Rauschverhalten eines Linearverstärkers soll die Grundproblematik des Rauschens von Verstärkern aufzeigen. Im allgemeinen bringen elektronische Bauteile im Inneren eines Verstärkers Rauschquellen ein. Ein typisches Rauschsignal ist in Bild 4.1-18 dargestellt. Bei der Rauschanalyse ist die komplexe Rechnung, die harmonische Signale voraussetzt, nicht anwendbar. Rauschgrößen weisen statistisch verteilte Amplituden (Amplitudenrauschen) und Phasen (Phasenrauschen) auf; sie werden durch ihre Rauschleistung beschrieben. Die spektrale Rauschleistungsichte ist der Rauschleistungsbeitrag ΔP_r in einem kleinen Frequenzbereich Δf bezogen auf den betrachteten Frequenzbereich. Rauschgrößen werden mit $\bar{U}_r/\sqrt{\text{Hz}}$ beschrieben. Dies stellt eine spektrale Rauschspannung dar, wobei $\bar{U}_r$ der quadratische Mittelwert (entsprechend dem Effektivwert) ist. Den zeitlichen Momentanwert einer Rauschgröße zeigt beispielhaft Bild 4.1-18. Die Amplitude und Phase der Rauschgröße ist statistisch verteilt, wobei oft eine Gauß-Verteilung für die Amplitude angenommen wird.

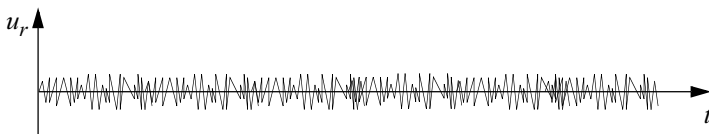


Bild 4.1-18: Rauschgröße im Zeitbereich betrachtet

Man kann sich die Rauschgröße aus einem komplexen Zeiger entstanden denken, dessen Amplitude und Phase sich statistisch verändert. Ein verrauschtes sinusförmiges Signal würde sich in der komplexen Ebene durch Überlagerung eines komplexen Zeigers für die Sinusgröße und einer statistisch veränderlichen Störgröße darstellen (Bild 4.1-19). Der zeitliche Momentanwert ist im Sinne der komplexen Darstellung die Projektion auf die reelle Achse bzw. Imaginärachse.

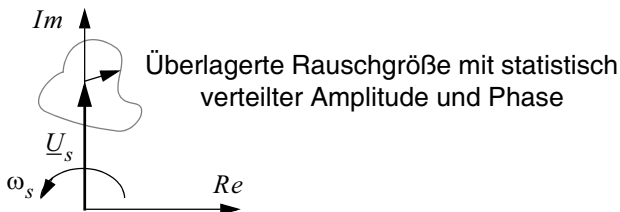


Bild 4.1-19: Signal $\underline{U}_s$ und überlagerte Rauschgröße in der komplexen Ebene betrachtet

Widerstände weisen ein thermisches Rauschen auf. Die spektrale verfügbare Rauschleistungsichte bei thermischem Rauschen beträgt:

$$dP_r/df = kT; \quad (4.1-9)$$

sie ist frequenzunabhängig, aber direkt proportional zur absoluten Temperatur T in Kelvin; k ist die Boltzmannkonstante ($k = 1,38E-23 \text{Ws/K}$). Das verfügbare spek-

trale Rauschspannungsquadrat an einem Widerstand R beträgt damit (bei maximal abgegebener Leistung):

$$(\overline{U_r}/2)^2/df = kTR; \quad \overline{U_r^2}/df = 4kTR; \quad (4.1-10)$$

Das absolute Rauschspannungsquadrat ergibt sich durch Integration über die Bandbreite B :

$$\int_B (\overline{U_r^2}/df) df = 4kTRB = \overline{U_r^2}; \quad (4.1-11)$$

Da jedes Übertragungssystem eine endliche Bandbreite aufweist, erhält man immer eine frequenzabhängige Bewertung einer Rauschgröße und damit einen endlichen Beitrag zur Bildung des mittleren Rauschspannungsquadrats nach Gl. 4.1-11. Bild 4.1-20 zeigt einen ohmschen Widerstand mit „innerer“ Rauschquelle. Bei Beschaltung wird an einen Verbraucher eine Rauschleistung abgegeben.

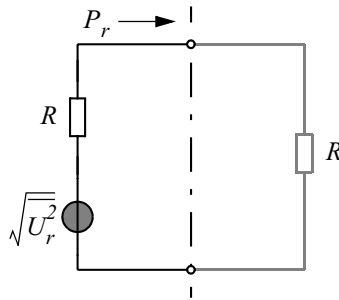


Bild 4.1-20: Widerstand mit Rauschgröße so beschaltet, dass maximale Rauschleistung abgegeben wird

Allgemein wird an einer Schnittstelle größtmögliche Wirkleistung bei Leistungsanpassung übertragen. Der Leistungsfluss ist dann optimal, wenn der Quellwiderstand gleich dem konjugiert komplexen Schnittstellenwiderstand ist: $Z_G = Z_{II'}^*$.

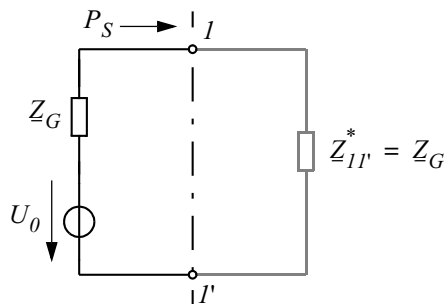


Bild 4.1-21: Schnittstelle mit optimalem Leistungsfluss (P_S : Signalleistung) bei gegebener Leistungsanpassung

Als erstes Experiment-Beispiel zum Thema Rauschen wird die Schaltung in Bild 4.1-22 betrachtet. Der Widerstand $R1$ weist thermisches Rauschverhalten auf. Die frequenzabhängige Bewertung der Rauschgröße erfolgt durch den nachgeschalteten Kondensator. Das Ergebnis des Experiments zeigt Bild 4.1-23.

Experiment 4.1-5: RNoise – Schaltung mit rauschendem Widerstand und frequenzabhängiger Bewertung.

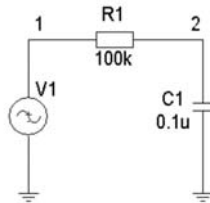


Bild 4.1-22: Beispiel des Experiments „RNoise“ mit rauschendem Widerstand

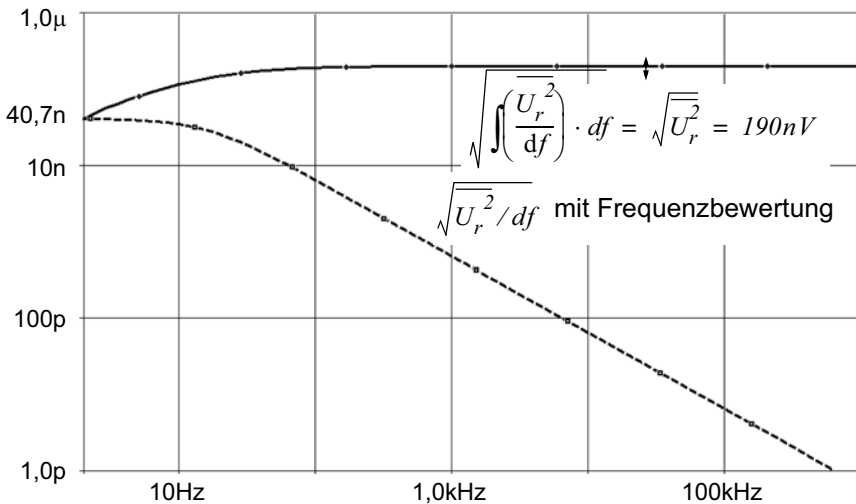


Bild 4.1-23: $V(ONoise)$: Spektrale Rauschspannung an Knoten 2 in $V/(\sqrt{Hz})$; $SQRT(s(V(ONoise)^2))$ ist das Ergebnis der Integration am Summenpunkt 2

Im Beispiel beträgt die spektrale Rauschspannung des Widerstandes mit dem Wert $100k\Omega$:

$$\sqrt{U_r^2 / df} = 40,7nV / \sqrt{Hz}; \quad (4.1-12)$$

Die Kapazität bewertet die verfügbare spektrale Rauschspannung des Widerstands frequenzabhängig. Aufintegriert über die Frequenz ergibt sich eine absolute Rauschspannung am Ausgang ($SQRT(s(VONoise * VONoise))$) in Höhe von ca. $190nV$.

Neben dem thermischen Rauschen weisen Halbleiterbauelemente Schrotrauschen und Funkelrauschen auf. Das Schrotrauschen und Funkelrauschen aufgrund des Basisstroms eines Bipolartransistors beträgt beispielsweise:

$$\overline{I_r^2}/df = 2qI_B \cdot (1 + K_I/f); \quad (4.1-13)$$

Das Funkelrauschen ist proportional $1/f$; K_I ist eine Prozesskonstante; I_B ist der Basisstrom; q die Elementarladung ($1,6E-19As$). Allgemein erhält man die Rauschleistung durch Integration über die Bandbreite B aus der spektralen Rauschleistungsichte:

$$\int_B (dP_r/df) df; \quad (4.1-14)$$

Grundsätzlich weist ein Verstärker viele „innere“ Rauschquellen auf. Jeder Widerstand, jeder Transistor, jede Diode bringt Rauschquellen ein. Am Ausgang sind die Rauschbeiträge der einzelnen Rauschquellen aufzusummieren, wobei jede Rauschquelle durch die frequenzabhängige Beschaltung eine frequenzabhängige Bewertung erfährt. Die Rauschquadrate der einzelnen Rauschbeiträge sind am Ausgangssummenpunkt quadratisch aufzusummieren.

$$\overline{U_r} = \sqrt{\sum U_{ri}^2} \quad (4.1-15)$$

Die „inneren“ Rauschquellen lassen sich zu einer äquivalenten Rauschspannungsquelle und einer Rauschstromquelle zusammenfassen, die am Eingang wirken. Diese Rauschquellen des Verstärkers beschreiben das Zusatzrauschen $P_{r,zus}$ aufgrund der Verstärkereigenschaften. Bild 4.1-24 zeigt eine Ersatzanordnung für einen idealen rauschfreien Verstärker mit vorgeschalteten Rauschquellen.

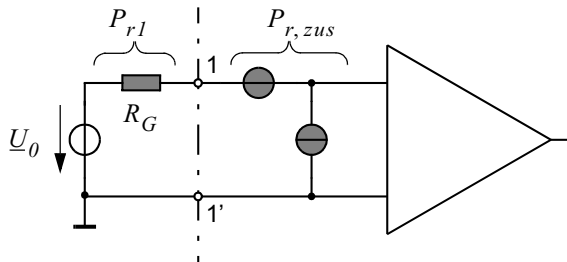


Bild 4.1-24: Äquivalente Rauschquellen des Verstärkers am Eingang beschreiben das Zusatzrauschen

Wie bereits erwähnt, sind die Rauschquellen des Verstärkers im allgemeinen frequenzabhängig (z.B. $1/f$ Rauschen). Eine frequenzabhängige Rauschspannungsquelle lässt sich ebenfalls durch ein Makromodell in PSpice darstellen. Basis der Rauschquelle ist ein rauschender Widerstand $RN0$. Der Rauschbeitrag von $RN1$ wird durch ein geeignetes Netzwerk frequenzabhängig bewertet. Das Subcircuit-Modell hierzu ist in Bild 4.1-25 angegeben.

Experiment 4.1-6: VNoise – Testschaltung mit rauschender Spannungsquelle mit $1/f$ Anteil.

```

**** Rauschspannungsquelle
.SUBCKT VNOISE1 a b
+ PARAMS: VVal=10nV F0=1kHz
**** Basis-Rauschquelle
RN0 1 0 {4*1.38E-23*300/(VVal*VVal)}; Rauschender Widerstand
VN0 1 0 DC 0 ; Sensor-Spannungsquelle für den Rauschstrom von R
FN0 4 0 VN0 1 ; Stromgesteuerte Stromquelle mit Gain=1
**** 1/f Anteil
RN1 2 0 {4*1.38E-23*300/(VVal*VVal)}; Rauschender Widerstand
VN1 2 0 DC 0 ; Sensor-Spannungsquelle für den Rauschstrom von R
FN1 3 0 VN1 1 ; Stromgesteuerte Stromquelle mit Gain=1
CN1 3 0 {1/(6.28*F0)} ; Kapazität für Eckfrequenz F0
RX1 3 0 1G ; Hilfswiderstand (ohne Einfluss)
GN1 4 0 3 0 1 ; Spannungsgesteuerte Stromquelle mit Gain=1(1/Ohm)
**** Umwandlung in eine Rauschspannungsquelle
VSense 4 0 DC 0 ; Sensor-Spannungsquelle für den Gesamt rauschstrom
HN a b VSense 1 ; Stromgesteuerte Spannungsquelle mit Gain=1(Ohm)
.ENDS

```

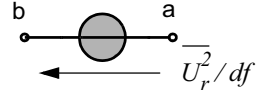


Bild 4.1-25: Makromodell einer parametrisierbaren $1/f$ -Rauschspannungsquelle

Das spektrale Rauschstromquadrat eines Widerstands bestimmt sich aus:

$$\overline{I_r^2}/df = 4kT/R; \quad (4.1-16)$$

Bei gegebenem spektralem Rauschstromquadrat erhält man für den Wert des Widerstandes:

$$R = 4kT/[\overline{I_r^2}/df]; \quad (4.1-17)$$

Im Makromodell für eine Rauschspannungsquelle mit $1/f$ Anteil müssen zwei Stromkomponenten aufaddiert werden. Die eine Stromkomponente $\tilde{I}_{r,0}$ – repräsentiert durch $RN0$ – stellt den frequenzunabhängigen Rauschstrombeitrag dar, die zweite Stromkomponente $\tilde{I}_{r,1}$ – repräsentiert durch $RN1$ – den frequenzabhängigen Beitrag. Beide Rauschströme werden über die stromgesteuerte Stromquelle $FN0$ und die spannungsgesteuerte Stromquelle $GN1$ am Summenknoten 4 aufaddiert.

$$\tilde{I}_{r,ges} = \tilde{I}_{r,0} + \tilde{I}_{r,1}/\omega C_{N1} \cdot 1\Omega; \quad (4.1-18)$$

Die Spannungsquellen $VN0$, $VN1$ und $VSense$ dienen lediglich zum „Messen“ der Ströme für die Stromsteuerung der stromgesteuerten Quellen $FN0$, $FN1$ und HN . Die stromgesteuerte Spannungsquelle HN macht aus dem Gesamt rauschstrom eine Rauschspannung an den äußeren Klemmen der Rauschspannungsquelle. Deren Steilheit ist $g_m = 1/\Omega$. Damit wird aus dem Rauschstrom eine Rauschspannung. Für eine gegebene Eckfrequenz f_0 des frequenzabhängigen Rauschteils muss die Kapazität so bestimmt werden, dass bei der Eckfrequenz $1/(\omega C_{N1}) = 1\Omega$ wird (siehe Gl. 4.1-18). Bild 4.1-26 veranschaulicht das Makromodell der Rauschspannungsquelle mit $1/f$ Anteil.

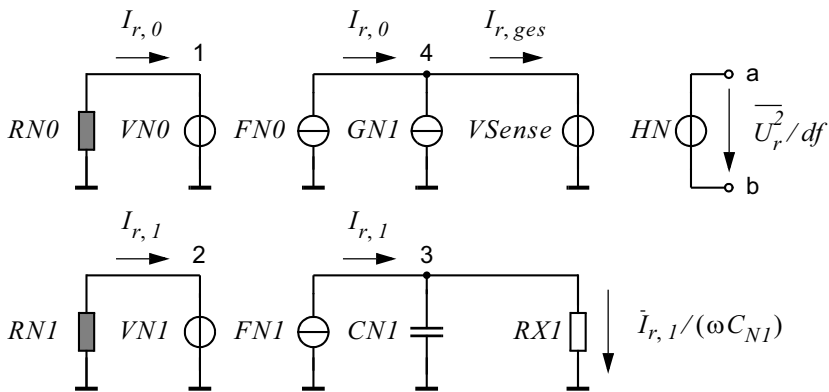


Bild 4.1-26: Veranschaulichung des Makromodells einer Rauschspannungsquelle mit $1/f$ Anteil

Eine Testschaltung für die frequenzabhängige Rauschspannungsquelle zeigt Bild 4.1-27; VNoise1 referenziert auf das Subcircuit-Modell in Bild 4.1-25.

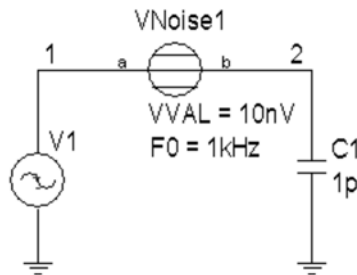


Bild 4.1-27: Testschaltung für VNoise

Die der Testschaltung zugrundeliegende Rauschspannungsquelle weist ein Grundrauschen von $10\text{nV}/\sqrt{\text{Hz}}$ auf. Unterhalb 1kHz zeigt sich $1/f$ Verhalten. Mit der Testschaltung erzielt man das in Bild 4.1-28 dargestellte Ergebnis. In ähnlicher Weise kann man eine frequenzabhängige Rauschstromquelle durch ein Subcircuit-Modell in PSpice darstellen. Bild 4.1-29 zeigt das Subcircuit-Modell. Die stromgesteuerte Spannungsquelle HN entfällt, da die Umwandlung von einem Rauschstrom zu einer Rauschspannung hier nicht erforderlich ist. Um die Rauschstromquelle durch einen rauschfreien Innenwiderstand zu ergänzen ist die stromgesteuerte Stromquelle $GRid$ eingefügt, sie stellt einen Innenwiderstand von $100\text{k}\Omega$ dar (siehe Subcircuit-Modell in Bild 4.1-29).

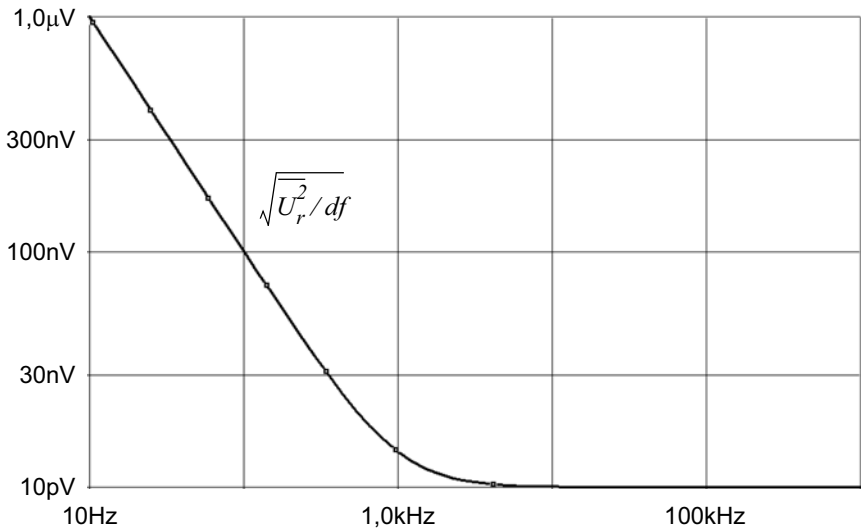


Bild 4.1-28: Spektrale Rauschspannung an Knoten 2 in $V/\sqrt{Hz}$ als Ergebnis der Testschaltung

```

**** Rauschstromquelle
.SUBCKT INOISE1 a b
+ PARAMS: IVal=0.1pA F0=1kHz Ri=1E5
**** Basis-Rauschquelle
RN0 1 0 {4*1.38E-23*300/(IVal*IVal)}; Rauschender Widerstand
VN0 1 0 DC 0                       ; Sensor-Spannungsquelle für den Rauschstrom von R
FN0 a b VN0 1                       ; Stromgesteuerte Stromquelle mit Gain=1
GRid a b a b 10u                    ; Rauschfreier Innenwiderstand
RX0 a b 1G                          ; Hilfswiderstand
**** 1/f Anteil
RN1 2 0 {4*1.38E-23*300/(IVal*IVal)}; Rauschender Widerstand
VN1 2 0 DC 0                       ; Sensor-Spannungsquelle für den Rauschstrom von R
FN1 3 0 VN1 1                       ; Stromgesteuerte Stromquelle mit Gain=1
CN1 3 0 {1/(6.28*F0)}               ; Kapazität für Eckfrequenz F0
RX1 3 0 1G                          ; Hilfswiderstand (ohne Einfluss)
GN1 a b 3 0 1                       ; Spannungsgesteuerte Stromquelle
.ENDS

```

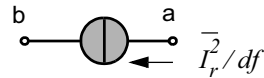


Bild 4.1-29: Makromodell einer parametrisierbaren $1/f$ -Rauschstromquelle

Eine frequenzabhängige Rauschquelle mit $1/f$ Anteil lässt sich auch durch eine Diode beschreiben, die in Flussrichtung betrieben wird. Das spektrale Rauschquadrat einer Diode ergibt sich aus:

$$\overline{I_{r, Diode}^2/df} = 2qI_{DC, Diode} + KF \cdot I_{DC, Diode}^{(AF)}/f; \quad (4.1-19)$$

Dabei ist KF ein Koeffizient für Schrotrauschen bzw. Funkelrauschen und AF ein Exponent zur Modellierung des $1/f$ Anteils; q ist die Elementarladung und $I_{DC,Diode}$ der Strom der Diode im Arbeitspunkt. Das Makromodell veranschaulicht Bild 4.1-30 bzw. das Subcircuit-Modell in Bild 4.1-31.

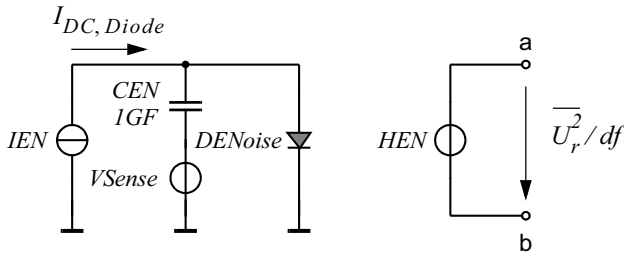


Bild 4.1-30: Makromodell einer Rauschspannungsquelle mit $1/f$ Anteil dargestellt durch das Rauschverhalten einer Diode

Der Kondensator CEN ist erforderlich, um den DC-Pfad der Diode von der Sensor-Spannungsquelle $VSense$ zu trennen. Durch $VSense$ fließt der Rauschstrom der Diode, der die stromgesteuerte Spannungsquelle HEN steuert und damit die Rauschspannungsquelle am Ausgang bildet. Soll die Diode eine Rauschstromquelle darstellen, so ist die stromgesteuerte Spannungsquelle HEN durch die stromgesteuerte Stromquelle FIN zu ersetzen.

```

**** Rauschspannungsquelle
.SUBCKT VNOISE2 a b
+ PARAMS: VVal=10nV F0=1kHz
**** Basis-Rauschquelle
IEN 0 100 {(VVal*VVal)/(2*1.602E-19)} ; DC-Strom der Diode
CEN 100 101 1GF ; Block-Kapazität
VESense 101 0 DC 0 ; Sensor-Spannungsquelle für den Rauschstrom der Diode
DENoise 100 0 DENoise ; Rauschende Diode
.MODEL DENoise D (KF={3.204E-19*F0}, AF=1) ; Modell der Diode
HEN a b VESense 1 ; Stromgesteuerte Spannungsquelle mit Gain=1
.ENDS

```

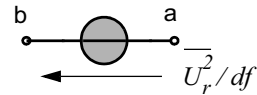


Bild 4.1-31: Makromodell einer Rauschspannungsquelle mit $1/f$ Anteil dargestellt durch eine rauschende Diode

Die Rauschstromquelle (Bild 4.1-32) ist noch ergänzt um einen rauschfreien Innenwiderstand, der durch $GRid$ realisiert wird. In beiden Fällen ergibt sich die Eckfrequenz für den $1/f$ Anteil dadurch, dass beide Rauschstromkomponenten gleich groß sind.

Experiment 4.1-7: VNoise_D – Testschaltung für eine Rauschspannungsquelle deren $1/f$ Anteil durch eine rauschende Diode modelliert wird.

```

**** Rauschstromquelle
.SUBCKT INOISE2 a b
+ PARAMS: IVal=0.1pA F0=1kHz Ri=1E5
**** Basis-Rauschquelle
IIN 0 100 {(IVal*IVal)/(2*1.602E-19)} ; DC-Strom der Diode
CIN 100 101 1GF ; Block-Kapazität
VISense 101 0 DC 0 ; Sensor-Spannungsquelle für den Rauschstrom der Diode
DINoise 100 0 DINoise ; Rauschende Diode
.MODEL DINoise D (KF={3.204E-19*F0}, AF=1) ; Modell der Diode
FIN a b VISense 1 ; Stromgesteuerte Stromquelle mit Gain=1
GRID a b a b 10u ; Rauschfreier Innenwiderstand
RXN a b 1G ; Hilfswiderstand
.ENDS

```

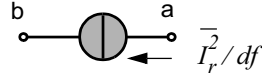


Bild 4.1-32: Makromodell einer Rauschstromquelle mit $1/f$ Anteil dargestellt durch eine rauschende Diode

Die Testschaltung für die frequenzabhängige Rauschspannungsquelle mit $1/f$ Anteil dargestellt durch eine rauschende Diode ist dieselbe wie in Bild 4.1-27; *VNoise1* referenziert allerdings hier auf das Subcircuit-Modell in Bild 4.1-31. Mit der Testschaltung erzielt man das in Bild 4.1-33 veranschaulichte Ergebnis.

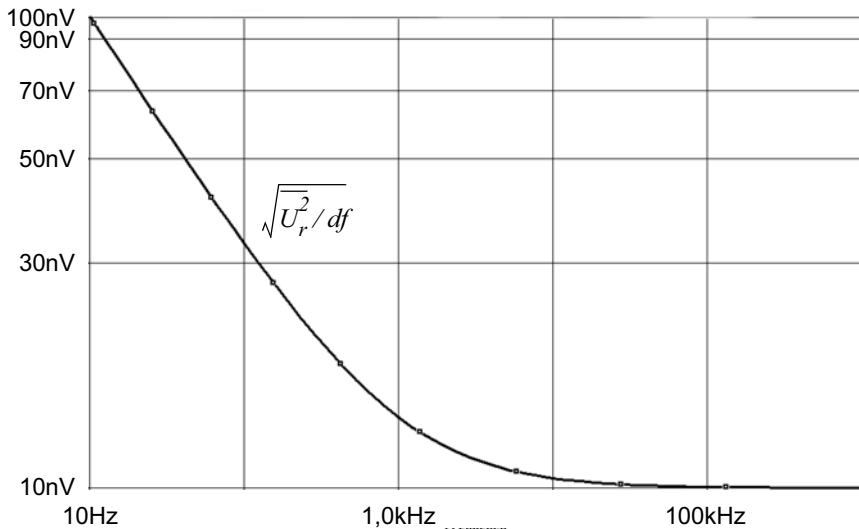


Bild 4.1-33: Ergebnis der Testschaltung mit Rauschquelle dargestellt durch eine rauschende Diode: Spektrale Rauschspannung an Knoten 2 in $V/\sqrt{\text{Hz}}$

Die der Testschaltung zugrundeliegende Rauschspannungsquelle weist ein Grundrauschen von $10\text{nV}/\sqrt{\text{Hz}}$ auf. Allerdings ist der $1/f$ Anstieg mit der Diode als Rauschquelle unterhalb 1kHz weniger stark ausgeprägt als bei dem Modell gemäß Bild 4.1-25. Die Beispiele für frequenzabhängige Rauschspannungsquellen

und Rauschstromquellen sollen prinzipiell Möglichkeiten zur Modelldarstellung von Rauschquellen mit $1/f$ Anteil in PSpice aufzeigen.

Rauschzahl: Nach Einführung von Rauschquellen mit $1/f$ Verhalten ist nunmehr das Makromodell eines Linearverstärkers um Rauschquellen so zu erweitern, dass ein reales Rauschverhalten eines Verstärkers berücksichtigt werden kann. Bild 4.1-34 veranschaulicht das Systemverhalten eines Linearverstärkers. Das Rauschverhalten des Verstärkers wird charakterisiert durch seine Rauschzahl F .

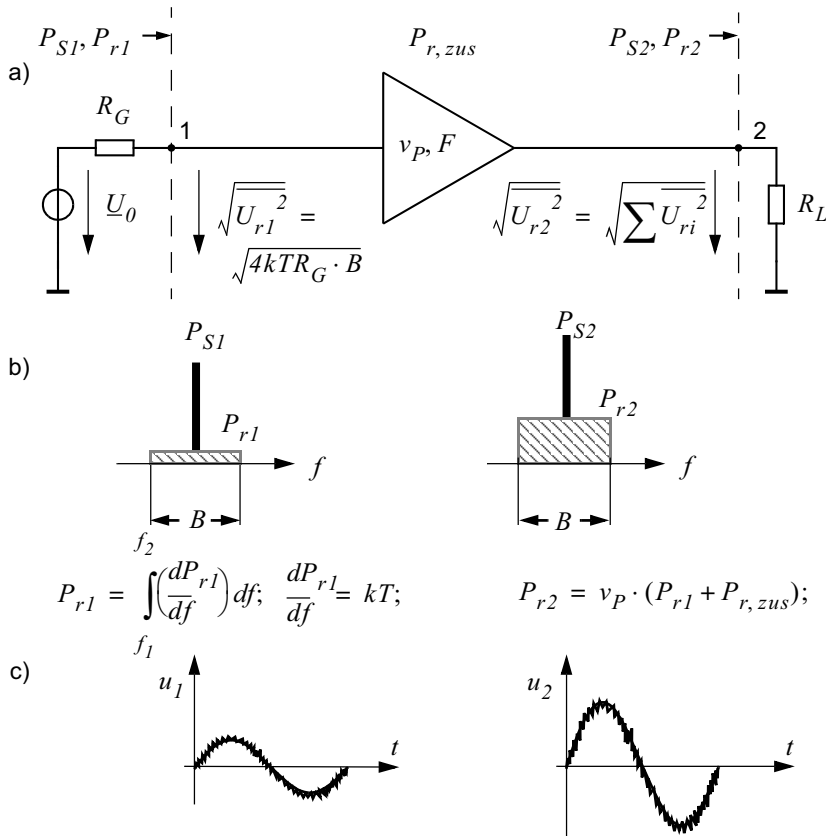


Bild 4.1-34: Rauschverhalten eines Verstärkers zur Erläuterung der Rauschzahl; a) Verstärkeranordnung mit äußeren Rauschgrößen, b) Signal- und Rauschleistung am Eingang und Ausgang im Frequenzbereich und im Zeitbereich (c)

Das Signal-zu-Rauschleistungsverhältnis bestimmt die Signalqualität; es ist am Eingang und Ausgang definiert durch:

$$(S/N)_I = P_{S1}/P_{r1}; \quad (4.1-20)$$

$$(S/N)_2 = P_{S2}/P_{r2};$$

Die Leistung $P_{r1} = kTB$ stellt die Rauschleistung des Generators dar, P_{S1} dessen

Signalleistung. Die für das Rauschen wirksame äquivalente Rauschbandbreite des Übertragungssystems sei mit B gegeben. Die Signalleistung und die Rauschleistung des Generators wird durch den Verstärker um die Leistungsverstärkung v_P verstärkt. Der Verstärker verursacht eine Zusatzrauschleistung. Die Rauschzahl gibt an, um wieviel das Signal-zu-Rauschleistungsverhältnis sich verschlechtert aufgrund der Rauschbeiträge des Verstärkers:

$$F = \frac{P_{S1}/P_{r1}}{P_{S2}/P_{r2}} = 1 + \frac{P_{r,zus}}{P_{r1}}; \quad (4.1-21)$$

Ist die Rauschzahl gleich 1 oder 0dB, so liegt kein Zusatzrauschen des Verstärkers vor. Das Signal-zu-Rauschleistungsverhältnis am Eingang und Ausgang ist dann gleich groß. Anders ausgedrückt ist die Rauschzahl bei bekannter Systembandbreite:

$$F = \frac{P_{r2}/v_P}{P_{r1}} = \frac{P_{r2}/v_P}{k \cdot T \cdot B}; \quad (4.1-22)$$

Zur Verdeutlichung soll ein Verstärker mit Rauscheigenschaften untersucht werden. Dazu ist das Makromodell des Verstärkers um eine Rauschspannungsquelle und eine Rauschstromstromquelle zu ergänzen, wie sie bereits eingeführt wurden.

Experiment 4.1-8: LV1Noise – Linearverstärker mit Rauschverhalten.

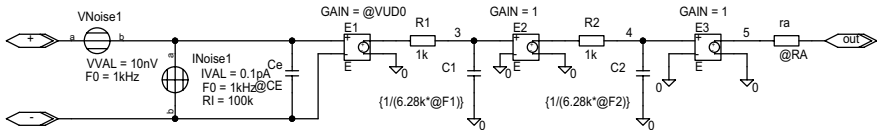


Bild 4.1-35: Makromodell eines Linearverstärkers mit Rauschquellen, die 1/f Verhalten aufweisen

Die Testschaltung für einen Verstärker zeigt nachstehendes Bild 4.1-36; *LVN1* referenziert auf das Makromodell in Bild 4.1-35; *VNoise1* und *INoise1* referenzieren auf ein Subcircuit-Modell gemäß Bild 4.1-25 und Bild 4.1-29.

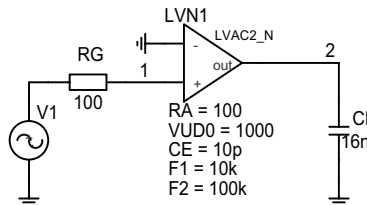


Bild 4.1-36: Testschaltung für einen Verstärker zur Ermittlung der Rauschzahl

Um das Signal-zu-Rauschleistungsverhältnis bilden zu können, muss die wirksame Rauschspannung am Ausgang des Verstärkers ermittelt werden. Dazu ist das

spektrale Rauschspannungsquadrat über die Frequenz zu integrieren. Das nachstehende Bild 4.1-37 zeigt das Ergebnis. Die wirksame Rauschspannung am Ausgang beträgt im Beispiel ca. $3mV$. Bei bekannter Signalamplitude lässt sich damit das Signal-zu-Rauschleistungsverhältnis bilden.

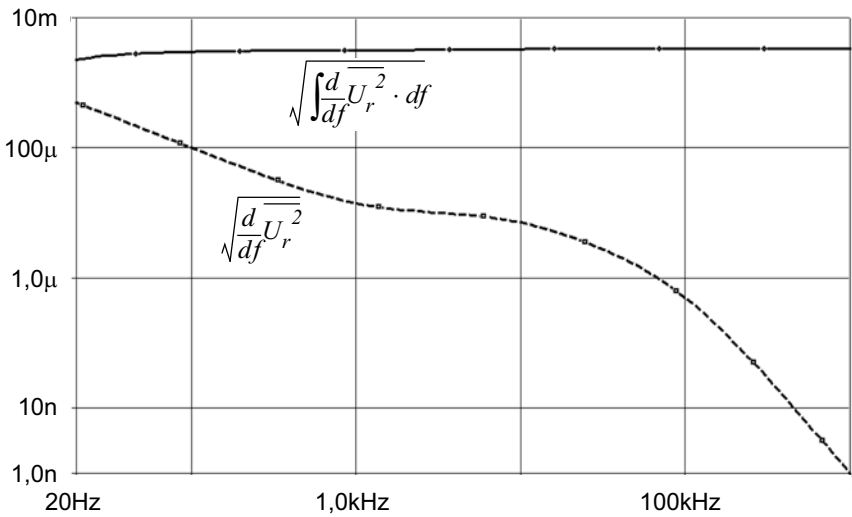


Bild 4.1-37: V(ONoise): Spektrale Rauschspannung an Knoten 2 in $V/\sqrt{Hz}$ der Testschaltung; SQRT(s(V(ONoise)²)) ist das Ergebnis der Integration am Summenpunkt 2

Rauschanpassung: Weitergehende Untersuchungen zeigen, dass die Rauschzahl abhängig vom Quellwiderstand R_G der Signalquelle ist. Es gibt einen optimalen Generatorwiderstand $R_{G,opt}$ für den die Rauschzahl minimal wird. Für diesen Fall ist Rauschanpassung gegeben. Allgemein ist die Bedingung für Rauschanpassung nicht identisch mit der Bedingung für Leistungsanpassung zur Erzielung eines optimalen Leistungsflusses.

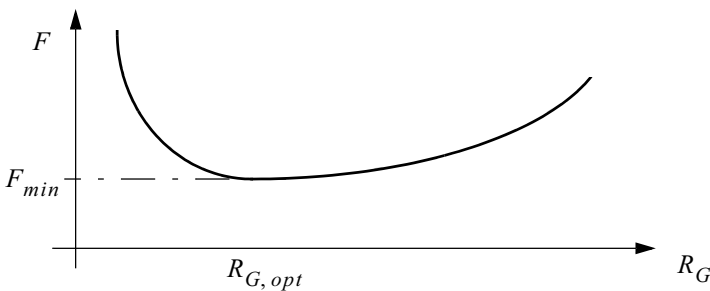


Bild 4.1-38: Rauschanpassung mit dem optimalen Generatorwiderstand

Kettenschaltung von Verstärkern: Besteht ein Verstärker aus mehreren Stufen, so erhält man die Gesamttauschzahl aus den Beiträgen der einzelnen Stufen. Der Rauschbeitrag der ersten Stufe bestimmt bei hinreichend großer Verstärkung der ersten Stufe ganz wesentlich das Gesamttauschverhalten. Es ist somit außerordentlich wichtig, die Rauschbeiträge der ersten Stufe zu minimieren, da sie zur Gesamttauschleistung mehr beiträgt als die nachfolgenden Stufen.

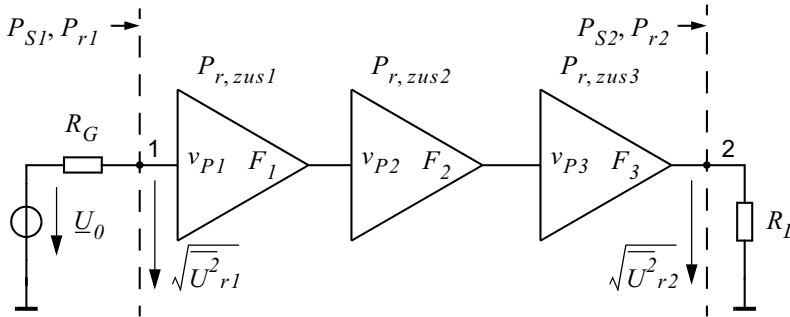


Bild 4.1-39: Rauschverhalten einer Verstärkerkette

Die Gesamttauschzahl einer Verstärkerkette aus 3 Verstärkern ergibt sich bei bekannten Rauschzahlen der Einzelstufen aus:

$$F_{ges} = F_1 + \frac{F_2 - 1}{v_{P1}} + \frac{F_3 - 1}{v_{P1} \cdot v_{P2}}; \quad (4.1-23)$$

Zusammenfassung: Wie bereits erwähnt, wird die Gesamttauschzahl eines Empfängers ganz wesentlich durch die Rauschzahl des Empfangsverstärkers bestimmt. Die Eingangsstufe (Vorverstärker) ist hinsichtlich des Rauschverhaltens auf minimale Rauschzahl zu optimieren, um die Gesamttauschzahl gering zu halten; sie legt ganz wesentlich das Rauschverhalten des Gesamtsystems fest. Ein Verstärker weist bei einem bestimmten Quellwiderstand (Innenwiderstand des Generators) minimale Rauschzahl auf. Wird der Generator mit einer geeigneten Schaltung auf diesen optimalen Eingangswiderstand angepasst, so spricht man von Rauschanpassung. Der optimale Eingangswiderstand eines Verstärkers ist im allgemeinen dem Datenblatt eines Verstärkers zu entnehmen.

Dynamik: Die Dynamik eines Verstärkers (Bild 4.1-40) beschreibt dessen Aussteuerbarkeit. Nach unten ist die Dynamik begrenzt durch das Rauschen bzw. durch das geforderte Signal-zu-Rauschleistungsverhältnis. Nach oben ist sie begrenzt durch Abweichungen vom Linearverhalten. Diese Abweichung vom Linearverhalten wird im allgemeinen durch den *1dB*-Kompressionspunkt im Datenblatt eines Verstärkers angegeben.

Die Grenzsinnaleistung ergibt sich aus dem Produkt der Rauschleistung des Generators multipliziert mit der Rauschzahl F . In diesem Falle ist die Signalleistung des Generators $P_{lg} = P_{r1} + P_{r,zus}$; sie hebt sich nicht hinreichend aus dem

Rauschen heraus. Beispiele für geforderte Signal-zu-Rauschleistungsverhältnisse (S/N) zur Sicherstellung einer ausreichenden Signalqualität sind:

z.B.: Tonsignal mittlerer Güte: $(S/N) > 20\text{dB}$;
 Tonsignal mit Studioqualität: $(S/N) > 40\text{dB}$.

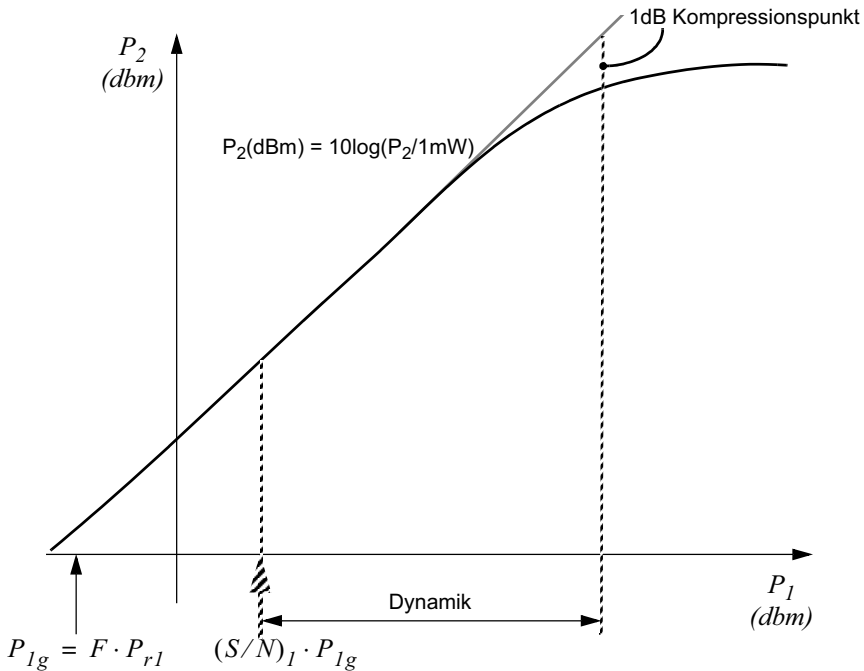


Bild 4.1-40: Dynamik eines Verstärkers

Zusammenfassung: Unter Dynamik versteht man die Aussteuerbarkeit eines Verstärkers. Nach unten ist sie begrenzt durch die Grenzsinalleistung multipliziert mit dem geforderten Signal-zu-Rauschleistungsverhältnis. Die Aussteuergrenze nach oben ist durch Abweichungen vom Linearverhalten des Verstärkers gegeben (Begrenzungseigenschaft).

4.2 Rückgekoppelte Linearverstärker

Die Rückkopplung spielt eine entscheidende Rolle für die Bestimmung der Eigenschaften von Verstärkerschaltungen. Mit dem Rückkopplungsnetzwerk können die Eigenschaften von Verstärkern maßgeblich beeinflusst werden. Oft liegen „versteckte“ Rückkopplungspfade durch parasitäre Elemente vor, die im Schaltplan der Verstärkerschaltung nicht ausgewiesen sind.

4.2.1 Rückkopplung allgemein und Schwingbedingung

Zunächst wird ein allgemeines rückgekoppeltes System betrachtet. Es besteht aus einem Geradeausverstärker (Linearverstärker charakterisiert durch ein Makromodell), einem Rückkopplungsnetzwerk (charakterisiert durch den Rückkopplungsfaktor $\underline{k}$) und die sich daraus ergebende Schleifenverstärkung. Grundsätzlich können sich bei rückgekoppelten Systemen Stabilitätsprobleme ergeben. Die prinzipielle Anordnung ist in Bild 4.2-1 dargestellt. Der Rückkopplungspfad wirkt vom Ausgang der Verstärkeranordnung auf einen Summenpunkt am Eingang. Im Beispiel subtrahiert sich am Summenpunkt die Rückkopplungsspannung zur Eingangsspannung.

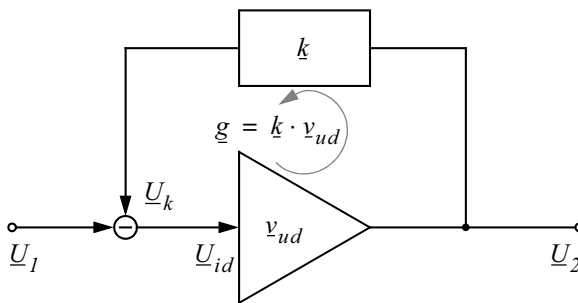


Bild 4.2-1: Prinzip der Rückkopplung

Die Analyse des in Bild 4.2-1 gegebenen rückgekoppelten Systems ergibt:

1. Verhalten des Geradeausverstärkers:

$$\underline{U}_2 = v_{ud}(\underline{U}_1 - \underline{U}_k);$$

2. Verhalten des Rückkopplungsnetzwerks:

$$\underline{U}_k = k \cdot \underline{U}_2;$$

Daraus erhält man das Verhalten des rückgekoppelten Systems:

$$v_u = \frac{\underline{U}_2}{\underline{U}_1} = \frac{v_{ud}}{1 + k \cdot v_{ud}} = \frac{1}{k} \cdot \frac{1}{1 + 1/(k \cdot v_{ud})} = \frac{1}{k} \cdot \frac{1}{1 + 1/g}; \quad (4.2-1)$$

Dabei ist $g = k \cdot v_{ud}$ die Schleifenverstärkung. Das rückgekoppelte System stellt einen neuen Verstärker mit gegenüber dem Geradeausverstärker veränderten Eigenschaften dar. Eine wichtige Größe im rückgekoppelten System ist die Schleifenverstärkung g . Die Schleifenverstärkung wird gebildet aus dem Produkt der Verstärkung des Geradeausverstärkers v_{ud} und des Rückkopplungsfaktors k . Ist die Schleifenverstärkung hinreichend groß, so ist die Verstärkung des rückgekoppelten Systems gleich $1/k$. Im Beispiel nach Bild 4.2-2 liegt folgender Rückkopplungsfaktor bei genügend hochohmigem Eingangswiderstand des Geradeausverstärkers vor:

$$k = Z_1 / (Z_1 + Z_2); \quad (4.2-2)$$

Der Summenpunkt ergibt sich in einer realen Verstärkerschaltung beispielsweise durch die in Bild 4.2-2 skizzierte Anordnung betreffs $\underline{U}_{id}$. Im Beispiel ist somit ein Summenpunkt von Spannungen gegeben.

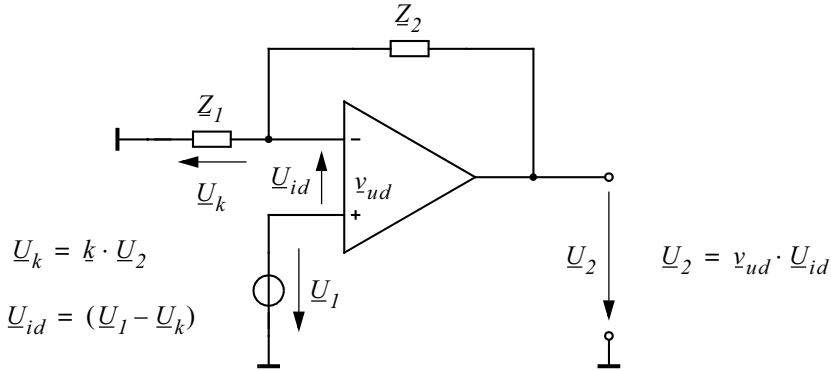


Bild 4.2-2: Zur praktischen Ausführung des Summenpunktes

Eine Gegenkopplung liegt dann vor, wenn die rückgekoppelte Größe der erregenden Größe entgegen wirkt. Um die Wirkung der Rückkopplung zu untersuchen, muss die Rückkopplungsschleife aufgetrennt werden. Es wird dann an der „Trennstelle“ bei offener Schleife eingespeist (Bild 4.2-3).

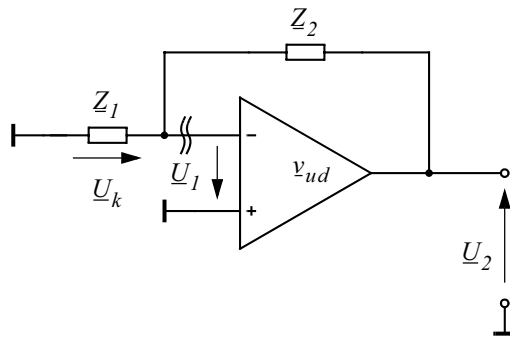


Bild 4.2-3: Prinzip der Gegenkopplung

Die Schleifenverstärkung $g = v_{ud}k$ bestimmt das Verhalten der Rückkopplung, sie erfährt eine Phasendrehung durch den Geradeausverstärker und durch das Rückkopplungsnetzwerk. Jeder Geradeausverstärker weist einen Verstärkungsfrequenzgang auf, über den das Ausgangssignal nach Amplitude und Phase beeinflusst wird. Bei einem Tiefpassverhalten erster Ordnung des Geradeausverstärkers liegt oberhalb der Eckfrequenz eine Phasendrehung von -90° vor. Hat der Geradeausverstärker zwei Eckfrequenzen im Verstärkungsfrequenzgang, so dreht er die Phase um -180° oberhalb der zweiten Eckfrequenz. Darüber hinaus kann das Rück-

kopplungsnetzwerk zusätzlich die Phase der Schleifenverstärkung beeinflussen. Eine Analyse der Schleifenverstärkung $\underline{g} = \underline{v}_{ud} \underline{k}$ ergibt:

□ eine Gegenkopplung liegt vor, wenn $\underline{U}_k$ „gegen“ $\underline{U}_I$ wirkt;

□ eine Mitkopplung liegt vor, wenn $\underline{U}_k$ „mit“ $\underline{U}_I$ wirkt.

Unter Zugrundelegung der Schleifenverstärkung $\underline{g}$:

$$\underline{g} = \underline{v}_{ud} \underline{k} = |\underline{v}_{ud}| \cdot |\underline{k}| \cdot \exp(\varphi_{v_{ud}} + \varphi_k) = |\underline{g}| \cdot \exp \varphi_g;$$

erhält man die Schwingbedingung aus der Schleifenverstärkung. Das Rückkopplungssystem wird instabil, wenn:

1. $|\underline{U}_k| \geq |\underline{U}_I| \rightarrow |\underline{g}| \geq 1$;
 2. $\varphi_g = \varphi_k + \varphi_{v_{ud}} + (180^\circ) = 0^\circ$;
- (4.2-3)

Ausgehend vom gegengekoppelten System mit einer Grundphasendrehung von $\varphi_{v_{ud}0} = 180^\circ$ ist die Schwingbedingung erfüllt, wenn zusätzlich die Phasendrehung $\varphi_k + \varphi_{v_{ud}} = 180^\circ$ beträgt. Gemäß Gl. 4.1-1 berücksichtigt $\underline{v}_{ud}$ nicht die Grundphasendrehung bei Rückführung des Rückkopplungssignals an den (-) Eingang. Das rückgekoppelte System wird instabil, wenn die Bedingungen $|\underline{g}| \geq 1$ und $\varphi_k + \varphi_{v_{ud}} = 180^\circ$ erfüllt sind. Dies gilt für ein gegengekoppeltes System mit einer Grundphasendrehung von $\varphi_{v_{ud}0} = 180^\circ$. Allgemein lautet die Phasenbedingung für Instabilität $\varphi_g = 0^\circ$ bei Rückführung des Rückkopplungssignals an den (+) Eingang des Verstärkers. Eine Selbsterregung tritt bei der Frequenz (und nur bei der Frequenz) auf, bei der die Schwingbedingung erfüllt ist. Zur Untersuchung der Schwingbedingung wird eine Testschaltung (Bild 4.2-4) gewählt. Dazu ist die Rückkopplungsschleife der Testschaltung an geeigneter Stelle aufzutrennen.

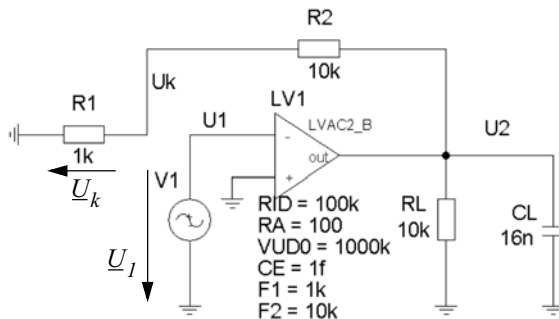


Bild 4.2-4: Testschaltung zur Untersuchung der Schwingbedingung bei offener Schleife

Die Schleifenverstärkung wird bei aufgetrennter Rückkopplungsschleife untersucht. Im Beispiel ist die Schleifenverstärkung $\underline{U}_k/\underline{U}_I$ der Testschaltung im Frequenzbereich bis ca. 300kHz betragsmäßig größer 1. Wie das Ergebnis des Phasenverlaufs der Schleifenverstärkung zeigt, weist die Phase von $\underline{g}$ bei ca. 34kHz einen Phasenwinkel von 0° auf. Genau bei dieser Frequenz ist die Schwingbedingung für das System erfüllt. Der Geradeausverstärker im Beispiel hat zwei Eckfre-

quenzen f_1 und f_2 . Aufgrund der Lastkapazität von $16nF$ ergibt sich im Zusammenhang mit dem Innenwiderstand am Ausgang $Z_a = 100\Omega$ des Geradeausverstärkers eine dritte Eckfrequenz bei $100kHz$. Damit kann der Geradeausverstärker über den gesamten Frequenzbereich die Phase um bis zu 270° drehen. Wegen der Speisung des Geradeausverstärkers am (-) Eingang liegt eine Grundphasendrehung von 180° vor. Somit reichen zusätzlich 180° Phasendrehung zur Erfüllung der Schwingbedingung. Das Rückkopplungsnetzwerk hingegen dreht nicht die Phase, wegen des rein ohmschen Verhaltens.

Experiment 4.2-1: LVSchwingbed_g – Ermittlung der Schleifenverstärkung einer rückgekoppelten Verstärkerschaltung; Analyse der Schwingbedingung im Frequenzbereich.

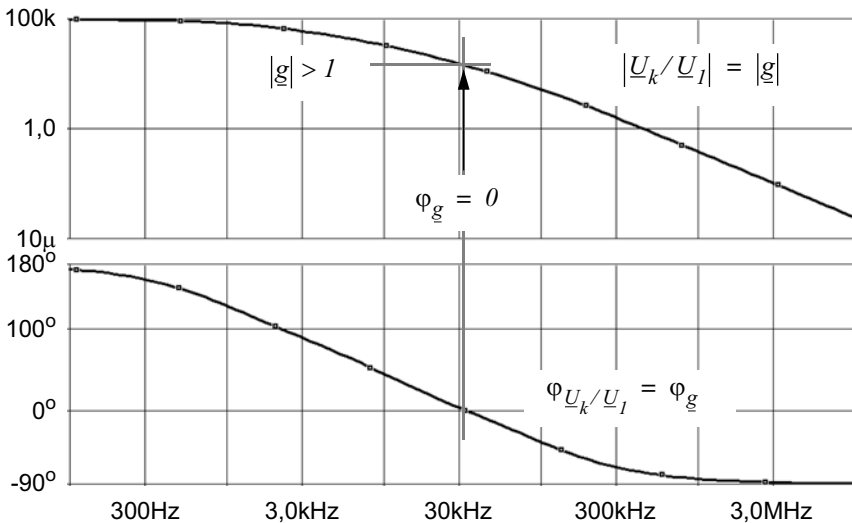


Bild 4.2-5: Ergebnis der Schleifenverstärkung der Testschaltung; bei ca. $30kHz$ ist die Schwingbedingung nach Betrag und Phase erfüllt

Eine TR-Analyse mit einem Eingangssignal von $1mV$ Amplitude und einer Frequenz von $1kHz$ ergibt, dass im Beispiel dieses Signal nicht proportional verstärkt wird. Vielmehr zeigt sich eine Eigenfrequenz. Die Eigenfrequenz ist die Frequenz, bei der die Schwingbedingung erfüllt ist. Der Verstärker schwingt bei der Eigenfrequenz mit der Amplitude die durch die Maximalspannung des Geradeausverstärkers vorgegeben ist. Dazu muss das Makromodell mit Begrenzerwirkung verwendet werden. Ansonsten würde die Amplitude der Eigenfrequenz unkontrolliert ohne Begrenzung der Signalamplitude ansteigen.

Experiment 4.2-2: LVSchwingbed_AC&TR – Transientenanalyse der rückgekoppelten Schaltung bei erfüllter Schwingbedingung.

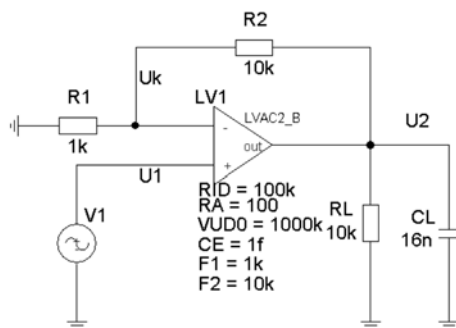


Bild 4.2-6: Testschaltung zur Analyse im Zeitbereich mit Selbsterregung

In der Praxis stellt sich Selbsterregung ohne ein Eingangssignal bei Erfüllung der Schwingbedingung ein. Aufgrund der Rauscheigenschaften des Verstärkers sind für alle Frequenzen Rauschspannungsbeiträge gegeben. Bei der Frequenz bei der die Schwingbedingung erfüllt ist, „wächst“ aus dem Rauschen die Selbsterregungsfrequenz heraus. Die Amplitude steigt solange, bis der Verstärker in die Begrenzung geht.

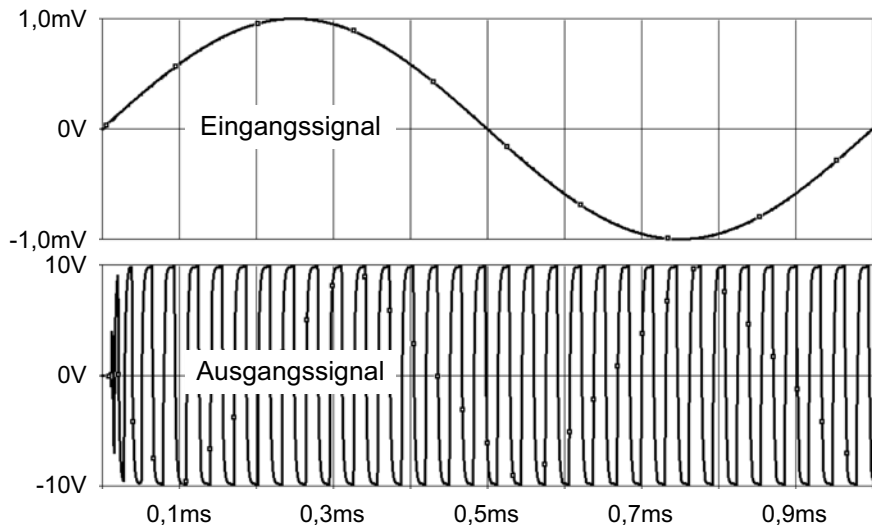


Bild 4.2-7: Ergebnis der TR-Analyse der Testschaltung; deutlich zeigt sich die Selbsterregung

Die Rückkopplung bestimmt die Eigenschaften des rückgekoppelten Systems. Das rückgekoppelte System wird allein durch das Rückkopplungsnetzwerk bestimmt, wenn die Schleifenverstärkung groß genug ist. Mit zunehmender Frequenz sinkt die Schleifenverstärkung, wegen abnehmender Verstärkung des Gera-

deausverstärkers. Daraus ergibt sich folgende Grenzbetrachtung für einen gegengekoppelten Verstärker:

$$v_u = \frac{I}{k}; \quad |g| \gg 1 \quad (4.2-4)$$

Das rückgekoppelte System übernimmt die Eigenschaften des Geradeausverstärkers, bei einer Schleifenverstärkung kleiner als 1:

$$v_u = v_{ud}; \quad |g| \ll 1 \quad (4.2-5)$$

Im Beispiel von Bild 4.2-6 ist $k = 0.0909$. Um die Schwingneigung zu beseitigen wird $v_{ud0} = 10k, f_1 = 1\text{kHz}, f_2 = 10\text{MHz}$ und die Kapazität $C_a = 1,6\text{pF}$ gesetzt. Damit reicht die Phasendrehung der Schleifenverstärkung nicht aus, um im Bereich $|g| > 1$ die Schwingbedingung betreffs der Phase zu erfüllen. Das rückgekoppelte System ist stabil, es stellt sich keine Eigenschwingung ein. Solange $|g| \gg 1$ ist, erhält man für die Verstärkung des rückgekoppelten Systems im Beispiel $v_u = 1/k = 11$. Das nachfolgende Experiment bestätigt diese Aussage.

Experiment 4.2-3: LVSchwingbed_AC&TR – Frequenzbereichsanalyse der Verstärkerschaltung bei geschlossener Schleife.

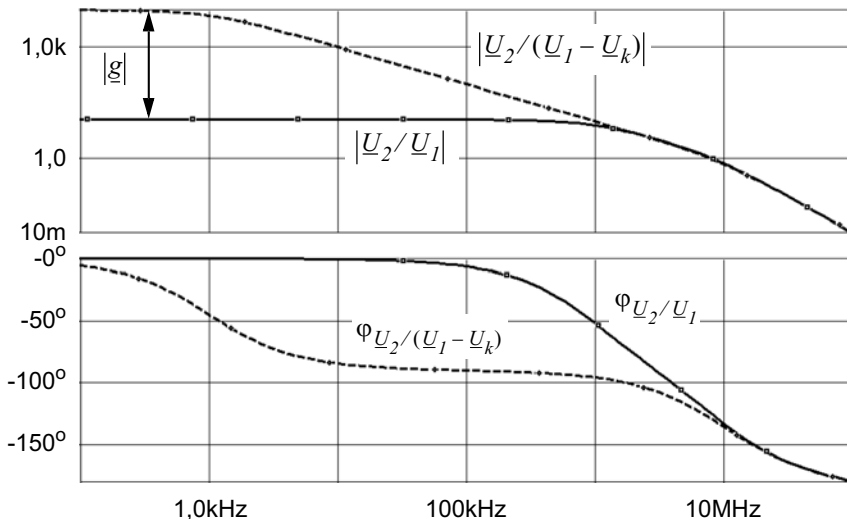


Bild 4.2-8: Ergebnis der AC-Analyse der Testschaltung mit $v_{ud0} = 10k, f_1 = 1\text{kHz}$ und $f_2 = 10\text{MHz}$; Verhalten des Geradeausverstärkers und des rückgekoppelten Systems

Wie man hier sieht, ist im Bereich $|g| > 1$ das Verhalten des rückgekoppelten Systems bestimmt durch $1/|k|$. Wird $|g| < 1$ nimmt das rückgekoppelte System die Eigenschaften des Geradeausverstärkers an. Das rückgekoppelte System stellt einen neuen Verstärker mit neuen Eigenschaften dar. Bei der Frequenzbereichsan-

lyse des geschlossenen Systems kann direkt keine Aussage über die Stabilität des rückgekoppelten Systems getroffen werden. Die Stabilität ist an der Schleifenverstärkung des offenen Systems zu beurteilen.

4.2.2 Frequenzgang des rückgekoppelten Systems

Eine gegengekoppelte Verstärkeranordnung stellt einen neuen Verstärker mit neuen Eigenschaften dar. In dem Maße wie die Verstärkung gegenüber dem Geradeausverstärker reduziert wird, erhöht sich die Bandbreite des rückgekoppelten Systems. Dabei verändern sich auch die Schnittstelleneigenschaften. Wie bereits erwähnt, sind bei genügend großer Schleifenverstärkung die Eigenschaften des rückgekoppelten Systems bestimmt durch das Rückkopplungsnetzwerk. Für das rückgekoppelte System gilt:

$$v_u = \frac{v_{ud}}{1 + k \cdot v_{ud}} = \underline{U}_2 / \underline{U}_1; \quad (4.2-6)$$

Mit der Verstärkung des Geradeausverstärkers

$$v_{ud} = \frac{v_{ud0}}{1 + j(f/f_1)}; \quad (4.2-7)$$

wird:

$$v_u = \frac{\frac{v_{ud0}}{1 + j(f/f_1)}}{1 + \frac{k \cdot v_{ud0}}{1 + j(f/f_1)}} \rightarrow v_u = \frac{1}{k} \cdot \frac{1}{1 + \frac{1}{k \cdot v_{ud0}} + \frac{jf}{f_1 \cdot k \cdot v_{ud0}}}; \quad (4.2-8)$$

Die Bandbreite des rückgekoppelten Systems ist damit $f_1 \cdot k \cdot v_{ud0}$. In dem Maße wie die Verstärkung des rückgekoppelten Systems gegenüber dem Geradeausverstärker vermindert wird, erhöht sich also die Bandbreite. Dies gilt allerdings in der dargestellten Weise nur bei einem Verstärkungsfrequenzgang mit Tiefpassverhalten erster Ordnung. Die Gegenkopplung vergrößert also die Bandbreite. Das Verstärkungs-Bandbreiteprodukt bleibt bei einem Tiefpassverhalten erster Ordnung des Geradeausverstärkers konstant.

Experiment 4.2-4: SGK1 – Seriengegekoppelte Verstärkerstufe mit einem Makromodell, das nur eine Eckfrequenz f_1 aufweist und nicht kapazitiv beschaltet ist.

Im Beispiel des betrachteten Experiments weist der Geradeausverstärker ein Tiefpassverhalten erster Ordnung auf. Eine kapazitive Last liegt nicht vor, die ansonsten zusätzlich den Phasenverlauf des Geradeausverstärkers beeinflussen würde. Der Geradeausverstärker kann somit maximal die Phase um -90° drehen. Bild 4.2-9 zeigt den prinzipiellen Verlauf des Verstärkungsfrequenzgangs nach Betrag und Phase vom Geradeausverstärker und vom rückgekoppelten System. In Bild 4.2-10 ist die dem Experiment zugrundeliegende Testschaltung dargestellt.

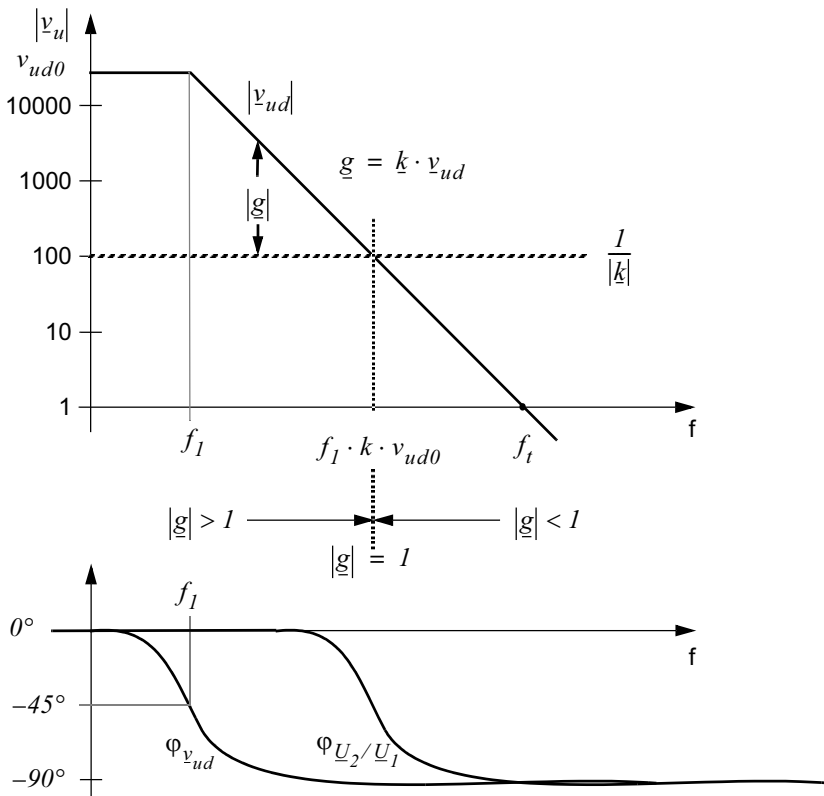


Bild 4.2-9: Frequenz- und Phasengang eines gegengekoppelten Verstärkers

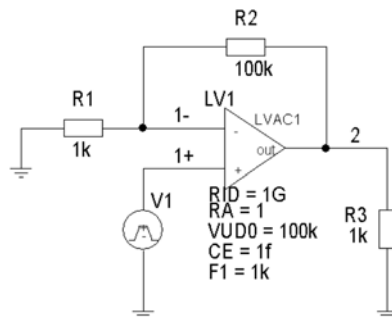


Bild 4.2-10: Gegengekoppelte Verstärkerstufe mit einem Geradeausverstärker, der nur eine Eckfrequenz aufweist

Das Ergebnis der TR-Analyse zeigt Bild 4.2-11, das der AC-Analyse Bild 4.2-12. Die Verstärkung des rückgekoppelten Systems beträgt 101, die Bandbreite

beträgt 1MHz . In dem Masse wie die Verstärkung reduziert wird, vergrößert sich also die Bandbreite des rückgekoppelten Systems.

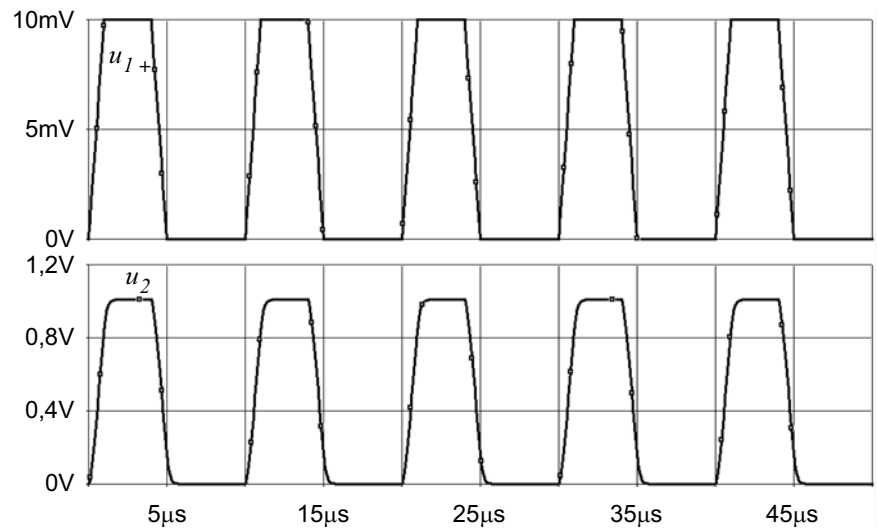


Bild 4.2-11: Ergebnis der TR-Analyse eines gegengekoppelten Verstärkers mit nur einer Eckfrequenz ohne kapazitiver Last

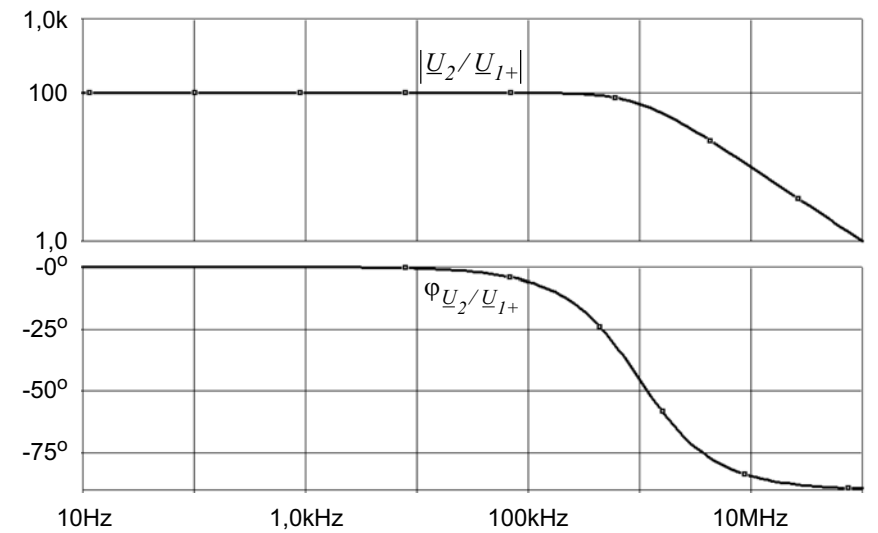


Bild 4.2-12: Ergebnis der AC-Analyse eines gegengekoppelten Verstärkers mit nur einer Eckfrequenz ohne kapazitiver Last

Die Rückkopplung verändert auch die Eigenschaften der Schnittstellen am Eingang und Ausgang. Dies hängt von der Art der Rückkopplung ab. Verschiedene Arten von Rückkopplungssystemen werden im Folgenden betrachtet.

4.2.3 Seriengegengekoppelte LV mit gesteuerter Spannungsquelle

Die seriengegengekoppelte Verstärkeranordnung macht den Eingangswiderstand hochohmiger gegenüber dem Geradeausverstärker. Nachstehende Schaltung stellt einen seriengegengekoppelten Linearverstärker dar.

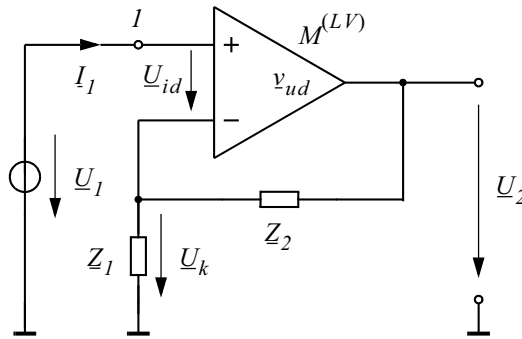


Bild 4.2-13: Seriengegengekoppelter Linearverstärker $M^{(LV)}$: Z_{id} ; v_{ud} ; $Z_a = 0$

Charakteristisch für die Seriengegengkopplung ist der Summenpunkt von Spannungen am Eingang:

$$\underline{U}_1 = \underline{U}_{id} + \underline{U}_k; \quad (4.2-9)$$

Weiterhin gilt:

$$\underline{U}_2 = v_{ud} \cdot \underline{U}_{id}$$

$$\underline{U}_{id}/Z_{id} + (\underline{U}_2 - \underline{U}_k)/Z_2 = (\underline{U}_k/Z_1); \quad (4.2-10)$$

$$\frac{\underline{U}_2}{v_{ud} \cdot Z_{id}} + \frac{\underline{U}_2 - \underline{U}_1}{Z_2} + \frac{\underline{U}_2}{v_{ud} \cdot Z_2} = \frac{\underline{U}_1}{Z_1} - \frac{\underline{U}_2}{v_{ud} \cdot Z_1};$$

Damit erhält man als Ergebnis für die Verstärkung des rückgekoppelten Systems:

$$\boxed{\frac{\underline{U}_2}{\underline{U}_1} = v_u = \left(1 + \frac{Z_2}{Z_1}\right) \cdot \frac{1}{1 + 1/v_{ud} \cdot (1 + Z_2/Z_1 + Z_2/Z_{id})};} \quad (4.2-11)$$

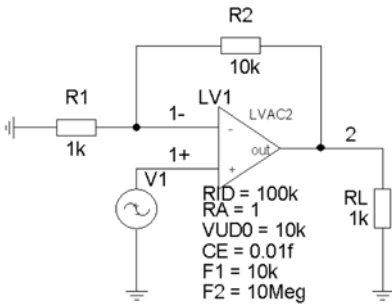
$\uparrow$
 $1/k$

Der Eingangswiderstand ergibt sich aus $\underline{U}_1/I_1 = Z_{1I}$:

$$\begin{aligned}
 I_1 &= (U_{id}/Z_{id}); & U_2 &= U_{id} \cdot v_{ud}; & U_2 &= v_u \cdot U_1; \\
 \frac{I_1}{U_1} &= Y_{id} \cdot \frac{v_u}{v_{ud}}; & \longrightarrow & & \boxed{\frac{U_2}{I_1} = Z_{id} \cdot \frac{v_{ud}}{v_u}}; & (4.2-12)
 \end{aligned}$$

Der Eingangswiderstand erhöht sich bei wirksamer Seriengegensekopplung. Will man einen hochohmigen Eingangswiderstand bei einem rückgekoppelten Verstärkersystem erreichen, so ist demzufolge die Seriengegensekopplung zu wählen.

Experiment 4.2-5: SerGegkop_V – Ermittlung der Eigenschaften einer seriengegensegekoppelten Verstärkerschaltung.



Abschätzung:

$$v_u = 11; \quad \text{Bandbreite: } 10\text{kHz} \cdot 1\text{k};$$

$$Z_{11'} = 100\text{k}\Omega \cdot 1\text{k} \text{ bei tiefen Frequenzen};$$

$$\text{Rückkopplungsfaktor: } 0,09;$$

$$\text{Schleifenverstärkung: } 1\text{k};$$

Bild 4.2-14: Testschaltung für eine seriengegensegekoppelte Verstärkerschaltung

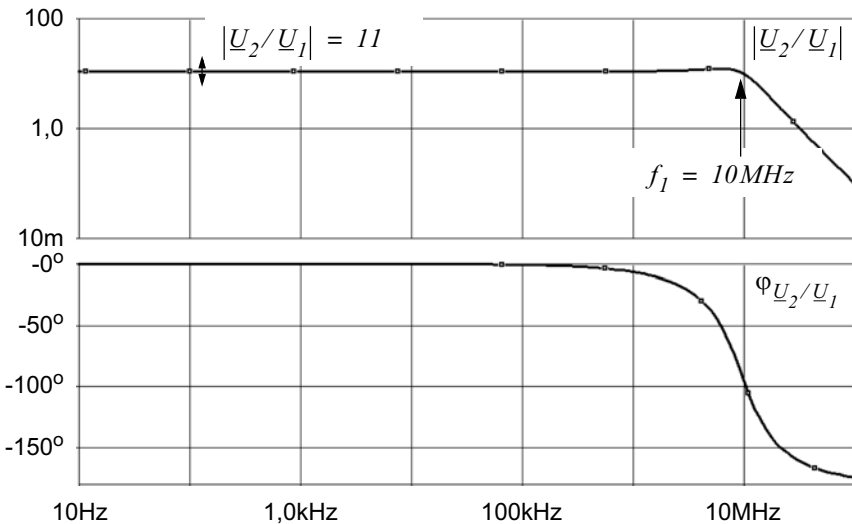


Bild 4.2-15: Verstärkungsfrequenzgang des seriengegensegekoppelten Systems

Die Abschätzwerte der Verstärkung werden bestätigt, ebenso die des Eingangswiderstandes (Bild 4.2-16).

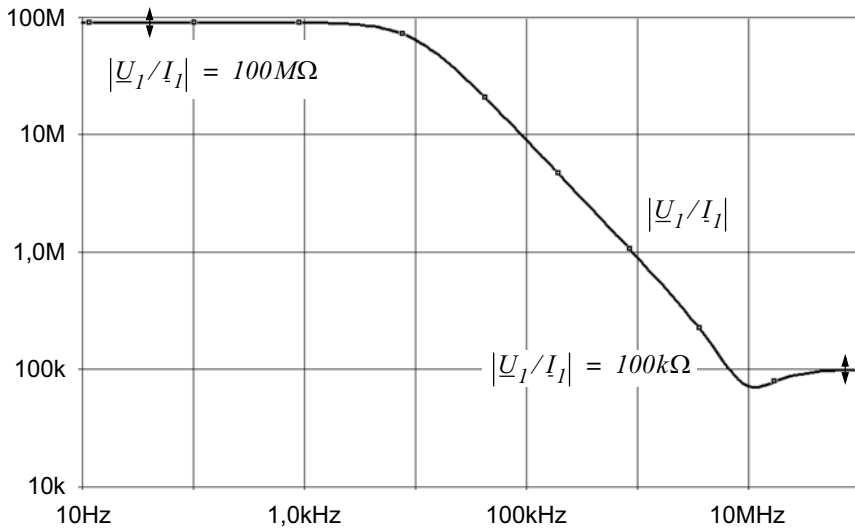


Bild 4.2-16: Eingangswiderstand des seriengengekoppelten Systems

4.2.4 Seriengengekoppelte LV mit gesteuerter Stromquelle

Der Geradeausverstärker wird jetzt durch eine spannungsgesteuerte Stromquelle beschrieben (Bild 4.2-17). Um das Ergebnis vorwegzunehmen, die seriengengekoppelte Verstärkeranordnung mit gesteuerter Stromquelle macht den Eingang und den Ausgang hochohmiger im Vergleich zum Geradeausverstärker.

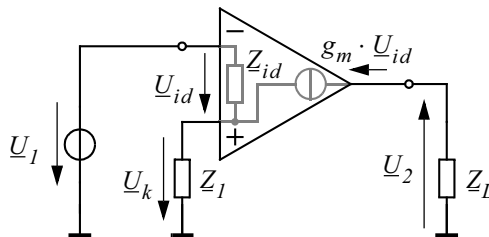


Bild 4.2-17: Seriengengekoppelter Verstärker mit gesteuerter Stromquelle: Übertragungsverhalten

Es sei $Z_{id} \rightarrow \infty$ des Verstärkers, dann gilt:

$$\underline{U}_I = \underline{U}_{id} + g_m \underline{U}_{id} \cdot Z_I = \underline{U}_{id}(1 + g_m Z_I);$$

$$\underline{U}_2 = g_m \underline{U}_{id} \cdot Z_L; \text{ Geradeausverstärkung: } g_m \cdot Z_L; \quad (4.2-13)$$

$$\underline{U}_k = g_m \underline{U}_{id} \cdot Z_I; \text{ Rückkopplungsfaktor: } Z_I/Z_L; \text{ Schleifenverst.: } g_m \cdot Z_I;$$

Damit erhält man für die Verstärkung des rückgekoppelten Systems:

$$\boxed{\frac{U_2}{U_1} = \frac{g_m Z_L}{1 + g_m Z_L} = \frac{Z_L}{Z_L + 1/g_m} \approx \frac{Z_L}{Z_L} = 1/k;} \quad (4.2-14)$$

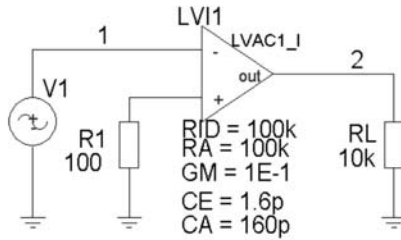
Für die Bestimmung des Eingangswiderstandes muss Z_{id} berücksichtigt werden:

$$I_1 = \frac{U_x}{Z_{id}} = \frac{U_1}{Z_{id} \cdot (1 + g_m Z_L)};$$

$$\boxed{Z_{11'} = Z_{id} \cdot (1 + g_m Z_L);} \quad (4.2-15)$$

Der Eingangswiderstand erhöht sich durch Seriengegkopplung auch bei gesteuerter Stromquelle, konkret um den Faktor $1 + g_m Z_L$ (mit $g_m Z_L$: Schleifenverstärkung). Mit der folgenden Testschaltung sollen diese Aussagen bestätigt werden.

Experiment 4.2-6: SerGegKop_I – Seriengeggekoppelte Verstärkerschaltung; Verstärker mit gesteuerter Stromquelle.



Abschätzung:

$$v_u = 100; \quad \text{Bandbreite: } 100\text{kHz};$$

$$Z_{11'} = 100\text{k}\Omega \cdot 10 \quad \text{bei tiefen Frequenzen};$$

$$\text{Geradeausverstärkung: } 1000; \quad \text{Rückkopplungsfaktor: } 0,01;$$

$$\text{Schleifenverstärkung: } 10;$$

Bild 4.2-18: Testschaltung für seriengeggekoppelte Verstärkerschaltung; Verstärker mit gesteuerter Stromquelle

Als nächstes soll der Ausgangswiderstand (Innenwiderstand an der Schnittstelle am Ausgang) des rückgekoppelten Systems bestimmt werden. Unter der Bedingung $Z_{id} \gg Z_L$ ist:

$$I_2 \cdot (1 + g_m \cdot Z_L) = (U_2 - I_2 Z_L) / Z_a;$$

$$I_2 \cdot (1 + g_m \cdot Z_L + Z_L / Z_a) = U_2 / Z_a;$$

Damit erhält man für den Ausgangswiderstand des rückgekoppelten Systems:

$$\boxed{\frac{U_2}{I_2} = Z_a \cdot (1 + g_m \cdot Z_L + Z_L / Z_a) \approx Z_a \cdot (1 + g_m \cdot Z_L);} \quad (4.2-16)$$

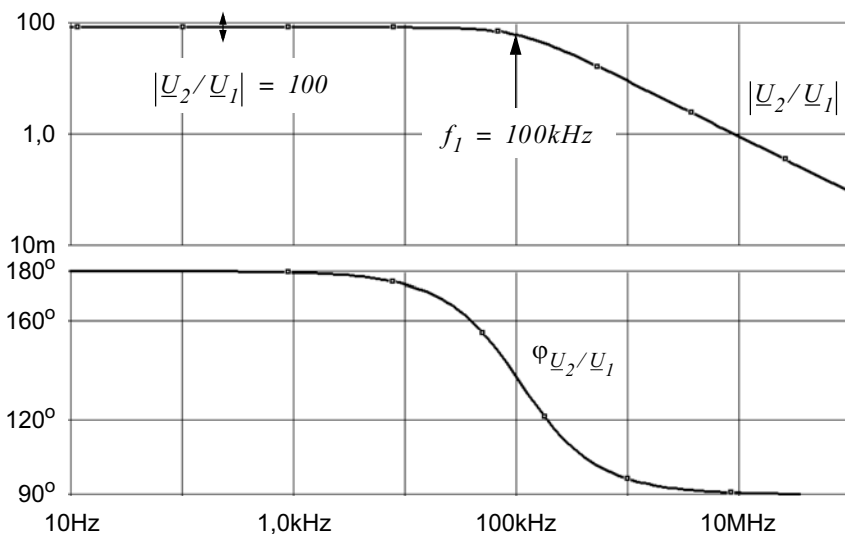


Bild 4.2-19: Verstärkungsfrequenzgang des seriengegekoppelten Systems; Testschaltung nach Bild 4.2-18

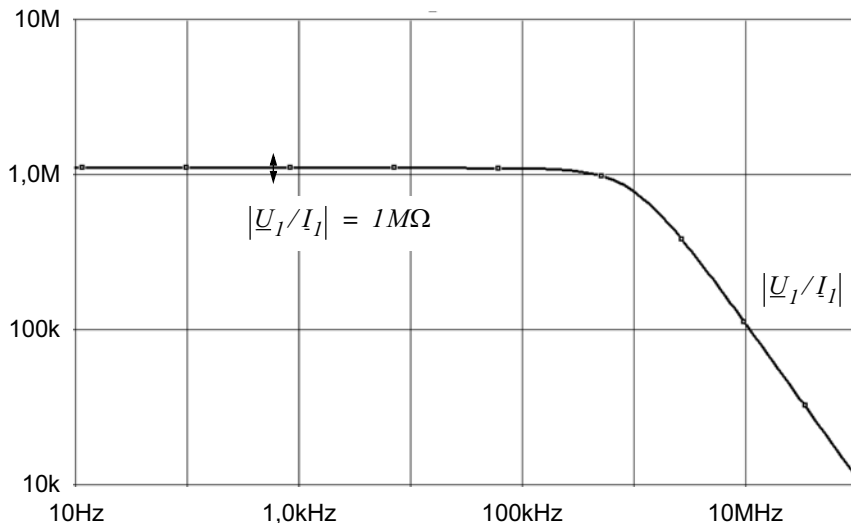


Bild 4.2-20: Eingangswiderstand des seriengegekoppelten Systems; Testschaltung nach Bild 4.2-18

Zur Bestimmung des Ausgangswiderstandes benötigt man eine eigene Testanordnung. In Bild 4.2-21 wird am Ausgang eingespeist und das Verhältnis $\underline{U}_2/\underline{I}_2$ gebildet. Im Ergebnis zeigt sich, dass der Ausgangswiderstand (Innenwiderstand

an der Ausgangsschnittstelle des Verstärkers) des rückgekoppelten Systems bei Seriengegenkopplung deutlich hochohmiger wird.

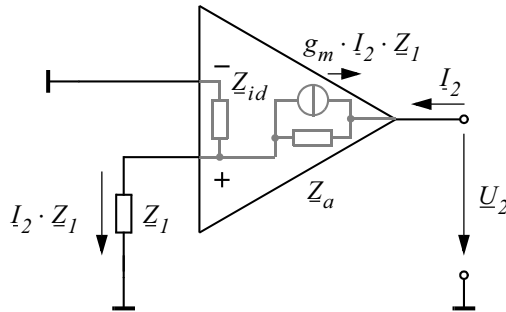


Bild 4.2-21: Seriengekoppelter Verstärker mit gesteuerter Stromquelle: Bestimmung des Innenwiderstands am Ausgang

4.2.5 Parallelgegengekoppelte LV mit gesteuerter Spannungsquelle

Der parallelgegengekoppelte Verstärker weist am Rückkopplungsknoten am Eingang eine sehr niederohmige Zweigimpedanz aufgrund der Transformationswirkung betreffs Z_2 auf (Transimpedanzbeziehung). Der Parallelgegenkopplung liegt ein „Stromsummenpunkt“ am Eingang zugrunde. Im Unterschied zur bisher betrachteten Seriengegenkopplung wird jetzt nicht am (+) Eingang des Verstärkers das Eingangssignal angelegt, sondern an Knoten 1 von Z_L .

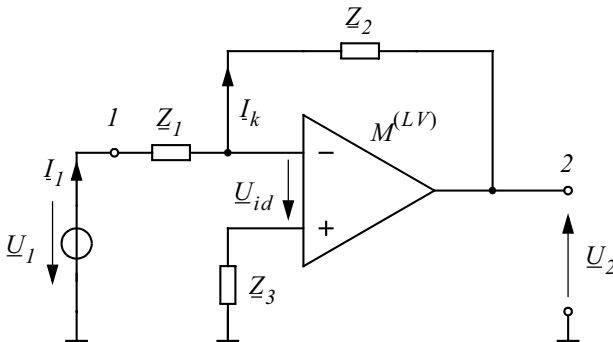


Bild 4.2-22: Parallelgekoppelter Linear-Verstärker $M^{(LV)}$: Z_{id} ; v_{ud} ; $Z_a = 0$

Charakteristisch für die Parallelgegenkopplung ist der Summenpunkt der Ströme am Eingang. Es gilt:

$$I_1 = I_k + \frac{U_2 / v_{ud}}{Z_{id}}; \quad (4.2-17)$$

Zur Herleitung der Verstärkung des rückgekoppelten Systems wird zunächst die Knotenpunktgleichung am Rückkopplungsknoten gebildet.

$$I_k = \left(\frac{\underline{U}_2}{v_{ud}} \cdot \left(1 + \frac{Z_3}{Z_{id}} \right) + \underline{U}_2 \right) / Z_2;$$

$$\left(\underline{U}_1 - \frac{\underline{U}_2}{v_{ud}} \left(1 + \frac{Z_3}{Z_{id}} \right) \right) / Z_1 = \left(\frac{\underline{U}_2}{v_{ud}} \cdot \left(1 + \frac{Z_3}{Z_{id}} \right) + \underline{U}_2 \right) / Z_2 + \frac{\underline{U}_2}{v_{ud}} / Z_{id};$$

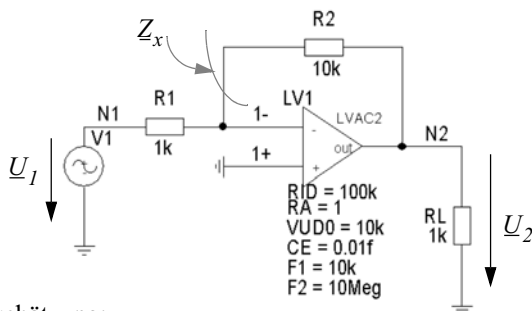
$$\underline{U}_1 \cdot \frac{Z_2}{Z_1} = \underline{U}_2 \cdot \left(1 + \frac{1}{v_{ud}} \cdot \left(\left(1 + \frac{Z_2}{Z_1} \right) \cdot \left(1 + \frac{Z_3}{Z_{id}} \right) + \frac{Z_2}{Z_{id}} \right) \right);$$

Damit erhält man für das rückgekoppelte System:

$$\frac{\underline{U}_2}{\underline{U}_1} = v_u = \frac{Z_2}{Z_1} \cdot \frac{1}{1 + \frac{1}{v_{ud}} \cdot \left(\left(1 + \frac{Z_2}{Z_1} \right) \cdot \left(1 + \frac{Z_3}{Z_{id}} \right) + \frac{Z_2}{Z_{id}} \right)}; \quad (4.2-18)$$

Die rückgekoppelte Verstärkung ist $(1/k - 1)$ im Gegensatz zur Verstärkung $1/k$ bei einem seriengegengekoppelten Verstärker. In beiden Fällen wird an Z_1 ein Strom von $\underline{U}_1/Z_1$ eingeprägt. Dieser Strom fließt über Z_2 und bildet die Ausgangsspannung. Beim seriengegengekoppelten Verstärker wird dazu noch die Eingangsspannung aufaddiert. Das folgende Experiment soll die Parallelgegenkopplung näher untersuchen (Bild 4.2-23).

Experiment 4.2-7: ParGegKop_V – Parallelgegengekoppelte Verstärkerstufe mit gesteuerter Spannungsquelle.



Abschätzung:

$$v_u = -10;$$

$$\text{Bandbreite: } 10\text{kHz} \cdot 1\text{k};$$

$$Z_{11'} = 1\text{k}\Omega + (10\text{k}\Omega / 10\text{k}) \parallel 100\text{k}\Omega \quad \text{bei tiefen Frequenzen};$$

$$\text{Rückkopplungsfaktor: } 0,09; \quad \text{Schleifenverstärkung: } \approx 1\text{k};$$

Bild 4.2-23: Testschaltung für eine parallelgegengekoppelte Rückkopplung

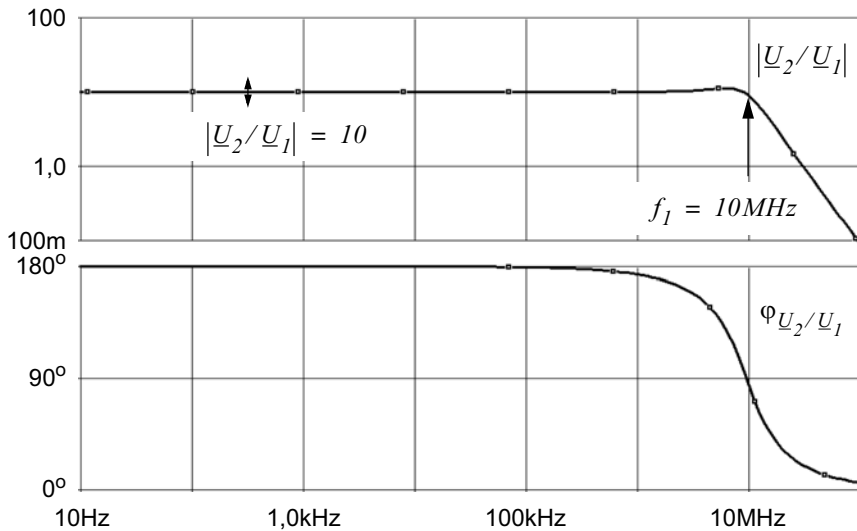


Bild 4.2-24: Verstärkungsfrequenzgang des parallelgegekoppelten Systems nach Bild 4.2-23

Die Abschätzwerte werden durch das Simulationsergebnis in Bild 4.2-24 bestätigt. Als nächstes wird die Zweigimpedanz gebildet aus der Knotenspannung am Knoten I - und dem Zweigstrom durch den Rückkopplungswiderstand R_2 betrachtet. Diese Zweigimpedanz wirkt gegen Masse und schaltet sich zur Eingangsimpedanz Z_{id} parallel. Bei tiefen Frequenzen beträgt der Beitrag der betrachteten Zweigimpedanz im Beispiel 1Ω . Dies liegt daran, dass am Knoten I - eine extrem kleine Spannung aufgrund der hohen Verstärkung anliegt. Über den Widerstand fließt aber der (hohe) Strom $\underline{U}_2/R_2$. Umgerechnet auf die „kleine“ Knotenspannung am Eingang I - wird der Widerstand R_2 transformiert um:

$$Z_x = \frac{R_2}{1 + v_{ud}}; \quad (4.2-19)$$

Diese Transformation wird „Transimpedanzbeziehung“ genannt. Alle Verstärker, bei denen eine Impedanz (hier R_2) zwischen Eingang und Ausgang in der beschriebenen Form vorliegt, weisen diese Transformationseigenschaft auf. Bild 4.2-25 bestätigt die getroffene Abschätzung der Zweigimpedanz. Das folgende Bild 4.2-26 soll die Verhältnisse allgemein veranschaulichen. Dabei geht es um die Ermittlung der Wirkung des Rückkopplungswiderstandes am Eingang und am Ausgang des Geradeausverstärkers. Es zeigt sich, dass die Transformationswirkung nur am Eingang gegeben ist.

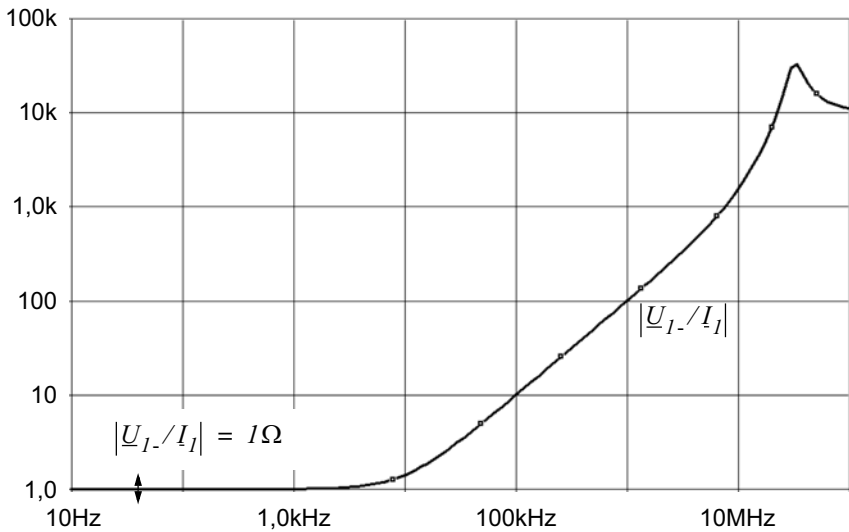


Bild 4.2-25: Eingangswiderstand des parallelgegenekoppelten Systems

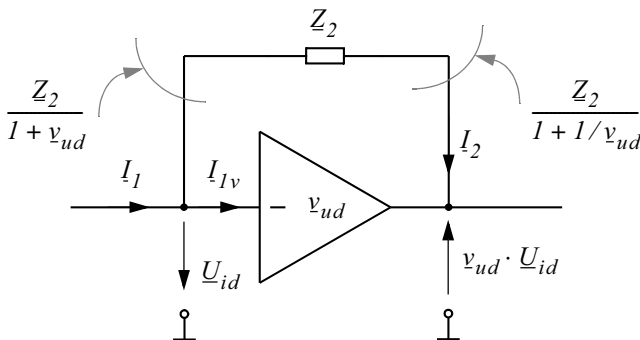


Bild 4.2-26: Transimpedanzbeziehung eines rückgekoppelten Verstärkers

Für den Eingangsstrom I_I gilt:

$$I_I = I_{Iv} + (I + v_{ud}) \cdot \underline{U}_{id} \cdot \underline{Y}_2;$$

Damit wird der Leitwert am Eingang:

$$\frac{I_I}{\underline{U}_{id}} = \underline{Y}_{id} + (I + v_{ud}) \cdot \underline{Y}_2; \quad (4.2-20)$$

Der Eingangswiderstand am Rückkopplungsknoten wird durch Parallelgegenkopplung verringert auf $\underline{Z}_2/(I + v_{ud})$ wenn $\underline{Z}_{id}$ vergleichsweise hochohmig ist. Bei hohem v_{ud} stellt sich eine erhebliche Transformationswirkung des Rückkopplungswiderstandes $\underline{Z}_2$ am Eingangsknoten ein.

Für den Zweigstrom I_2 am Ausgang gilt:

$$I_2 = (1 + v_{ud}) \cdot \underline{U}_{id} \cdot Y_2;$$

Damit wird der Leitwert im Ausgangszweig:

$$\frac{I_2}{v_{ud} \cdot \underline{U}_{id}} = \frac{I_2}{\underline{U}_2} = \left(1 + \frac{1}{v_{ud}}\right) \cdot Y_2; \quad (4.2-21)$$

Wegen $1/v_{ud}$ zeigt sich keine signifikante Transformationswirkung des Rückkopplungswiderstandes am Ausgangsknoten.

4.2.6 Parallelgegengekoppelte LV mit gesteuerter Stromquelle

Die Parallelgegengekoppelung macht – wie nachgewiesen – den Eingang des Verstärkers niederohmig wegen der Transimpedanzbeziehung. Bei einem Geradeausverstärker mit gesteuerter Stromquelle wird durch die Parallelgegengekopplung der Innenwiderstand am Ausgang des Verstärkers ebenfalls deutlich niederohmiger als beim Geradeausverstärker. Dazu wird die Testschaltung in Bild 4.2-27 betrachtet.

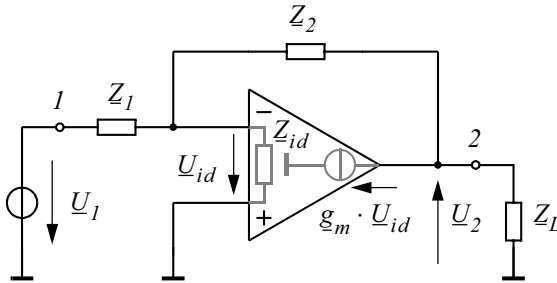


Bild 4.2-27: Rückgekoppelter Verstärker mit gesteuerter Stromquelle

Die Herleitung der Verstärkung des rückgekoppelten Systems erhält man aus:

$$\frac{\underline{U}_1 - \underline{U}_{id}}{Z_1} = \frac{\underline{U}_{id} + \underline{U}_2}{Z_2} + \frac{\underline{U}_{id}}{Z_{id}};$$

$$g_m \underline{U}_{id} = \frac{\underline{U}_{id} + \underline{U}_2}{Z_2} + \frac{\underline{U}_2}{Z_L};$$

Für die „innere“ Verstärkung $v_{ud} = \underline{U}_2 / \underline{U}_{id}$ des rückgekoppelten Systems ergibt sich:

$$v_{ud} = \left(g_m - \frac{1}{Z_2}\right) Z_L \cdot \frac{1}{1 + Z_L / Z_2} \approx g_m \cdot Z_L \parallel Z_2;$$

Damit wird aus obiger Beziehung:

$$\underline{U}_1 \cdot \frac{Z_2}{Z_1} = \underline{U}_{id} \left\{ 1 + \frac{Z_2}{Z_1} + \frac{Z_2}{Z_{id}} \right\} + \underline{U}_2;$$

Somit ergibt sich für die Verstärkung, wie erwartet:

$$\frac{U_2}{U_1} = v_u = \frac{Z_2}{Z_1} \cdot \frac{1}{1 + \frac{1}{v_{ud}} \cdot \left(1 + \frac{Z_2}{Z_1} + \frac{Z_2}{Z_{id}}\right)} \approx \left(\frac{1}{k} - 1\right) \cdot \frac{1}{1 + \frac{1}{v_{ud} \cdot k}}; \quad (4.2-22)$$

Als nächstes geht es um die Bestimmung von Z_{11} :

$$I_1 = \frac{U_1 - U_{id}}{Z_1} = \frac{U_1}{Z_1} - \frac{U_2}{v_{ud} Z_1} = \frac{v_{ud} - v_u}{v_{ud} Z_1} U_1; \quad (4.2-23)$$

$$Z_{11'} \approx Z_1;$$

Neben der Schnittstellenimpedanz am Eingang interessiert die Schnittstellenimpedanz am Ausgang des gegengekoppelten Verstärkers mit gesteuerter Stromquelle. Die Bestimmung von $Z_{22'}$ ergibt sich bei $Z_{id} \gg Z_1$ aus;

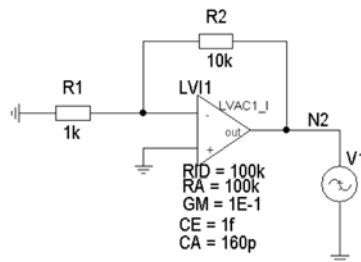
$$U_{id} = \frac{Z_1}{Z_1 + Z_2} U_2; \quad I_2 = g_m U_2 \frac{Z_1}{Z_1 + Z_2} + \frac{U_2}{Z_1 + Z_2};$$

Damit erhält man für den Ausgangswiderstand:

$$Z_{22'} = \frac{U_2}{I_2} = (Z_1 + Z_2) \frac{1}{1 + g_m Z_1} \approx \frac{1}{g_m} \cdot \frac{Z_2}{Z_1}; \quad (4.2-24)$$

Die Parallelgegenkopplung bei Verstärkern mit gesteuerter Stromquelle verringert also den Ausgangswiderstand Z_2 ca. um den Faktor $1/(g_m Z_1)$. Das folgende Experiment soll diese Aussage bestätigen.

Experiment 4.2-8: ParGegKop_I – Bestimmung des Ausgangswiderstandes einer parallelgegekoppelten Verstärkerschaltung mit gesteuerter Stromquelle.



Abschätzung:

$$v_u = 10;$$

$$\text{Bandbreite: } 10\text{kHz} \cdot 1\text{k};$$

$$Z_{22'} = 10\Omega \cdot 10 \text{ bei tiefen Frequenzen};$$

Bild 4.2-28: Testschaltung für die Ermittlung des Ausgangswiderstandes $Z_{22'}$.

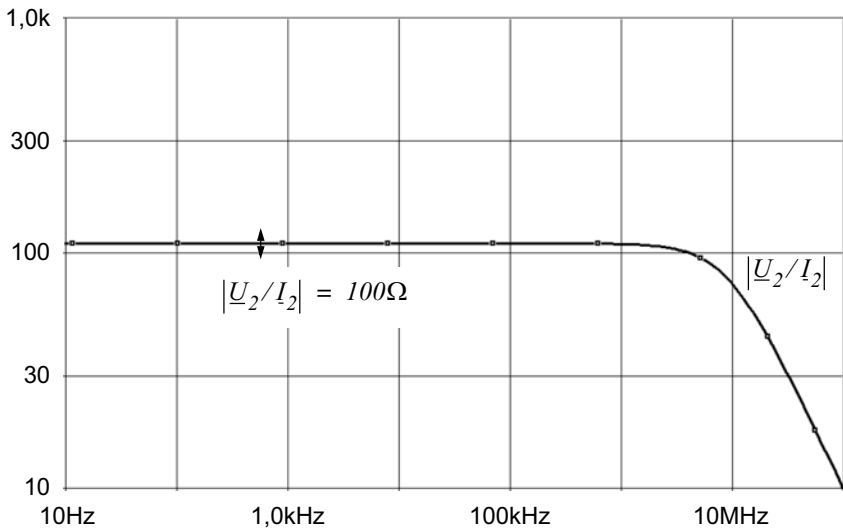


Bild 4.2-29: Ausgangswiderstand des parallelgegekoppelten Systems mit gesteuerter Stromquelle gemäß Testschaltung in Bild 4.2-28

Das Beispielergebnis in Bild 4.2-29 bestätigt die Abschätzung. Der Ausgangswiderstand wird niederohmig durch Parallelgegenkopplung. Als Innenwiderstand am Ausgang wirkt näherungsweise $Z_2/(g_m Z_I)$. Der Innenwiderstand des Geradeausverstärkers Z_a kann im Beispiel vernachlässigt werden.

Zusammenfassung: Allgemein zeigt sich, dass durch die Art der Rückkopplung u.a. das Schnittstellenverhalten des rückgekopplten Systems maßgeblich beeinflusst wird. Soll der rückgegekoppelte Verstärker am Eingang hochohmiger werden als der Geradeausverstärker, so ist eine Seriengegenkopplung zu wählen. Umgekehrt bewirkt eine Parallelgegenkopplung einen niederohmigen Eingang am Geradeausverstärker. Ist der Geradeausverstärker eine spannungsgesteuerte Stromquelle, so macht die Seriengegenkopplung den Innenwiderstand am Ausgang hochohmiger, die Parallelgegenkopplung niederohmiger. Damit lassen sich gezielt durch die Art der Rückkopplung Eigenschaften des rückgekopplten Systems beeinflussen.

4.3 Stabilität und Frequenzgangkorrektur von LV

Nach der allgemeinen Stabilitätsbetrachtung von rückgekopplten Systemen in Abschnitt 4.2.1 soll nunmehr die Stabilität von konkreten Verstärkeranordnungen näher untersucht werden. Ergeben sich Stabilitätsprobleme, so sind geeignete Maßnahmen zu treffen, um die Stabilitätsbedingung hinreichend zu erfüllen.

4.3.1 Analyse der Schleifenverstärkung

Wie bereits bei rückgekoppelten Systemen allgemein ausgeführt, ist die Schleifenverstärkung die Basis zur Analyse der Stabilität des Systems. Die Stabilitätsuntersuchung erfolgt immer anhand der Schleifenverstärkung an der offenen Rückkopplungsschleife. Zur Ermittlung der Schleifenverstärkung muss das rückgekoppelte System an geeigneter Stelle aufgetrennt werden. Das Beispiel in Bild 4.3-1 zeigt ein Rückkopplungssystem mit möglichen Trennstellen zur Analyse der Schleifenverstärkung. Grundsätzlich muss der Eingangswiderstand an der Trennstelle als Lastwiderstand am offenen Ende der Schleife hinzugefügt werden, um dieselben Lastverhältnisse wie bei geschlossener Schleife zu erhalten. Ansonsten würde man in Abhängigkeit der Lage der Trennstelle eine unterschiedliche Schleifenverstärkung erhalten.

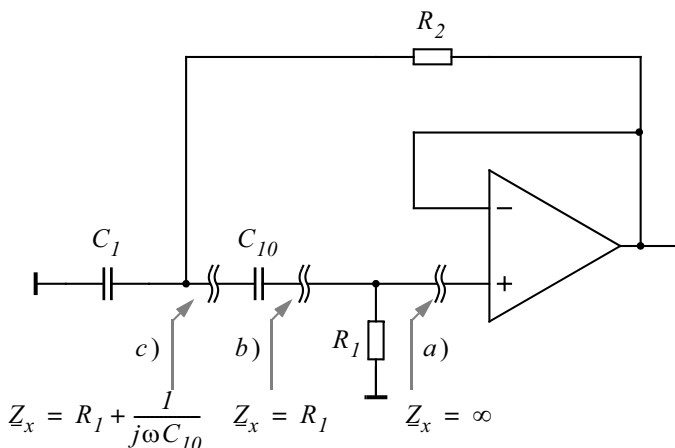


Bild 4.3-1: Zum Auftrennen des Rückkopplungspfad mit möglicher Lastkorrektur

Im Fall der Trennstelle a) im Bild 4.3-1 ist der Eingangswiderstand sehr hochohmig; es ist am offenen Ende keine Lastkorrektur erforderlich. Bei b) und c) sind Lastkorrekturen mit Z_x erforderlich, um dieselben Lastverhältnisse bei offener Schleife zu erhalten, wie sie bei geschlossener Schleife gegeben sind. Die Schleifenverstärkung ist:

$$g = k \cdot v_{ud}; \quad (4.3-1)$$

Dabei ist v_{ud} die Verstärkung des Geradeausverstärkers und k der Rückkopplungsfaktor. Im gegebenen Beispiel erhält man für den Rückkopplungsfaktor:

$$k = \frac{j\omega C_{10} R_1}{1 + j\omega C_{10} R_1 + j\omega C_1 R_2 \cdot (1 + C_{10}/C_1 + j\omega C_{10} R_1)}; \quad (4.3-2)$$

Das Rückkopplungsnetzwerk dreht bei tiefen Frequenzen die Phase um $+90^\circ$, bei höheren Frequenzen um -90° . Für das betrachtete Beispiel gibt es also eine Frequenz, bei der der Rückkopplungsfaktor eine Phasendrehung um 0° erfährt. Ist bei dieser Frequenz die Verstärkung $|v_{ud}| \geq |1/k|$, so ist die Schwingbedingung erfüllt,

sofern die Phase von $\underline{v}_{ud}$ auch 0° beträgt. An der Schnittstelle ist der „hinzugefügte Lastwiderstand“ $\underline{Z}_x$ bei der Bestimmung des Rückkopplungsfaktors $\underline{k}$ am offenen Ende der Schleife zu berücksichtigen.

4.3.2 Frequenzgangkorrektur des Geradeausverstärkers

Ist die Phasenreserve der Schleifenverstärkung nicht hinreichend, muss eine Frequenzgangkorrektur am Geradeausverstärker oder am Rückkopplungsnetzwerk so vorgenommen werden, dass die eigentliche Schaltungsfunktion nicht wesentlich beeinträchtigt wird. Das nachstehende Beispiel in Bild 4.3-2 zeigt einen Spannungsfolger mit einem Geradeausverstärker mit Frequenzgangkorrektur an der Schnittstelle zwischen der ersten und zweiten Verstärkerstufe des Geradeausverstärkers.

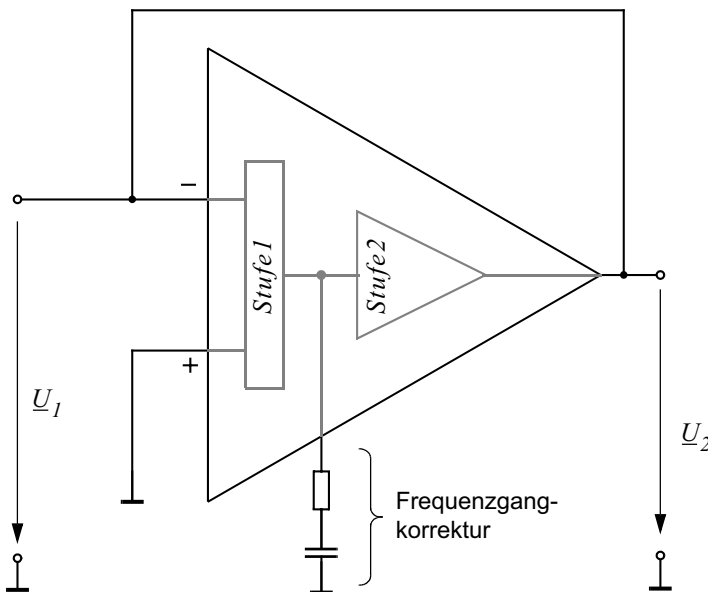


Bild 4.3-2: Zweistufiger Verstärker als Spannungsfolger mit der Möglichkeit zur Frequenzgangkorrektur zwischen der ersten und zweiten Stufe im Innern des Geradeausverstärkers

Im Beispiel ist $\underline{k} = 1$ und somit ist die Schleifenverstärkung allein durch den Geradeausverstärker bestimmt. Der Geradeausverstärker soll nun im Frequenzgang so beeinflusst werden, dass bei Betrieb als Spannungsfolger hinreichende Stabilität gegeben ist. Dazu ist eine Frequenzgangkorrektur beim Geradeausverstärker erforderlich. Die Frequenzgangkorrektur setzt an der Schnittstelle zwischen der ersten und zweiten Stufe im Innern des Geradeausverstärkers an. Sie muss so ausgelegt werden, dass die erste Eckfrequenz in der Weise verringert wird, dass die Verstärkung bereits auf "1" abgesenkt ist, wenn die zweite Eckfrequenz zum Tragen kommt. Bei dieser Auslegung ist bei Betrieb des rückgekoppelten Systems als

Spannungsfolger eine Phasenreserve von 45° gewährleistet. Bild 4.3-3 veranschaulicht die Maßnahme zur Frequenzgangkorrektur des Geradeausverstärkers.

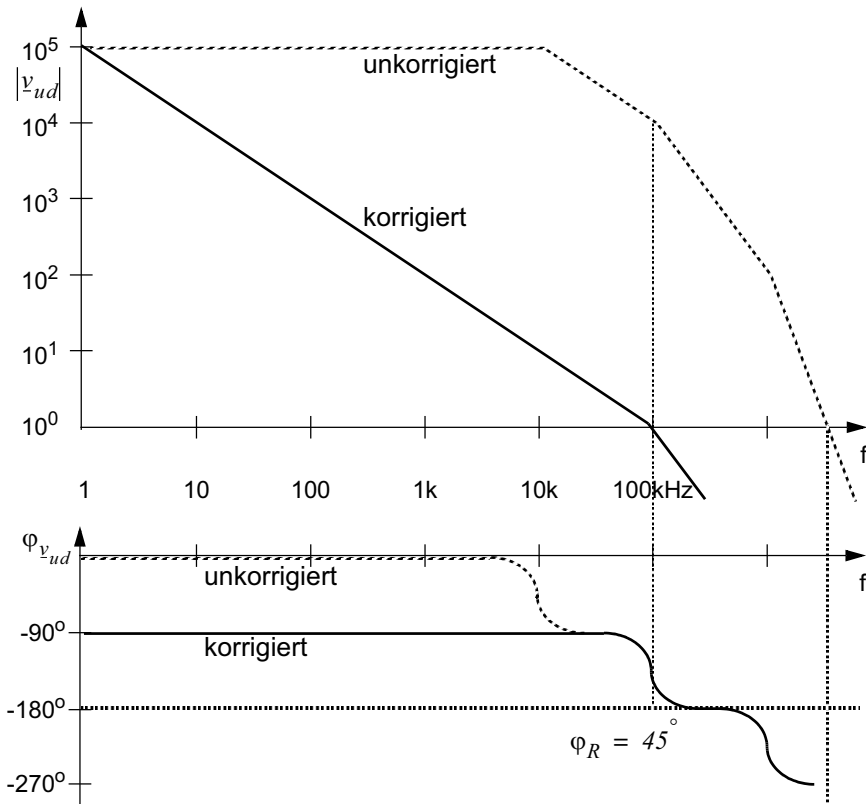


Bild 4.3-3: Zur Frequenzgangkorrektur eines Geradeausverstärkers, so dass bei Betrieb als Spannungsfolger hinreichend Stabilitätsreserve gegeben ist

Es gibt Geradeausverstärker die intern frequenzkompensiert sind und welche, die durch externe Beschaltung kompensiert werden können. Zur Frequenzgangkorrektur am Geradeausverstärker wird über nach außen geführte Pins und einer außen anliegenden Beschaltung der Frequenzgang des Geradeausverstärkers geeignet eingestellt. Das folgende Experiment soll den Sachverhalt näher untersuchen. Bild 4.3-4 zeigt die dem Experiment zugrundeliegende Testschaltung. In Bild 4.3-5 ist das Ergebnis des Verstärkungsfrequenzgangs des Geradeausverstärkers dargestellt.

Experiment 4.3-1: VSpannungsf_komp1 – Spannungsfolger mit Geradeausverstärker, der zwei Eckfrequenzen aufweist.

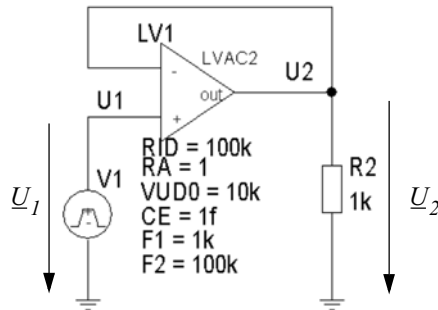


Bild 4.3-4: Spannungsfolger – Geradeausverstärker weist zwei Eckfrequenzen f_1 und f_2 auf

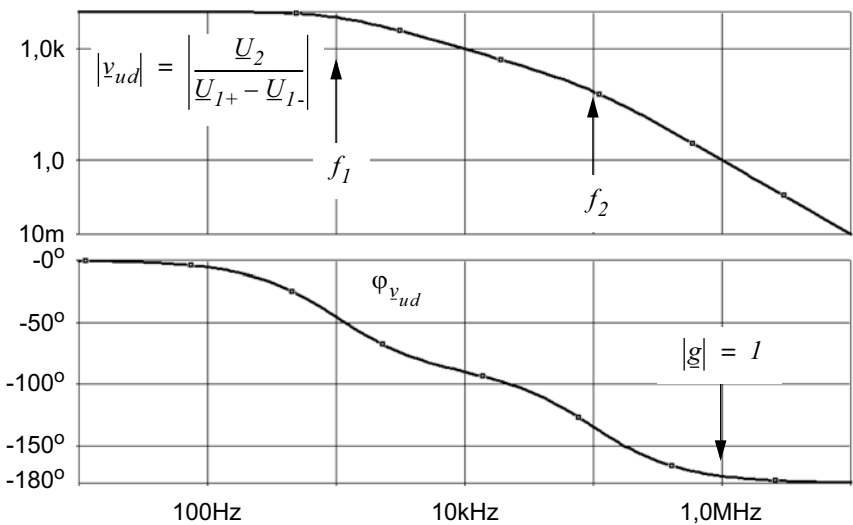


Bild 4.3-5: Frequenzgang des Geradeausverstärkers mit zwei Eckfrequenzen f_1 und f_2

Der Geradeausverstärker mit zwei Eckfrequenzen f_1 und f_2 dreht oberhalb der zweiten Eckfrequenz die Phase der Verstärkung bis auf -180° , d.h. aus einem gegengekoppelten System kann potenziell ein mitgekoppeltes System werden. Im gegebenen Beispiel beträgt die Phasenreserve bei $|g| = 1$ wenige Grad bis zum Stabilitätsrand. Ein rückgekoppelter Verstärker am Stabilitätsrand betrieben, weist ein ungünstiges Einschwingverhalten im dynamischen Betrieb auf. Es zeigt sich tendenziell bereits die Eigenfrequenz, die aber noch abklingt. Um diesen Sachverhalt zu bestätigen, wird der rückgekoppelte Verstärker mit geringer Phasenreserve in der gegebenen Testschaltung durch einen Spannungssprung beaufschlagt und mittels TR-Analyse untersucht.

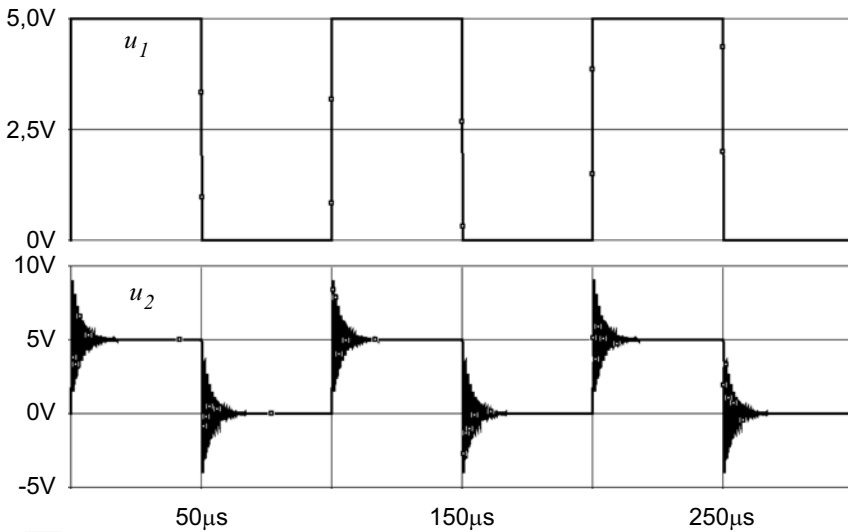


Bild 4.3-6: Ergebnis des Spannungsfolgers mit einem Rechtecksignal bei unkompensiertem Geradeausverstärker

Das Simulationsergebnis in Bild 4.3-6 zeigt bereits die Schwingneigung des Spannungsfolgers, da sich die Schleifenverstärkung oberhalb 100kHz am Stabilitätsrand befindet. Zur Schwingungserregung wäre ein „Durchschneiden“ der Stabilitätsgrenze von -180° der Schleifenverstärkung erforderlich. Da aber der Verstärker die Phase nur um maximal -180° dreht und das Rückkopplungsnetzwerk die Phase nicht dreht, befindet sich das System am Phasenrand. Eine zusätzliche Eckfrequenz im Übertragungsverhalten des Geradeausverstärkers im Frequenzbereich, wo die Schleifenverstärkung noch größer „1“ ist, würde zur Schwingungserregung führen. Das wäre beispielsweise der Fall, wenn eine Lastkapazität mit dem „Innenwiderstand“ r_a des Geradeausverstärkers eine zusätzliche Eckfrequenz im Frequenzbereich der Schleifenverstärkung größer „1“ ein Durchschneiden der Phasenbedingung für Instabilität im Phasenverlauf der Geradeausverstärkung bringen würde. Das nachstehende Experiment bestätigt diesen Sachverhalt. Im gegebenen Beispiel stellt sich Selbsterregung ein.

Experiment 4.3-2: VSpannungsf_mitCL – Geradeausverstärker mit zwei Eckfrequenzen, mit kapazitiver Last und mit Begrenzereigenschaft.

Der Geradeausverstärker der Schaltung Bild 4.3-7 weist mit der kapazitiven Last drei Eckfrequenzen auf und kann somit die Phase um mehr als -180° drehen. Wird die Schaltung mit einem Rechteckimpuls nach Bild 4.3-8 erregt, so ist das Ausgangssignal nicht mehr proportional zum Eingangssignal. Vielmehr zeigt sich eine Eigenfrequenz, genau bei der Frequenz, wo die Schwingbedingung erfüllt ist.

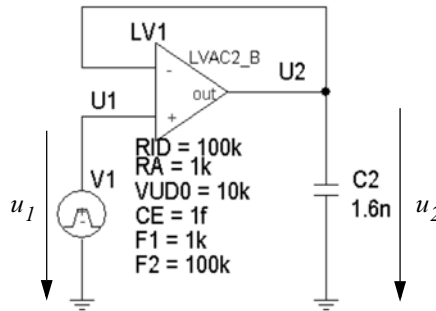


Bild 4.3-7: Spannungsfolger mit kapazitiver Last

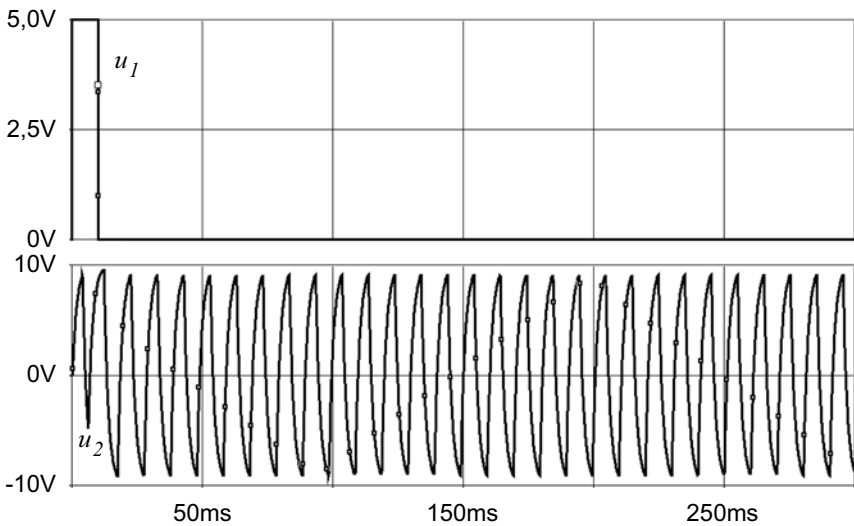


Bild 4.3-8: Ergebnis des Spannungsfolgers angeregt mit einem Rechtecksignal; Geradeausverstärker mit $f_1 = 10\text{Hz}$, $f_2 = 100\text{kHz}$ und kapazitiver Last; es stellt sich Selbsterregung ein

Soll die Schwingneigung vermieden werden, so muss der Geradeausverstärker im Frequenzgang kompensiert werden. In der Testschaltung des Beispiels in Bild 4.3-9 wurde die kapazitive Last entfernt, weiterhin liegt jetzt die erste Eckfrequenz nicht bei 1kHz , sondern bei 10Hz . Damit wird bei $|g| = 1$ der Phasenrand $\varphi_R = 45^\circ$. Die Antwort auf ein Rechtecksignal ergibt beim Spannungsfolger ein hinreichend stabiles Ausgangssignal (Bild 4.3-11).

Experiment 4.3-3: VSpannungsf_komp2 – Spannungsfolger mit frequenz-kompensiertem Geradeausverstärker.

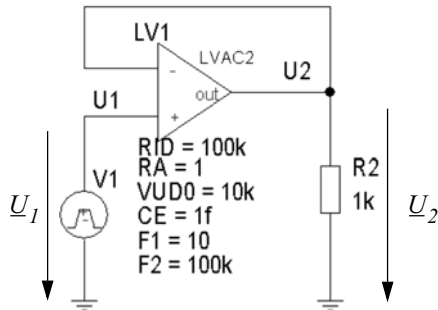


Bild 4.3-9: Spannungsfolger mit kompensiertem Geradeausverstärker – f_1 ist mit $f_1 = 10\text{Hz}$ deutlich reduziert, f_2 ist unverändert

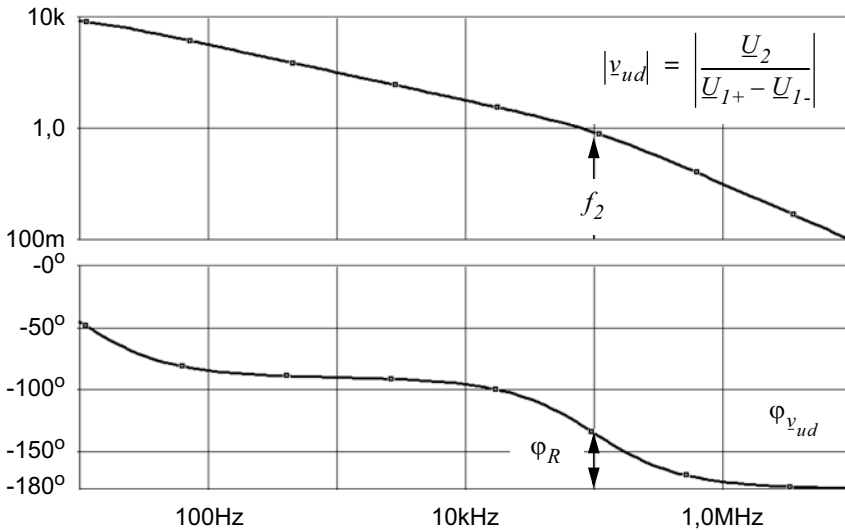


Bild 4.3-10: Frequenzgang des Geradeausverstärkers mit zwei Eckfrequenzen f_1 und f_2 ; f_1 ist soweit nach unten verschoben, dass bei Auftreten von f_2 die Verstärkung soweit reduziert ist, um eine hinreichende Phasenreserve zu erhalten

Das Beispiel zeigt, dass bei geeigneter Frequenzgangkompensation des Geradeausverstärkers (Bild 4.3-10) ein ungünstiges Einschwingen vermieden werden kann. Allgemein gilt: Eine Frequenzgangkorrektur am Geradeausverstärker sollte so ausgelegt sein, dass die Phasenreserve ϕ_R der Schleifenverstärkung – das ist die Phase der Schleifenverstärkung ϕ_g gemessen bei $|g| = 1$ – mindestens 45° beträgt.

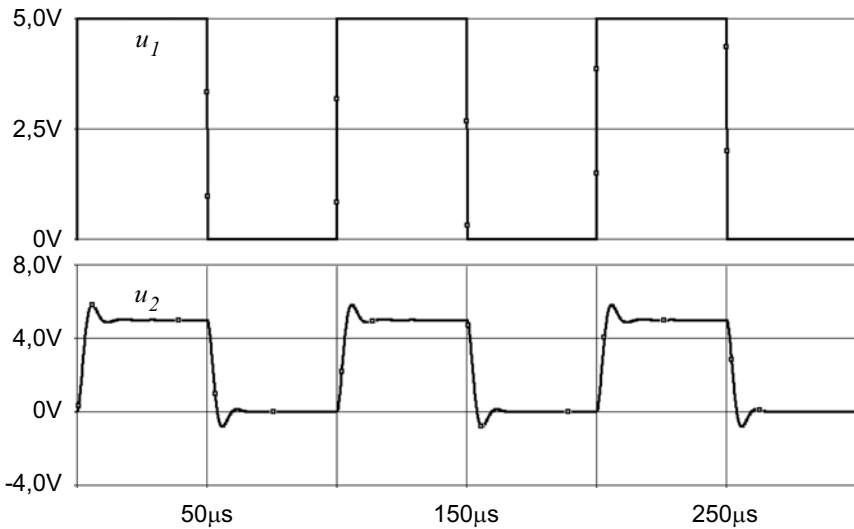


Bild 4.3-11: Ergebnis des Spannungsfolgers mit einem Rechtecksignal bei frequenzkompensiertem Geradeausverstärker mit $f_1 = 10\text{Hz}$ und $f_2 = 100\text{kHz}$

4.3.3 Frequenzgangkorrektur am Rückkopplungsnetzwerk

Neben der bisher betrachteten Frequenzgangkorrektur des Geradeausverstärkers kann eine Frequenzgangkorrektur am Rückkopplungsnetzwerk durchgeführt werden. Prinzipiell bestimmt das Rückkopplungsnetzwerk wesentlich die Funktion des rückgekoppelten Systems. Korrekturmaßnahmen am Rückkopplungsnetzwerk müssen so vorgenommen werden, dass die eigentliche Schaltungsfunktion nicht wesentlich beeinträchtigt wird. Die Frequenzgangkorrektur am Rückkopplungsnetzwerk wird am Beispiel eines Differenziators dargestellt. Eine Korrektur des Rückkopplungsnetzwerks muss mit Bedacht so erfolgen, dass die eigentliche Differenziatorfunktion nicht verfälscht wird.

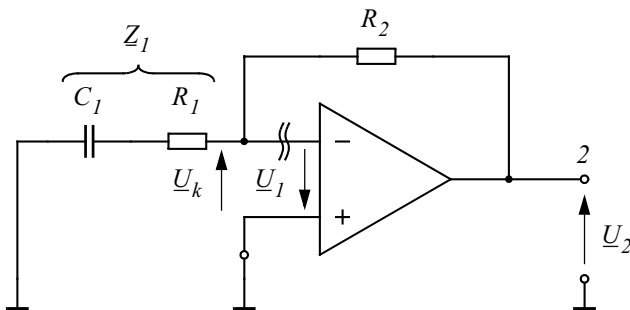


Bild 4.3-12: Analyse der Schleifenverstärkung des Differenziators

Die Analyse der Schleifenverstärkung ergibt:

$$\underline{g} = \frac{U_k}{U_I} = \frac{U_2}{U_I} \cdot \frac{U_k}{U_2} = |\underline{g}| \cdot e^{j(\varphi_g)};$$

Die Schwingungsbedingung ist gegeben bei $|\underline{g}| > 1$ und $\varphi_g = 180^\circ$. Die Schleifenverstärkung bestimmt sich im Beispiel aus:

$$\underline{g} = v_{ud} \cdot \frac{Z_I}{Z_I + Z_2} = v_{ud} \cdot k = |v_{ud}| \cdot |k| \cdot e^{j(\varphi_{v_{ud}} + \varphi_k)};$$

$$\underline{g} = v_{ud} \cdot \frac{R_I + 1/(j\omega C_I)}{R_I + R_2 + 1/(j\omega C_I)} = v_{ud} \cdot \frac{1 + j\omega C_I R_I}{1 + j\omega C_I \cdot (R_I + R_2)}; \quad (4.3-3)$$

Allgemein kann $R_I \ll R_2$ angenommen werden.

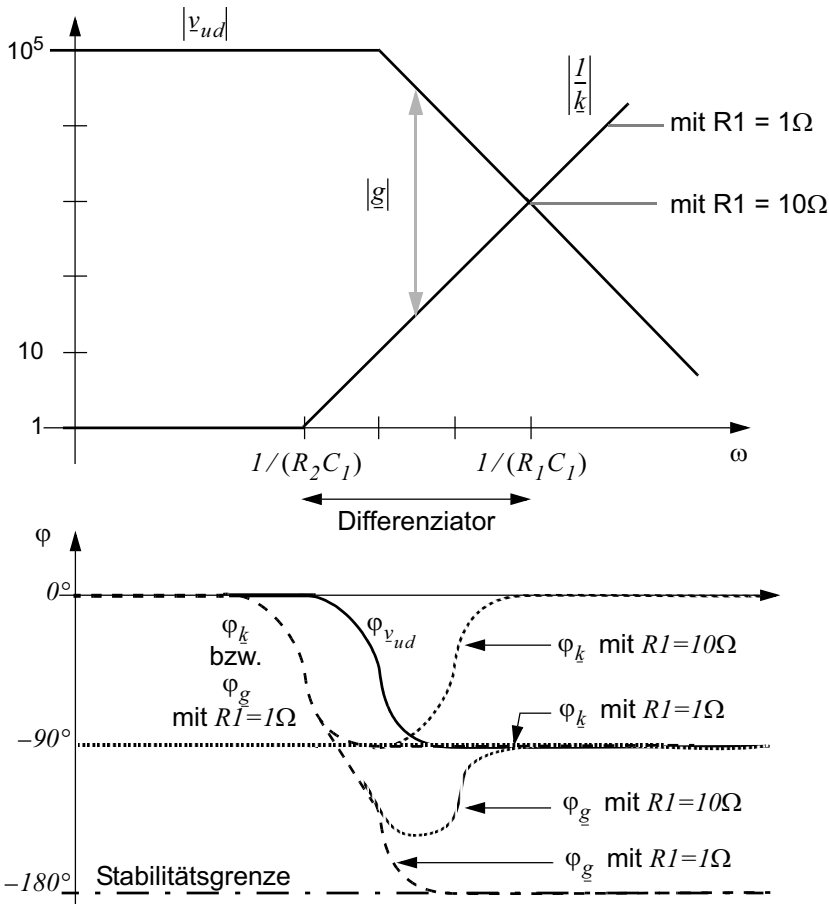


Bild 4.3-13: Frequenzgangkorrektur des Rückkopplungspfades am Beispiel des Differenzialtors

Im gegebenen Beispiel (Bild 4.3-14) ist bei $R_I = 1\Omega$ und $|g| = 1$ die Phase $\varphi_{v_{ud}} = -90^\circ$ und $\varphi_k = -90^\circ$, d.h. die Phasenreserve beträgt dann $\varphi_R = 0^\circ$. Damit wird das System am Phasenrand betrieben mit den sich daraus ergebenden Nachteilen. Im folgenden Experiment wird die Schleifenverstärkung der Testanordnung in Bild 4.3-14 untersucht. Das Ergebnis ist in Bild 4.3-15 dargestellt.

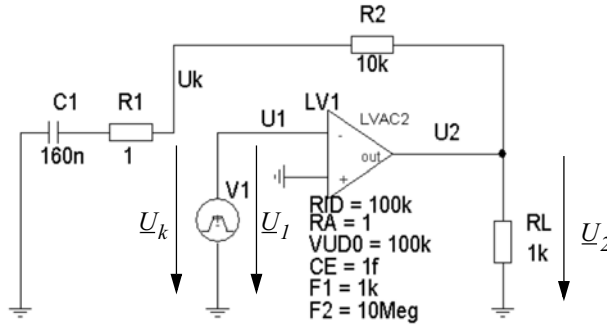


Bild 4.3-14: Analyse der Schleifenverstärkung des Differenziators

Experiment 4.3-4: VDifferenziator_gAnalyse0 – Analyse der Schleifenverstärkung einer Differenziatorschaltung.

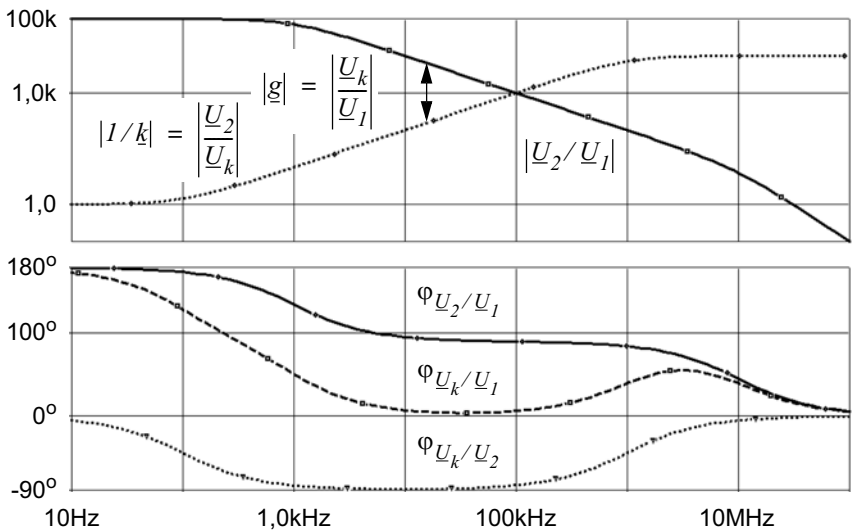


Bild 4.3-15: Ergebnis für die Verstärkung des Geradeausverstärkers, sowie von $|1/k|$ und Phasenverlauf des Geradeausverstärkers, des Rückkopplungsnetzwerks und der Schleifenverstärkung

Der Phasenverlauf der Schleifenverstärkung φ_{U_k/U_1} in Bild 4.3-15 zeigt, dass die Stabilitätsgrenze nicht durchschritten wird, wohl aber ab ca. 10kHz man sich

nahe an der Stabilitätsgrenze befindet. Allgemein gilt für das gewählte Beispiel für die Verstärkung des rückgekoppelten Systems:

$$v_u = \frac{1}{k} \cdot \frac{1}{1 + 1/g};$$

$$\frac{1}{k} = \frac{1 + j\omega C_1(R_1 + R_2)}{1 + j\omega C_1 R_1} = \frac{j\omega R_2 C_1}{1 + j\omega R_1 C_1} + 1; \quad (4.3-4)$$

Bei $\omega > 1/(C_1 R_2)$ ist Differenziatorverhalten gegeben. Ist $R_1 = 0$, so ist dann $1/k = j\omega C_1 R_2 + 1$. Stabilitätsprobleme ergeben sich wegen einer Grundphase von 180° aufgrund der Speisung des Geradeausverstärkers am (-) Eingang bei $|g| > 1$ und $\varphi_k + \varphi_{v_{ud}} = \varphi_g = 180^\circ$. Als nächstes soll der Differenziator im Zeitbereich analysiert werden. Wie dargelegt wird der Differenziator bei $R_1 = 0$ am Phasenrand betrieben. Es ist demzufolge ein ungünstiges Einschwingverhalten zu erwarten. Das folgende Experiment untersucht den Sachverhalt für die Testanordnung nach Bild 4.3-16.

Experiment 4.3-5: VDifferenziator_RKohneR1 – Differenziator ohne Kompensation der Rückkopplungsschleife. Der Geradeausverstärker weist nur eine Eckfrequenz innerhalb des Frequenzbereichs bis $|g| = 1$ auf.

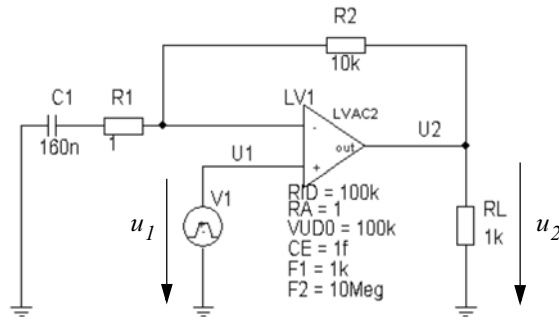


Bild 4.3-16: Differenziator im Zeitbereich

Der Zeitverlauf des Eingangssignals der Testschaltung weist eine Dreiecksform auf. Aufgrund der Differenziatorwirkung entsteht daraus ein Rechtecksignal. Die daraus resultierende Ausgangsspannung des Rechtecksignals ergibt sich für die positive Flanke des Eingangssignals aus:

$$u_2 = i_{C_1} \cdot R_2 + u_1 = 160n \cdot 10k \cdot 0,1V/100us + u_1 = 1,6V + u_1;$$

Es überlagert sich zur Amplitude von $1,6V$ der zeitliche Momentanwert der Eingangsspannung. Das Ergebnis in Bild 4.3-17 zeigt deutlich, dass wegen der geringen Phasenreserve das Einschwingverhalten ungünstig ist. Um das Einschwingverhalten zu verbessern, muss die Phasenreserve erhöht werden.

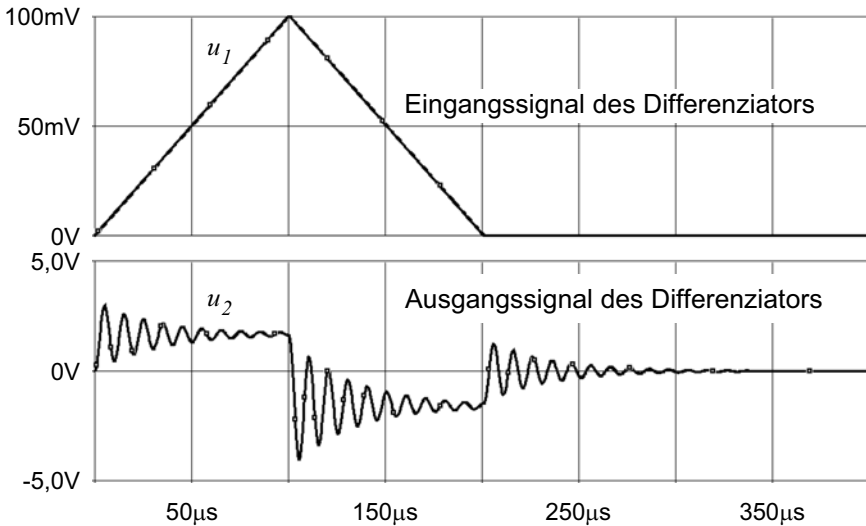


Bild 4.3-17: Ergebnis der Zeitbereichsanalyse mit $v_{ud0}=100k$, $f_1=1kHz$, f_2 ohne Einfluss, $R_2=10k\Omega$, $C_1=160nF$, $R_1=1\Omega$

Zur Verringerung des ungünstigen Einschwingverhaltens wird $R_1 = 10\Omega$ gewählt. Damit verändert sich der Phasenverlauf von $\underline{k}$ so, dass die Phasenreserve der Schleifenverstärkung vergrößert wird. Es sollte sich das Einschwingverhalten deutlich verbessern. Allerdings geht das zu Lasten der eigentlichen Differenziatorfunktion. Die wirksame Bandbreite des Differenziators verringert sich. In der dem folgenden Experiment zugrundeliegenden Testschaltung (Bild 4.3-18) wird das Einschwingverhalten bei Ansteuerung mit einem Dreieckssignal untersucht.

Experiment 4.3-6: VDifferenziator_RKmitR1 – Differenziator mit Kompensation der Rückkopplungsschleife.

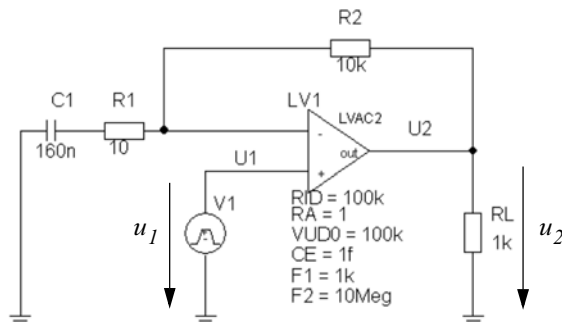


Bild 4.3-18: Analyse des Differenziators im Zeitbereich mit $R_1 = 10\Omega$

Die Kompensation des Rückkopplungspfad mit $R_I = 10\Omega$ in der Weise, dass die Phasenreserve $\varphi_R = 45^\circ$ beträgt, zeigt ein wesentlich verbessertes Einschwingverhalten. Bild 4.3-19 bestätigt den Sachverhalt anhand der Testschaltung. In Bild 4.3-20 ist die Kompensationsmaßnahme am Rückkopplungsnetzwerk mit verschiedenen Widerständen R_I dargestellt.

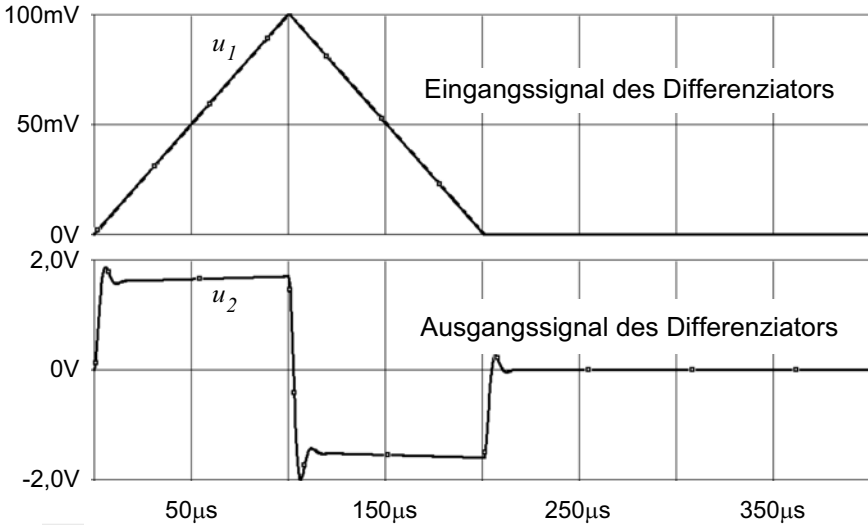


Bild 4.3-19: Ergebnis der Zeitbereichsanalyse mit $v_{ud0}=100k$, $f_1=1kHz$, f_2 ohne Einfluss, $R_2=10k\Omega$, $C_I=160nF$, $R_I = 10\Omega$

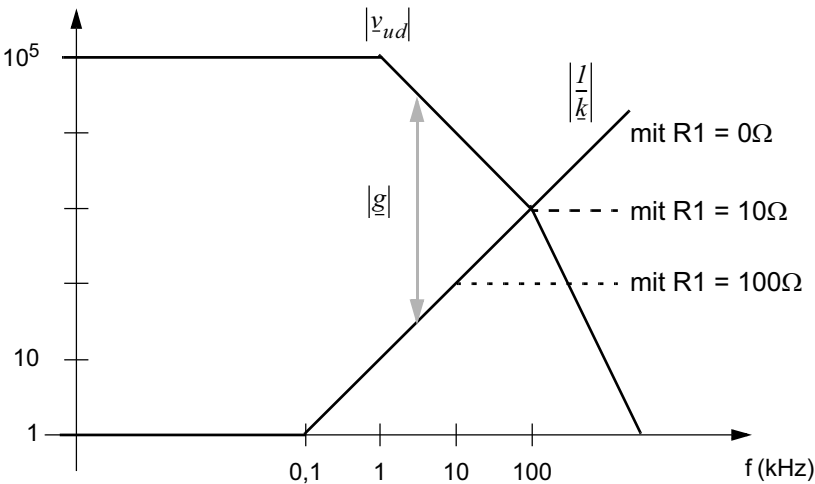


Bild 4.3-20: Zur Veranschaulichung der Stabilität des Differenziators mit $R_I = 0\Omega$, 10Ω und 100Ω

Würde man bei $R_I = 0$ einen Geradeausverstärker verwenden, der im gegebenen Beispiel mit $f_2 = 100\text{kHz}$ eine zusätzliche Eckfrequenz aufweist, dann wird die Schwingbedingung erfüllt. Es ergibt sich Selbsterregung. Für den Test muss ein Makromodell für den Geradeausverstärker mit Ausgangsspannungsbegrenzung verwendet werden. Ansonsten würde die Ausgangsamplitude unkontrolliert bei Selbsterregung anwachsen. Bild 4.3-22 veranschaulicht die Verhältnisse zu nachstehendem Experiment gemäß Bild 4.3-21.

Experiment 4.3-7: VDifferenziator_RKohneR1_mitf2 – Differenziator ohne Kompensation der Rückkopplungsschleife und mit zweiter Eckfrequenz des Geradeausverstärkers.

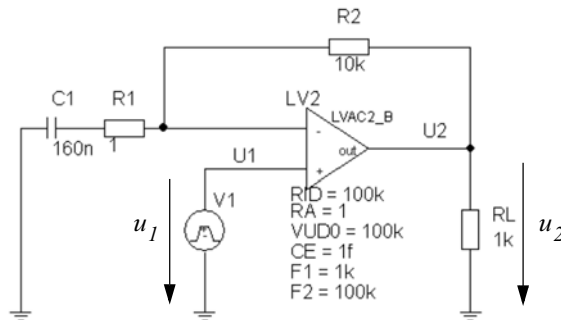


Bild 4.3-21: Analyse des Differenziators im Zeitbereich mit $R_I = 1\Omega$ und einer zweiten Eckfrequenz $f_2 = 100\text{kHz}$ des Geradeausverstärkers

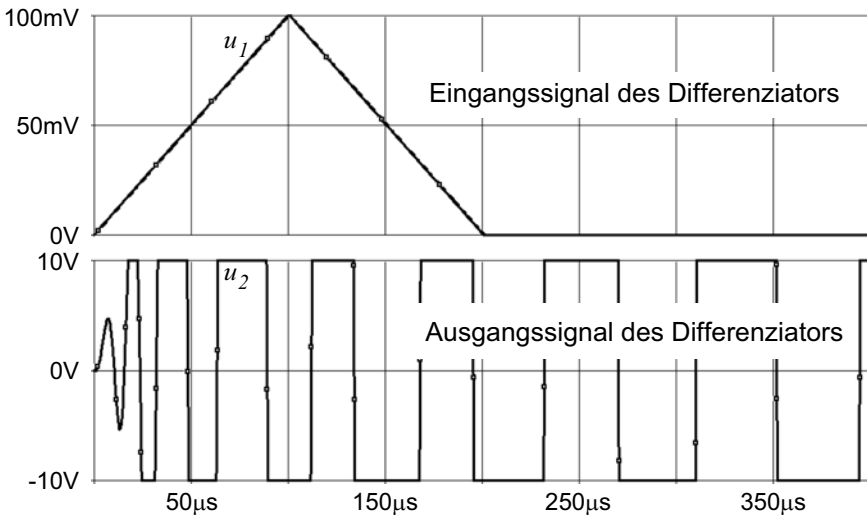


Bild 4.3-22: Ergebnis der Zeitbereichsanalyse mit $v_{ud0}=100\text{k}$, $f_1=1\text{kHz}$, $f_2=100\text{kHz}$, $R_2=10\text{k}\Omega$, $C_1=160\text{nF}$, $R_I = 1\Omega$

Das Ergebnis der Analyse des Differenziators zeigt die erwartete Selbsterregung. Durch geeignete Frequenzgangkorrektur des Rückkopplungspfad kann die Stabilität verbessert werden. Allerdings ist darauf zu achten, dass die eigentliche Funktion des Schaltkreises dadurch nicht verfälscht oder wesentlich beeinträchtigt wird.

4.4 Operationsverstärker

Der Operationsverstärker ist mit der wichtigste Vertreter der Linearverstärker. OPs werden als Standard-ICs angeboten. Der Anwender braucht das Innenleben nicht exakt zu kennen. Er benötigt vielmehr genaue Kenntnis von Makromodellen, die die wesentlichen Eigenschaften beschreiben.

4.4.1 Erweiterung des Makromodells

Als erstes gilt es, die allgemeinen Eigenschaften eines OP anhand eines geeigneten Makromodells zu verdeutlichen. Ein Makromodell ist ein Funktionsmodell, das die wesentlichen Eigenschaften – insbesondere das Übertragungsverhalten und das Schnittstellenverhalten für DC-, AC- und TR-Analyse – eines konkreten OPs beschreibt. Grundsätzlich besitzt der OP im allgemeinen einen symmetrischen Eingang bei Ansteuerung mit $U_{II'}$. Es lassen sich zwei Ansteuerarten, die Gegentaktansteuerung mit $U_{II'}$, und die Gleichaktansteuerung mit U_I , unterscheiden (Bild 4.4-1).

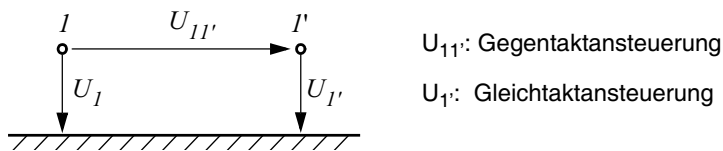


Bild 4.4-1: Ansteuerungsarten eines OP am Eingang: $U_{II'}$, Gegentaktansteuerung; U_I , Gleichaktansteuerung

Die Gegentaktansteuerung wird mit v_{ud} sehr hoch verstärkt; die Gleichaktansteuerung sollte möglichst unterdrückt werden, das heißt sie wird mit v_{ug} nur sehr gering verstärkt. Der Operationsverstärker reagiert damit sehr empfindlich auf Gegentaktsignale, während er Gleichtaktsignale möglichst unterdrücken soll.

Um das DC-Verhalten am Eingang real zu beschreiben, müssen geeignete Ersatzquellen zum bereits bekannten Makromodell des Linearverstärkers hinzugefügt werden. Zunächst geht es darum, den realen Eingangsruhestrom I_{IBI} und $I_{IBI'}$ am Eingang nachzubilden. Bei OPs mit Bipolartransistoren im Eingangskreis weisen deren Eingänge in Abhängigkeit vom Arbeitspunktstrom und von deren Stromverstärkung Eingangsruhestrome auf. Aufgrund innerer Unsymmetrien am Eingang (z.B. ungleiche Basis-Emitterspannungen, siehe Bild 4.1-5) ist eine Ein-

gangsoffsetspannung U_{IO} zu berücksichtigen. Das bislang bekannte Makromodell für Linearverstärker $M^{(LV)}$: $Z_{id}; v_{ud}; Z_a$ muss somit um das reale DC-Verhalten und um das reale Gleichtaktverhalten erweitert werden. Das Gleichtaktverhalten wird durch eine zusätzliche gesteuerte Spannungsquelle beschrieben. Bild 4.4-2 zeigt die Erweiterung des bisher betrachteten Makromodells eines Linearverstärkers, erweitert um das reale DC-Verhalten am Eingang und um die Wirkung der Gleichtaktgröße am Ausgang. Die Gegentaktverstärkung nimmt die innere Differenzgröße U_{id} auf, um sie mit v_{ud} verstärkt am Ausgang wirken zu lassen.

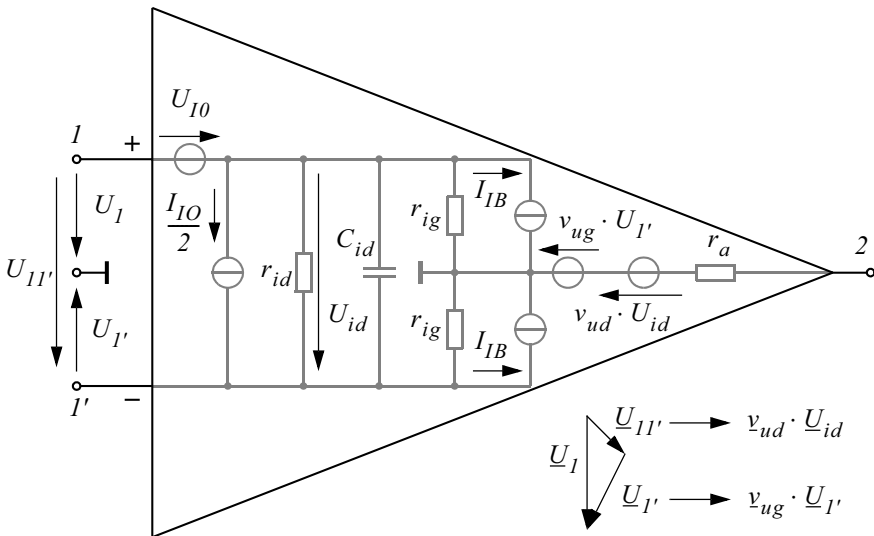


Bild 4.4-2: Lineares Makromodell eines OP mit realem DC-Verhalten und Berücksichtigung der Gleichtaktgröße

Damit enthält das erweiterte Modell $M^{(OP)}$ eines OP folgende Parameter, eingeteilt in Parametergruppen:

Tabelle 4.4 - 1: Parametergruppen des Operationsverstärkers

Gruppe	Parameter
DC - Parameter	$\{U_{IO}; I_{IB}; I_{IO}\}$
AC - Parameter	$\{r_{id}; C_{id}; r_{ig}; v_{ud}; v_{ug}; r_a\}$
Aussteuerparameter	$\{U_{a,maxp}; U_{a,maxn}; I_{a,max}\}$
Versorgungsparameter	$\{I_B; S_s\}$
Slew - Rate - Parameter	$\{S_R\}$

Im Folgenden werden die in einem Datenblatt eines OP enthaltenen typischen Parameter betrachtet. Als erstes sind in Tab.4.4-2 die DC-Parameter aufgelistet, sodann in Tab.4.4-3 die AC-Parameter. Die AC-Parameter sind durch die bereits eingeführten Makromodelle für Linearverstärker weitgehend bekannt. Es kommen einige neue Parameter hinzu, u.a. die Gleichtaktverstärkung v_{ug} und das Gleichtaktunterdrückungsverhältnis $CMRR$ ($CMRR$: Common Mode Rejection Ratio).

Tabelle 4.4 - 2: DC-Parameter

Parameter	Bezeichnung	typ. Wert	Bemerkung
I_{IB}	Eingangsruhestrom $I_{IB} = (I_{IB+} + I_{IB-})/2$	ca. $100nA$	Mittelwert der Eingangsruhestrome
I_{I0}	Eingangsoffsetstrom $I_{I0} = I_{IB+} - I_{IB-}$	ca. $20nA$	Differenz der Eingangsruhestrome
U_{I0}	Eingangsoffsetspannung	ca. $1mV$	Unsymmetrie der Eingangsstufe

Tabelle 4.4 - 3: AC-Parameter

Parameter	Bezeichnung	typ. Wert	Bemerkung
v_{ud0}	Differenzverstärkung	ca. $10^4 \dots 10^5$	$v_{ud} = \underline{U}_2 / \underline{U}_{id}$
v_{ug}	Gleichtaktverstärkung	ca. ≤ 1	$v_{ug} = \underline{U}_2 / \underline{U}_I$
$CMRR$	Gleichtaktunterdrückung	$10^4 \dots 10^5$	$CMRR = v_{ud} / v_{ug}$
r_{id}	Differenzeingangswiderstand	ca. $10^5 \dots 10^6 \Omega$	Eingangswiderstand für Differenzansteuerung
r_{ig}	Gleichtakteingangswiderstand	ca. $10^9 \Omega$	Eingangswiderstand für Gleichtaktansteuerung
C_{id}	Eingangskapazität	einige pF	
f_T	Transitfrequenz	ca. $1MHz$	Bandbreite-Produkt
r_a	Ausgangswiderstand	ca. 100Ω	

Im Weiteren sind die Aussteuer Grenzen bezüglich Spannung und Strom, sowie u.a. die Versorgungsspannungsempfindlichkeit zu berücksichtigen. Wie bereits beim Linearverstärker dargestellt, sind die Aussteuer Grenzen weitgehend durch die Versorgungsspannung U_B gegeben. Zusätzlich zeigt sich ein Lasteinfluss. Je niederohmiger der Lastwiderstand am Ausgang ist, desto geringer wird die Aussteuer-

barkeit des Verstärkers. Weiterhin wird angegeben der maximale Ausgangsstrom $I_{a,max}$. Zumeist ist der Ausgangsstrom durch eine elektronische Strombegrenzung begrenzt. Die Eingangsoffsetspannung U_{IO} ändert sich mit der Versorgungsspannung. Der Parameter S_S beschreibt die Änderung der Eingangsoffsetspannung bei geänderter Versorgungsspannung. Schließlich wird im Datenblatt noch die maximale Stromaufnahme bzw. Leistungsaufnahme angegeben.

Tabelle 4.4 - 4: Aussteuer- und Versorgungs-Parameter

Parameter	Bezeichnung	typ. Wert	Bemerkung
$U_{a,max}$	Ausgangsaussteuerbarkeit		Abhängig von U_B ; R_L
$I_{a,max}$	Maximaler Ausgangsstrom		Ausgangsstrom wird begrenzt
S_S	Versorgungsspannungsempfindlichkeit	ca. $20\mu V/V$ $S_S = \Delta U_{IO}/\Delta U_B$	Änderung der Eingangsoffsetspannung bei Änderung der Versorgungsspannung
I_B	Stromaufnahme		

Das Großsignalschaltverhalten (Slew-Rate Verhalten) beschreibt der Slew-Rate Parameter S_R . Die Stromergiebigkeit der ersten inneren Verstärkerstufe eines OP ist begrenzt, dies führt zu einer endlichen Anstiegsgeschwindigkeit der Ausgangsspannung. Auf das Slew-Rate Verhalten wird noch gesondert eingegangen.

Tabelle 4.4 - 5: Slew-Rate-Parameter

Parameter	Bezeichnung	typ. Wert	Bemerkung
S_R	Slew Rate	ca. $1V/\mu s$	$SR = \Delta U_{2max}/\Delta t$

Um die durch die angegebenen Parameter skizzierten Eigenschaften eines OP zu erfassen, muss das bislang eingeführte Makromodell für Linearverstärker erweitert werden. Als erstes ist ein Symbol für den OP einzuführen. Am Symbol sind Attribute anzufügen, um das vom Symbol aus referenzierte Modell mit Modellparametern zu versorgen. Über die Modellparameter werden die Eigenschaften eines OP festgelegt. Aus den Angaben im Datenblatt eines OP lassen sich direkt die Modellparameter bestimmen.

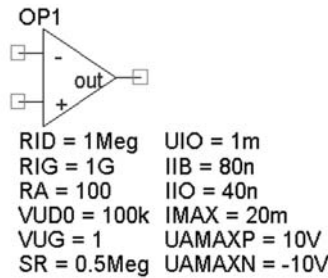


Bild 4.4-3: Symbol eines OP mit Modellparametern

Bild 4.4-4 zeigt beispielhaft ein Makromodell eines OP. Die unabhängigen Spannungs- und Stromquellen am Eingang beschreiben die Eingangsoffsetspannung und die realen Ruheströme. Die erste innere Verstärkerstufe wird durch eine spannungsgesteuerte Stromquelle ($G1$) dargestellt, die zweite innere Verstärkerstufe durch eine spannungsgesteuerte Spannungsquelle ($E1$). Den Einfluss der Gleichtaktgröße erfasst die spannungsgesteuerte Spannungsquelle ($E2$). Die Ausgangsspannungsbegrenzung erfolgt durch einen anschließenden Limiter. Schließlich erfolgt die Ausgangsstrombegrenzung durch die Dioden $D1$, $D2$ und durch $E4$ mittels dem Sensorwiderstand r_{sense} .

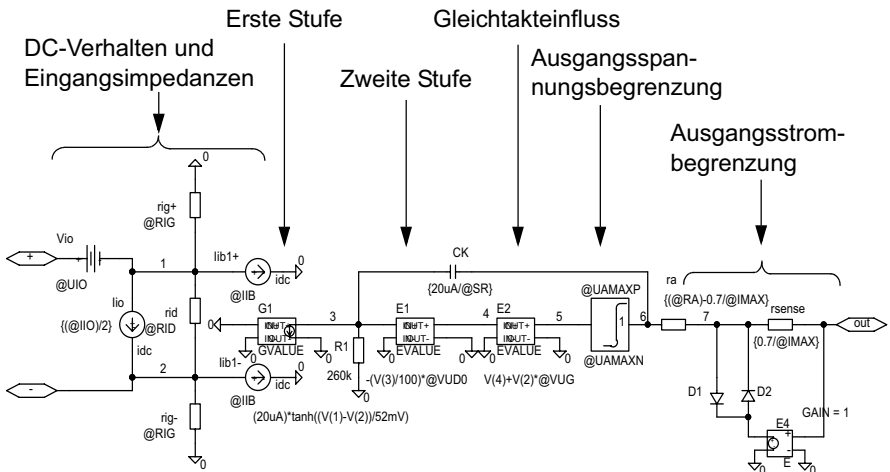


Bild 4.4-4: Makromodell eines Operationsverstärkers

Grundsätzlich unterscheidet man zwischen einem Verhaltensmodell und einem Strukturmodell. Das Makromodell in Bild 4.4-4 stellt ein Verhaltensmodell dar. Das Verhalten wird beschrieben durch unabhängige Quellen und gesteuerte Quellen. Vorgegebene Eigenschaften lassen sich im Makromodell durch geeignete Parameter direkt einstellen. Der OP selbst besteht real aus zwei Verstärkerstufen und

einer Treiberstufe (Beispiel in Bild 4.4-5). Mit einer Begrenzerstufe (Limiter) wird die Ausgangsspannung auf $U_{a,maxp}$ bzw. $U_{a,maxn}$ begrenzt. Die Differenzspannung zwischen Knoten 1 und Knoten 2 nimmt die erste Verstärkerstufe auf; sie stellt mit $G1$ eine spannungsgesteuerte Stromquelle dar. Die Stromergiebigkeit dieser ersten Stufe ist mit einer $\tanh$ -Funktion begrenzt. Deren Steilheit g_m beträgt im Beispiel $20\mu A/52mV$, das sind $1/2,6k\Omega$. Mit dem Lastwiderstand von $260k\Omega$ ergibt sich für die Verstärkung der ersten Stufe eine Verstärkung von 100. Der maximale Strom I_x an Knoten 3 ist aufgrund der $\tanh$ -Funktion begrenzt auf $20\mu A$. Diese Strombegrenzung der ersten Stufe ist Voraussetzung zur Darstellung des realen Slew-Rate Verhaltens.

Die Bandbreite des Verstärkers wird durch die Rückwirkungskapazität C_K begrenzt. Wegen der Transimpedanzbeziehung wirkt die Rückkopplungskapazität C_K mit $C_K \cdot (1 + v_{ud0}/100)$. Mit der Last von $260k\Omega$ ergeben $40pF \cdot 1000$ eine Eckfrequenz im 10Hz-Bereich. Ab dieser Eckfrequenz liegt ein Tiefpassverhalten erster Ordnung vor. Die Spannungsbegrenzung erfolgt durch den Block E3. Dieser weist eine Verstärkung von 1 auf mit Ausgangsspannungsbegrenzung auf "+-" U_{amax} . Block E4 mit einer Verstärkung von 1 ist Teil der Strombegrenzung. Bei Strömen kleiner $0,7V/r_{sense}$ ist die Strombegrenzung wirkungslos. Größere Ströme fließen über die Dioden D1 bzw. D2 ab. Wegen r_{sense} muss der Ausgangswiderstand auf den Wert $r_a - r_{sense}$ korrigiert werden.

Mit diesem Makromodell lassen sich die wesentlichen Eigenschaften (DC-Verhalten, AC-Verhalten bei Gegentakt- und Gleichtaktansteuerung, Slew-Rate Verhalten, Spannungsbegrenzung und Strombegrenzung) eines OP darstellen. Der Vorteil dieses Modells ist, dass sich die Datenblattangaben direkt abbilden lassen. Das Makromodell ist gegenüber dem nachfolgenden Schematic-Modell ein Funktionsmodell auf abstrakterer Ebene.

Die Eigenschaften eines käuflichen Funktionsbausteins werden in einem Datenblatt ausgewiesen. Das Datenblatt enthält allgemein Aussagen zu:

- ☐ „Absolute Maximum Ratings“;
- ☐ „Electrical Characteristics“ in Tabellenform;
- ☐ Typische Kennlinien zur Darstellung von Kenngrößen in Abhängigkeit von u.a. Temperatur, Frequenz, Lasteinfluss, Versorgungsspannungsschwankungen, Exemplarstreuungen.
- ☐ Typische Anwendungen.

Das Datenblatt stellt in gewisser Weise eine „Vertragsgrundlage“ mit zugesicherten Eigenschaften seitens des Herstellers dar. In Applikationsschriften werden vom Hersteller typische Anwendungen vorgestellt und beschrieben. Aus den „Maximum Ratings“ ergeben sich die Grenzwerte hinsichtlich Versorgungsspannung, Eingangsspannungsbereich, Temperaturbereich, Lagertemperatur und ESD Schutz (Schutz gegen elektrostatische Überspannungsimpulse). Sämtliche Parameter sind Exemplarstreuungsschwankungen unterworfen und im allgemeinen abhängig von Temperatur, Last, Versorgungsspannung und Betriebsfrequenz.

$$M^{(OP)}: (\nu_{ud}, \nu_{ug}, Z_{id}, Z_a, r_{ig}, \\ U_{IO}, I_{IO}, I_{IB}, \\ U_{a,maxp}, U_{a,maxn}, \\ SR) = f(\text{Exemplar; Alterung; T; } R_L; U_B; f)$$

In der Zusammenstellung von Kennlinien eines OP werden einzelne Parameter und deren wichtigste Einflussgrößen in Diagrammen dargestellt.

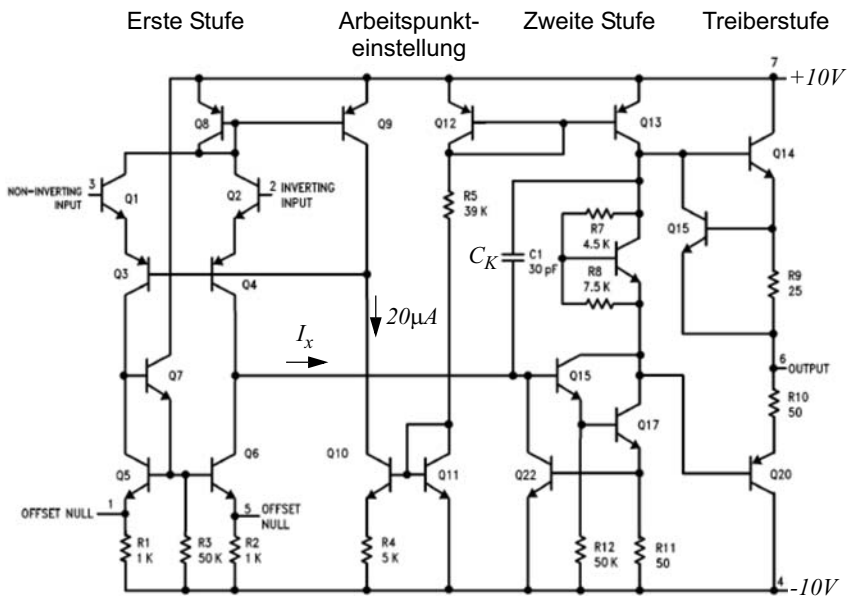


Bild 4.4-5: „Innere“ Schaltungstechnik des altbekannten Operationsverstärkers uA741

4.4.2 Gleichtaktunterdrückung und Aussteuerungen von OPs

An praktischen Beispielen sollen die Auswirkungen der Gleichtaktansteuerung und der Aussteuerungen dargestellt werden. Als erstes wird eine Testschaltung zur Darstellung der Gleichtaktunterdrückung des Eingangssignals betrachtet. Die Testschaltung zeigt Bild 4.4-6.

Experiment 4.4-1: GLGTAnsteuerung – Operationsverstärker mit Gleichtakt- und Gegentaktansteuerung.

Das Testbeispiel zur Gleichtaktunterdrückung enthält eine Gleichtaktansteuerung und eine Gegentaktansteuerung. Es zeigt deutlich, dass die Gleichtaktgröße mit 50Hz Signalfrequenz sich nicht auf den Ausgang auswirkt, sie wird unterdrückt. Am Ausgang ist nur die Differenzansteuerung mit 1kHz Signalfrequenz wirksam (Bild 4.4-7).

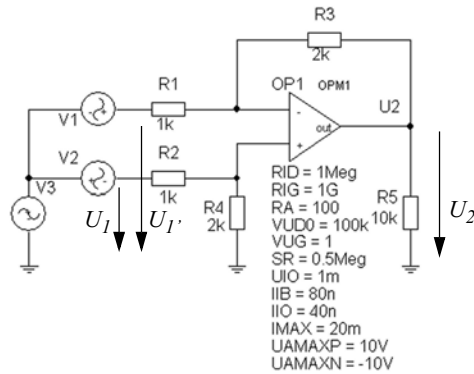


Bild 4.4-6: Testschaltung für Gleichtakt/Gegentaktansteuerung

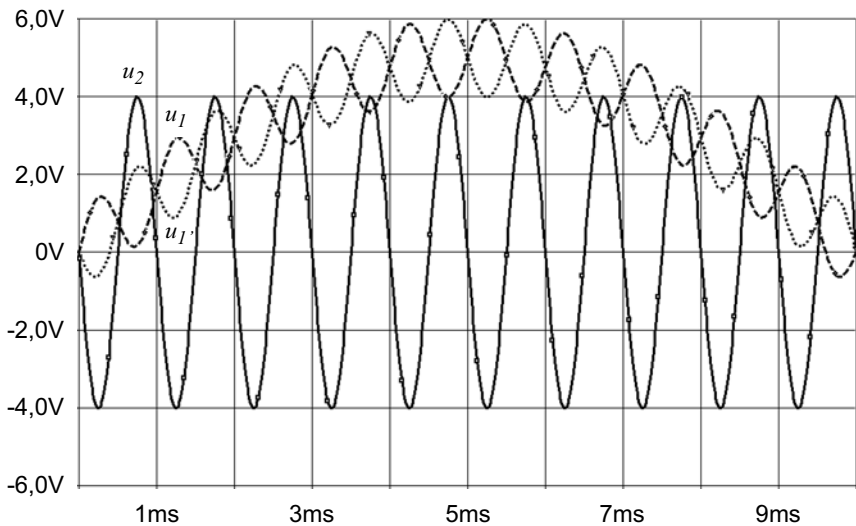


Bild 4.4-7: Simulationsergebnis der Testschaltung für die Gleichtaktunterdrückung

Als nächstes werden die Aussteuer Grenzen eines OPs betrachtet. Die Aussteuer Grenzen bestimmen sich wesentlich durch die angelegte Versorgungsspannung. Idealerweise ist die Aussteuer Grenze durch die Versorgungsspannung U_{B+} bzw. U_{B-} gegeben. Je niederohmiger die Last, um so weniger wird die ideale Aussteuer Grenze gegeben durch U_{B+} und U_{B-} erreicht. Bild 4.4-8 zeigt die Aussteuer Grenzen bei symmetrischer Versorgungsspannung. Zudem stellt man am Ausgang eine Nullpunktverschiebung mit U_{20} trotz $U_{id} = 0$ fest. Auf das Zustandekommen der Ausgangsoffsetspannung wird im nächsten Abschnitt eingegangen.

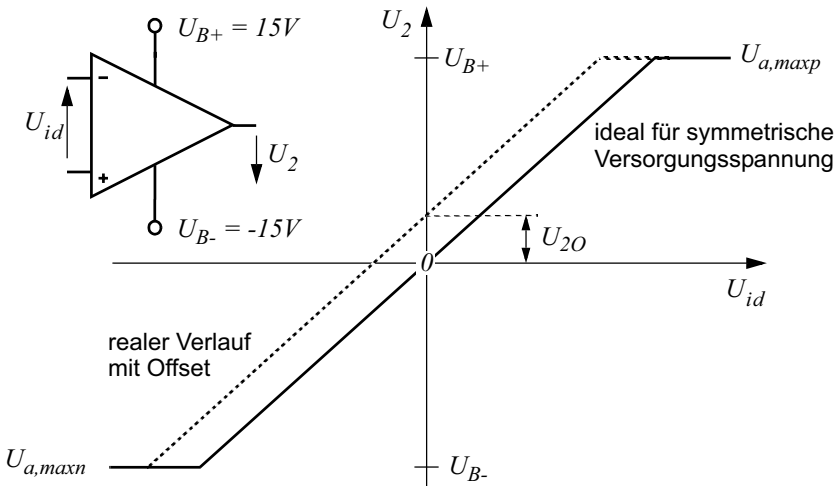


Bild 4.4-8: DC-Übertragungskennlinie eines OP bei symmetrischer Versorgung, idealer Verlauf und realer Verlauf mit Offsetspannung

Bei unsymmetrischer Versorgungsspannung ergeben sich die in Bild 4.4-9 skizzierten Verhältnisse. Hier benötigt der OP einen Arbeitspunkt möglichst bei $U_{B+}/2$, um symmetrische Aussteuerverhältnisse zu erreichen.

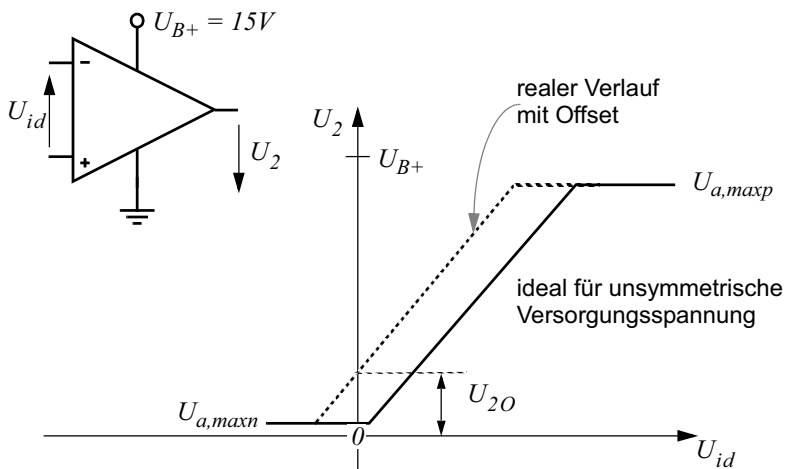


Bild 4.4-9: DC -Übertragungskennlinie eines Operationsverstärkers bei unsymmetrischer Versorgung, idealer Verlauf und realer Verlauf mit Offsetspannung

Betrachtet wird eine Testschaltung mit unsymmetrischer Versorgungsspannung. Die Signaleinspeisung erfolgt am nichtinvertierenden Eingang. Bei $U_{B+}=10V$ und $U_{B-}=0V$ muss am invertierenden Eingang eine Hilfsspannung von $5V$ angelegt

werden, damit der Arbeitspunkt am Ausgang bei $5V$, also mittig liegt. Bild 4.4-10 zeigt die Testschaltung. Der OP wird durch das in Bild 4.4-4 skizzierte Makromodell mit den am Symbol ausgewiesenen Parametern beschrieben.

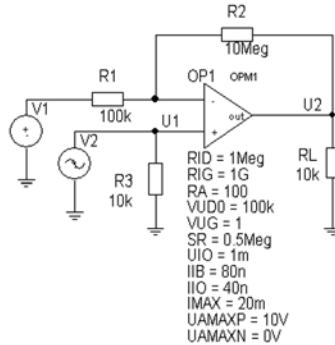


Bild 4.4-10: Testschaltung für unsymmetrische Versorgungsspannung

Experiment 4.4-2: UBunsymmetrisch – Operationsverstärker mit unsymmetrischer Versorgungsspannung; die Ausgangsspannungsgrenzen liegen bei $0V$ und $10V$.

Das Ergebnis des Experiments in Bild 4.4-11 weist eine deutliche Offsetspannung als Abweichung von den gewünschten $5V$ am Ausgang auf. Bei niederohmiger Beschaltung und geringerem U_{IO} verringert sich diese Offsetspannung.

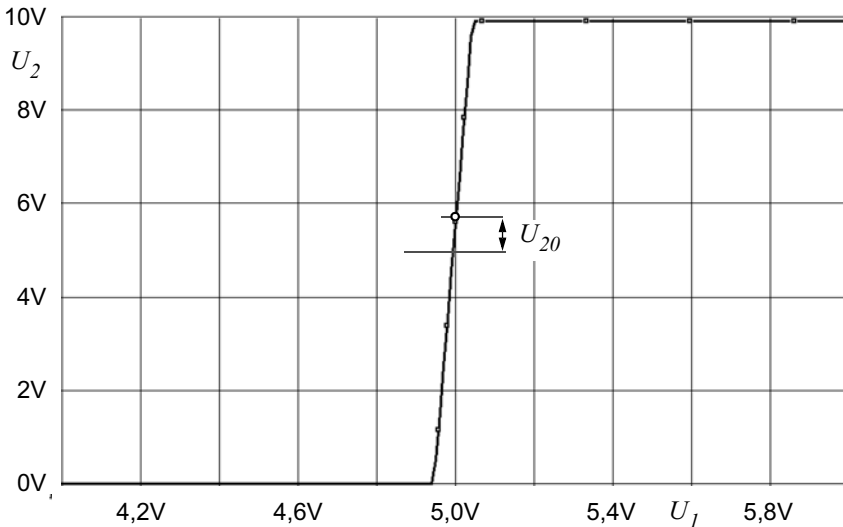


Bild 4.4-11: Ergebnis der Testschaltung mit unsymmetrischer Versorgungsspannung

4.4.3 Einflüsse der DC-Parameter auf die Ausgangsoffsetspannung

An praktischen Beispielen wird die Auswirkung der realen DC-Parameter auf die Ausgangsspannung aufgezeigt. Es geht um die Bestimmung der bereits erwähnten Ausgangsoffsetspannung. Die Ausgangsoffsetspannung U_{2O} wird im wesentlichen bestimmt durch die DC-Parameter U_{IO} , I_{IB+} und I_{IB-} . Der OP ist ein Linearverstärker, also gilt das Superpositionsgesetz für unabhängige Quellen im linearen Aussteuerbereich. Aus diesem Grund können die einzelnen unabhängigen Quellen getrennt betrachtet werden (Bild 4.4-12 bis Bild 4.4-14). Die Gesamtoffsetspannung U_{2O} ergibt sich aus der Überlagerung der Teilergebnisse. In Bild 4.4-12 ist die Wirkung der Eingangsoffsetspannung U_{IO} auf die Ausgangsoffsetspannung U_{2O} veranschaulicht. Bild 4.4-13 zeigt die Wirkung des Eingangsruhestroms I_{IB-} auf die Ausgangsoffsetspannung und Bild 4.4-14 die des Eingangsruhestroms I_{IB+} . Wie man sieht, hängt die Ausgangsoffsetspannung ab von den Parametern U_{IO} , I_{IB+} und I_{IB-} , aber auch von der Beschaltung des OP. Je hochohmiger die Beschaltung des OP ist, um so mehr wirken sich die Eingangsruhestrome auf die Ausgangsoffsetspannung aus.

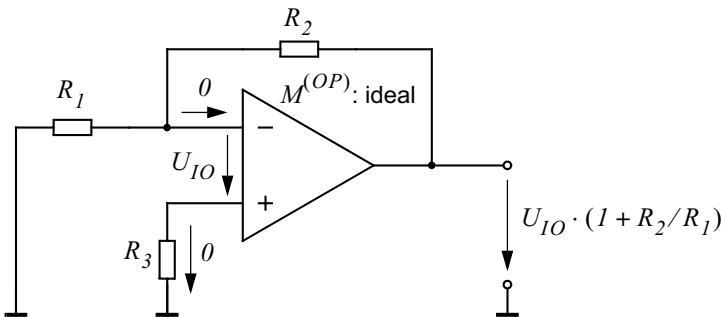


Bild 4.4-12: Einfluss der Eingangsoffsetspannung U_{IO} auf die Ausgangsoffsetspannung U_{2O}

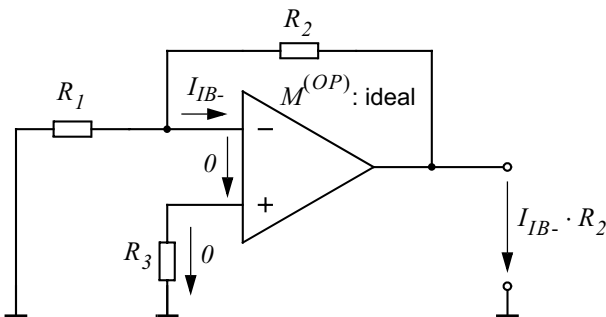


Bild 4.4-13: Einfluss des Ruhestroms I_{IB-} auf die Ausgangsoffsetspannung U_{2O}

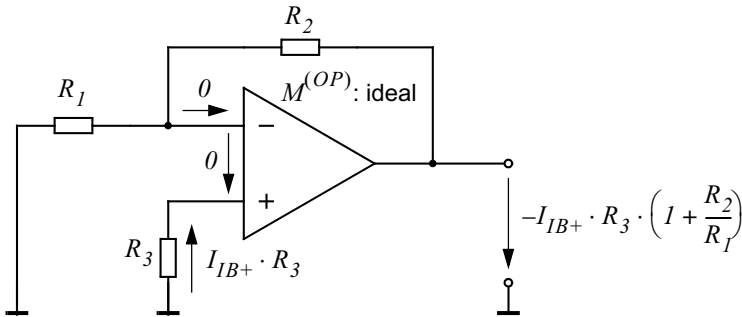


Bild 4.4-14: Einfluss des Ruhestroms I_{IB+} auf die Ausgangsoffsetspannung U_{2O}

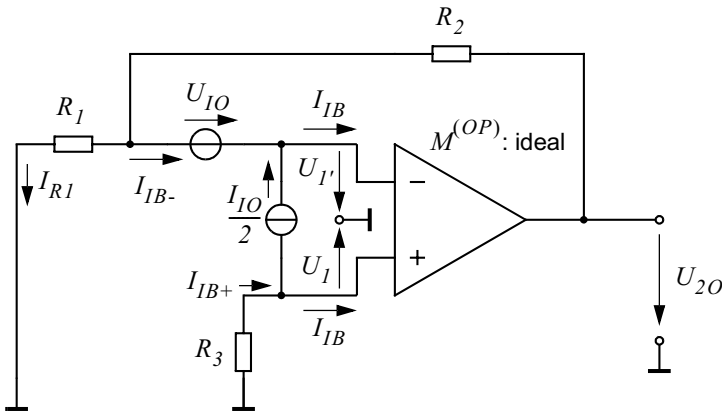


Bild 4.4-15: Einfluss der Beschaltung auf die Ausgangsoffsetspannung bei „herausgenommenen“ DC-Parametern U_{IO} , I_{IB+} und I_{IB-} des OP

Bild 4.4-15 zeigt die Wirkung aller drei unabhängigen inneren DC-Quellen am Eingang und deren Einfluss auf die Ausgangsoffsetspannung. Durch Überlagerung der bisher getrennt betrachteten Einflussgrößen erhält man die Gesamt-Ausgangsoffsetspannung aus:

$$U_{2O} = U_{IO} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{IB-} \cdot R_2 - I_{IB+} \cdot R_3 \cdot \frac{R_1 + R_2}{R_1}; \quad (4.4-1)$$

Der Einfluss des Mittelwert-Ruhestroms $I_{IB} = (I_{IB+} + I_{IB-})/2$ kann kompensiert werden, wenn folgende Bedingung gilt:

$$R_3 = \frac{R_2 R_1}{R_1 + R_2} = R_1 \parallel R_2; \quad (4.4-2)$$

In diesem Fall wird die Ausgangsspannung nur noch von U_{IO} und I_{IO} bestimmt:

$$U_{2O} = U_{IO} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{IO} \cdot R_2; \quad (4.4-3)$$

Man spricht dann von „Ruhestromkompensation“, wenn der Mittelwert-Ruhestrom I_{IB} keinen Einfluß mehr auf die Ausgangsoffsetspannung hat. Allgemein wird die Ausgangsoffsetspannung um so größer, je hochohmiger die Beschaltung des OP ist. Durch geeignete Beschaltung (u.a. mit R_3 in Bild 4.4-15) des OP kann die Ausgangsoffsetspannung verringert werden. Zur Bestimmung der DC-Parameter U_{IO} , I_{IB} , I_{IO} werden beispielsweise nachstehende Messschaltungen verwendet.

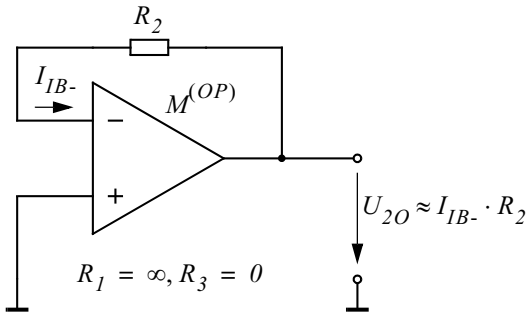


Bild 4.4-16: Messschaltung für I_{IB-} bei hinreichend großem R_2

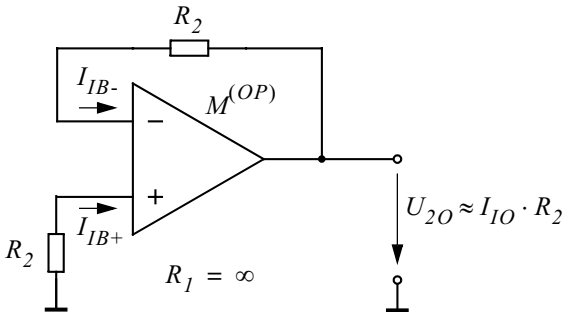


Bild 4.4-17: Messschaltung für I_{IO} bei hinreichend großem R_2

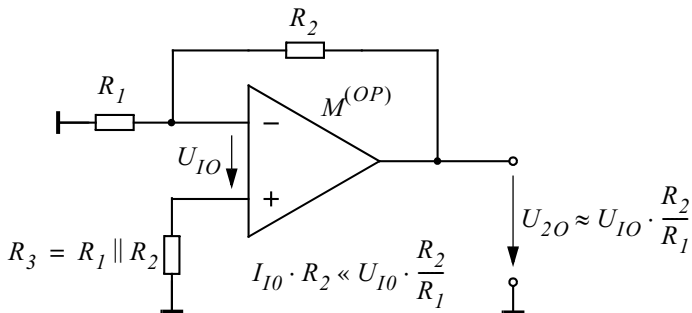


Bild 4.4-18: Messschaltung für U_{IO} bei hinreichend kleinem R_2

Wie bereits dargelegt, bestimmen die Beschaltung und die DC-Parameter des OP-Verstärkers die Ausgangsoffsetspannung U_{2O} . Darüber hinaus besteht die Möglichkeit zur äußeren Offsetkompensation mit dem Ziel $U_{2O} = 0$.

$$U_{2O} = U_{I0} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{IB-} \cdot R_2 + \\ -I_{IB+} \cdot R_3 \cdot \frac{R_1 + R_2}{R_1} + U_H \cdot \left(1 + \frac{R_2}{R_1}\right); \quad (4.4-4)$$

Im nachstehenden Experiment wird die erforderliche Hilfsspannung aus der Versorgungsspannung abgeleitet. Die Einspeisung der Hilfsspannung erfolgt zweckmäßigerweise am (+) Eingang, wenn die Signalspannung am (-) Eingang anliegt. Soll das Signal am (+) Eingang anliegen, so ist entsprechend die Hilfsspannung am (-) Eingang einzuspeisen.

Experiment 4.4-3: U2Offset_mit UH – Untersuchung der Ausgangsoffsetspannung mit Offsetabgleich am Eingang mittels einer Hilfsspannung.

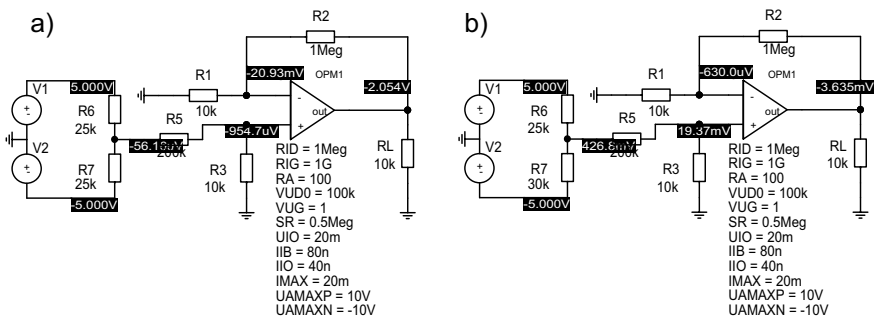


Bild 4.4-19: Testschaltung zur Offsetkompensation: a) ohne Offsetkompensation; b) mit Offsetkompensation

Im Beispiel der Testschaltung (Bild 4.4-19) beträgt die Ausgangsoffsetspannung $-2V$; mit Kompensation durch eine Hilfsspannung – im Beispiel abgeleitet über $R6$ und $R7$ – vermindert sich die Ausgangsoffsetspannung auf nur noch ca. $-3,5mV$.

4.4.4 Rauschen von OP-Verstärkern

Das Rauschverhalten eines OP soll soweit erläutert werden, um die diesbezüglichen Datenblattangaben zu verstehen und deren Auswirkungen abschätzen zu können. Wie schon allgemein für Verstärker festgestellt, weist auch der OP „innere“ Rauschquellen auf, die durch eine Rauschspannungsquelle $\bar{U}_{r0}$ und durch je eine Rauschstromquelle $\bar{I}_{r1}$ am invertierenden und $\bar{I}_{r2}$ am nichtinvertierenden Eingang repräsentiert werden. Zudem addieren sich in einer konkreten Anwendung Rauschquellen der Schaltelemente der äußeren Beschaltung. In Bild 4.4-20 sind die Rauschquellen des OP „herausgezogen“ und die Rauschquellen der Beschaltungselemente dargestellt.

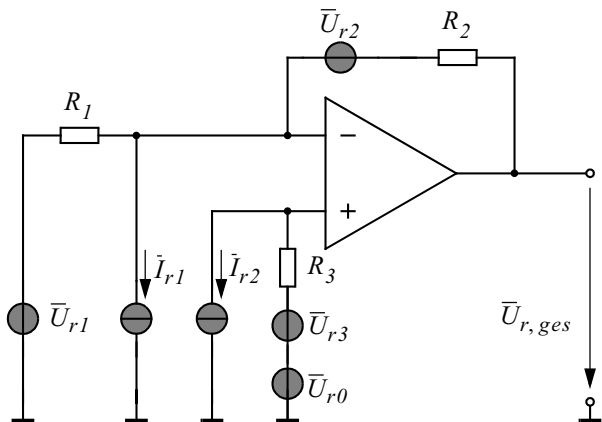


Bild 4.4-20: Zum Rauschverhalten des OP-Verstärkers

Die Rauschbeiträge der in Bild 4.4-20 eingeführten Rauschquellen summieren sich zur Gesamttrauschspannung $\bar{U}_{r,ges}$ am Ausgang nach der folgenden Tabelle:

Tabelle 4.4 - 1: Rauschbeiträge

Element	Beitrag zu $\bar{U}_{r,ges}$
R_1	$\sqrt{4 \cdot k \cdot T \cdot B \cdot R_1 \cdot R_2 / R_1} = \bar{U}_{r1} \cdot v$
R_3	$\sqrt{4 \cdot k \cdot T \cdot B \cdot R_3 \cdot (1 + R_2 / R_1)} = \bar{U}_{r3}(v + 1)$
R_2	$\sqrt{4 \cdot k \cdot T \cdot B \cdot R_2} = \bar{U}_{r2}$
$\bar{I}_{r1}$	$\bar{I}_{r1} \cdot R_2$
$\bar{I}_{r2}$	$\bar{I}_{r2} \cdot R_3 \cdot (1 + R_2 / R_1) = \bar{I}_{r2} \cdot R_3(v + 1)$
$\bar{U}_{r0}$	$\bar{U}_{r0} \cdot (1 + R_2 / R_1) = \bar{U}_{r0}(v + 1)$

Mit der „Summation“ der quadratischen Mittelwerte erhält man als Gesamttrauschspannung (quadratischer Mittelwert) am Ausgang:

$$\bar{U}_{r,ges} = \sqrt{(\bar{U}_{r1} \cdot v)^2 + (\bar{U}_{r3}(v + 1))^2 + \bar{U}_{r2}^2 + (\bar{I}_{r1} \cdot R_2)^2 + (\bar{I}_{r2} \cdot R_3(v + 1))^2 + (\bar{U}_{r0}(v + 1))^2} \quad (4.4-5)$$

Ein Beispiel für eine konkrete Anwendungsschaltung mit den Werten $R_1 = 100\Omega$, $R_2 = 10k\Omega$, $R_3 = 50k\Omega$ und der äquivalenten Rauschbandbreite $B = 1kHz$ soll die Vorgehensweise veranschaulichen. Im Beispiel ist $v = 100$. Die Werte für die Rauschquellen des OP können im allgemeinen dem Datenblatt entnommen werden. Die nachstehend aufgeführte Übersicht zeigt die ermittelten Werte für die Rauschquellen und die daraus mit Gl. 4.4-5 ermittelte Gesamttrauschspannung.

$$R_1 \rightarrow 1, 3nV/\sqrt{Hz}; \quad R_2 \rightarrow 13nV/\sqrt{Hz}; \quad R_3 \rightarrow 28nV/\sqrt{Hz};$$

$$\dot{I}_{r1} = \dot{I}_{r2} = 1pA/\sqrt{Hz}; \quad \bar{U}_{r0} = 50nV/\sqrt{Hz};$$

$$\bar{U}_{r, ges}/\sqrt{Hz} = \sqrt{(2, 8\mu V)^2/Hz + (5\mu V)^2/Hz + (5\mu V)^2/Hz} \approx 8\mu V/\sqrt{Hz};$$

$$\bar{U}_{r, ges} \approx 0, 25mV_{eff} \approx 1, 7mV_{pp};$$

Wegen der statistischen Verteilung der Rauschgrößen können Spitzenwerte des zeitlichen Momentanwerts der Rauschgröße deutlich höher sein als der Effektivwert. Der Formfaktor zur Umrechnung des Effektivwerts in den Spitzenwert ist unbestimmt (er wurde hier mit 7 angenommen).

Die Ermittlung der Rauschspannungsbeiträge ist bei rein resistiver Beschaltung besonders einfach, da keine frequenzabhängigen Komponenten zu berücksichtigen sind und somit die Integration über die Bandbreite ersetzt wird durch eine Multiplikation mit der Bandbreite B . Das setzt aber auch frequenzunabhängige Rauschquellen des Verstärkers (kein $1/f$ -Anteil) voraus.

4.4.5 Slew-Rate Verhalten eines OP-Verstärkers

Die erste Verstärkerstufe eines OP ist im allgemeinen eine spannungsgesteuerte Stromquelle. Bei größeren Eingangssignalamplituden wirkt die Strombegrenzung der ersten Stufe. Diese Strombegrenzung verursacht eine endliche Änderungsgeschwindigkeit der Ausgangsspannung. Das Slew-Rate Verhalten macht sich nur bei „Großsignalansteuerung“ bemerkbar. Dazu ist eine Eingangsdifferenzspannung bei bipolaren Eingangsstufen von größer $0,1V$ (das sind $>4U_T$) erforderlich. Mit folgender Testschaltung (Bild 4.4-21) kann das Slew-Rate Verhalten dargestellt werden. Bild 4.4-22 zeigt das Ergebnis der Testschaltung.

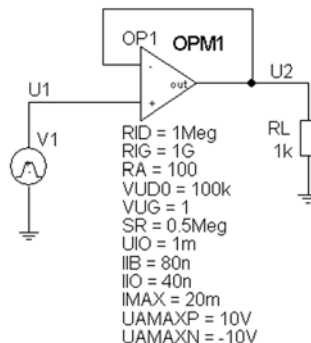


Bild 4.4-21: Testschaltung für Slew-Rate Verhalten

Experiment 4.4-4: SR_OPM1 – Testschaltung zur Ermittlung des Slew-Rate Verhaltens.

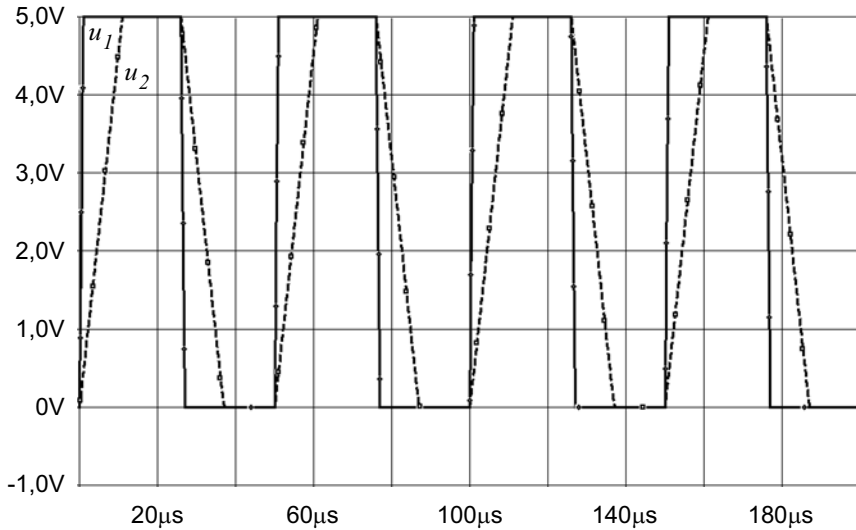


Bild 4.4-22: Ergebnis der Testschaltung zur Bestimmung des Slew-Rate Verhaltens

Die Ausgangsspannung kann in Bild 4.4-22 der Eingangsspannung nur mit endlicher Anstiegsgeschwindigkeit folgen. Bei Ansteuerung eines Spannungsfolgers mit einer Rechteckspannung von 5 V Amplitude wird im zeitlichen Momentanwert bei Spannungsänderung von 0 auf 5 V die Eingangsspannung größer $0,1\text{ V}$. Damit erfolgt eine Aussteuerung der ersten „inneren“ Verstärkerstufe in die Begrenzung. Bei den gegebenen Parametern beträgt der maximal mögliche Ausgangsstrom der ersten Stufe $20\mu\text{A}$. Der endliche Strom von $20\mu\text{A}$ am Ausgang der ersten Stufe führt zu einer endlichen Anstiegsgeschwindigkeit der Spannung an C_k (Bild 4.4-4).

$$I_x = \text{const} = I_0 = C_k \frac{du_2}{dt} \quad (4.4-6)$$

Die Spannung an C_k ist aufgrund der hohen Verstärkung der zweiten Stufe des Makromodells in Bild 4.4-4 in etwa gleich der Ausgangsspannung.

Zur Verdeutlichung ist in Bild 4.4-23 ein vereinfachtes Makromodell für einen zweistufigen Verstärker dargestellt, wobei die erste Verstärkerstufe durch eine spannungsgesteuerte Stromquelle und die zweite Stufe durch eine spannungsgesteuerte Spannungsquelle beschrieben wird. Die Verstärkung der 1. Stufe beträgt $v_1 = g_m \cdot 260\text{k}\Omega = 100$. Bei größeren Eingangsspannungen begrenzt die erste Stufe den Strom auf den Wert gegeben durch I_0 . Bei $I_0 = 20\mu\text{A}$ ergibt sich somit eine endliche Anstiegsgeschwindigkeit der Ausgangsspannung (Slew-Rate SR) für die Testschaltung bei $I_0 = 20\mu\text{A}$ und $C_k = 40\text{pF}$ nach folgender Beziehung:

$$S_R = I_0 / C_k = 20\mu\text{A} / 40\text{pF} = 0,5\text{ V}/\mu\text{s}; \quad (4.4-7)$$

Aufgrund der endlichen Stromergiebigkeit der ersten „inneren“ Stufe des OP, die immer eine spannungsgesteuerte Stromquelle ist, ergibt sich wegen der Rückwir-

kungskapazität der zweiten Stufe eine endliche Anstiegsgeschwindigkeit der Ausgangsspannung.

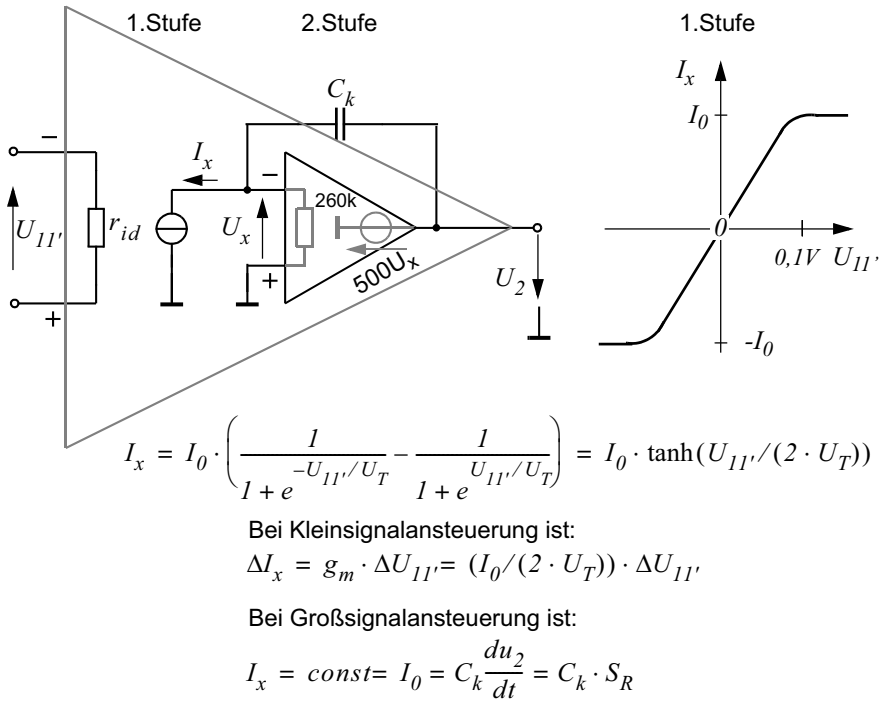


Bild 4.4-23: Einfaches Makromodell zur Erklärung des Slew-Rate Verhaltens

Abschließend zeigt das nachstehende Beispiel ein VHDL-AMS Modell für den OP unter Berücksichtigung der realen DC-Parameter *iib*, *ii0*, *vio*, der realen Eingangsimpedanzen mit *rid*, *cid*, *rig*, der Differenzverstärkung *vud0* und der Gleichtaktunterdrückung *cmrr*. Die erste Verstärkerstufe ist eine spannungsgesteuerte Stromquelle (*ix*) mit *io* als Strombegrenzung. Die zweite Stufe ist eine spannungsgesteuerte Spannungsquelle (*vn2_h*) mit dem Eingangswiderstand *r1* und einer Rückwirkungskapazität *ck*. Der Ausgangswiderstand ist *ra*. Am Ausgang wirkt eine Spannungsbegrenzung (*v_supply_p*, *v_supply_n*) und eine Strombegrenzung (*imax_p*, *i_max_n*).

```

library ieee, ieee_proposed;
use ieee.math_real.all;
use ieee_proposed.electrical_system.all;
entity OpAmp is
  generic (
    iib      : current := 0.0;      -- input bias current
    ii0      : current := 0.0;      -- offset current
    vi0      : voltage := 0.0;      -- offset voltage
    rid      : resistance := 0.0;   -- differential input capacitance
    cid      : capacitance := 0.0;  -- differential input resistance
  )

```

```

    rig      : resistance := 0.0;      -- common mode input resistance
    i0       : current := 0.0;        -- internal current
    vud0     : voltage := 1.0e5;      -- open loop gain
    cmrr     : real := 3.0e4;         -- common mode rejection ratio
    rl       : resistance := 500.0e3; -- internal resistance
    ck       : capacitance := 0.0;    -- miller capacitance
    ra       : resistance := 0.0;     -- output resistance
    i_max_p  : current := 5.0e-3;     -- max positive output current
    i_max_n  : current := -5.0e-3;    -- max negativ output current
    v_supply_p : voltage := 5.0;      -- positive supply voltage
    v_supply_n : voltage := -5.0);    -- negative supply voltage
    PORT (TERMINAL plus, minus, output : electrical);
end OpAmp;
architecture Level2 of OpAmp is
-- inner terminals
    terminal n0, n1, n2 : electrical;
-- inner branch quantities and free quantities
    quantity Vin across plus to minus;
    quantity V_i0 across i2 through plus to n0;
    quantity vud across ii, icid, irid through n0 to minus;
    quantity vug1 across irig1, iib1 through n0 to electrical_ref;
    quantity vug2 across irig2, iib2 through minus to electrical_ref;
    quantity vx across ix, ir1 through n1 to electrical_ref;
    quantity vck across ick through n2 to n1;
    quantity vn2 across in2 through n2 to electrical_ref;
    quantity vra across ira through n2 to output;
    quantity voutput across output to electrical_ref;
    quantity sr : real;                -- free quantity: slew rate
    quantity ira_h : current;          -- help free quantity
    quantity vn2_h : voltage;          -- help free quantity
begin
    sr == i0/ck;
    v_i0 == vi0;
    ii == i0/2.0;
    icid == cid * vud'dot;
    irid == vud/rid;
    irig1 == vug1/rig;
    irig2 == vug2/rig;
    iib1 == iib;
    iib2 == iib;
    ix == i0 * tanh(vud/0.052);
    ir1 == vx/rl;
    ick == ck * vck'dot;
    vn2_h == vud0*(-1.0*vx)/99.95 + (vud0/cmrr)*vug1;
    ira_h == vra/ra;
-- limitation of the output voltage
    if vn2_h'above(v_supply_p) use vn2 == v_supply_p;
    elsif not vn2_h'above(v_supply_n) use vn2 == v_supply_n;
    else vn2 == vn2_h;
    end use;
-- limitation of the output current
    if ira_h'above(i_max_p) use ira == i_max_p;
    elsif not ira_h'above(i_max_n) use ira == i_max_n;
    else ira == ira_h;
    end use;
end Level2;

```


4.5 OP-Verstärkeranwendungen

Aus der schier unendlichen Vielzahl möglicher praktischer Problemlösungen mit Operationsverstärkern werden nachstehend einige wenige beispielhafte Anwendungen vorgestellt.

4.5.1 Instrumentenverstärker

Instrumentenverstärker sind dadurch gekennzeichnet, dass an beiden symmetrischen Eingängen ein Spannungsfolger vorliegt. Gegeben sei der in Bild 4.5-1 dargestellte Instrumentenverstärker. Beide Eingänge weisen aufgrund des nachgeschalteten Spannungsfolgers einen sehr hochohmigen Eingang auf. Deren Differenzausgang wird im Beispiel um den Faktor *100* verstärkt.

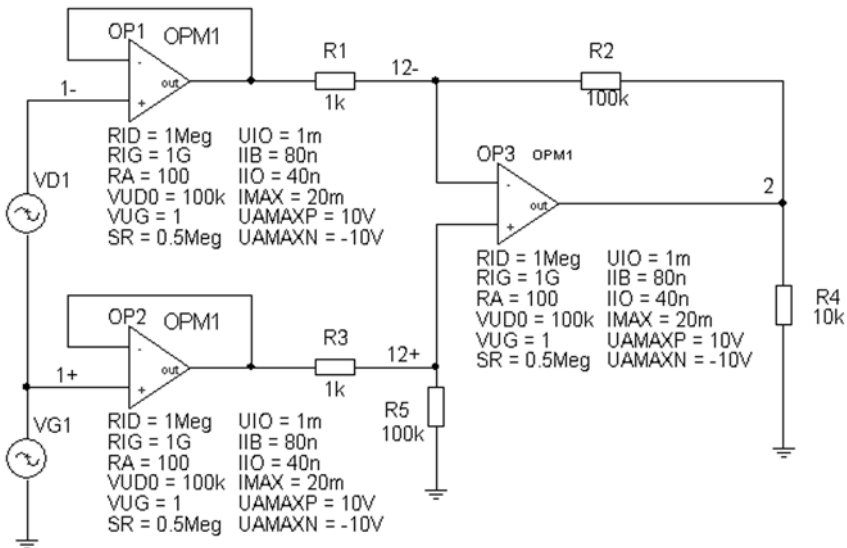


Bild 4.5-1: Beispiel eines Instrumentenverstärkers

Experiment 4.5-1: InstrumentVerst

Das Ergebnis des Experiments zeigt Bild 4.5-2. Die Gegentaktansteuerung am symmetrischen Eingang mit *VD1* wird hoch verstärkt; die Gleichtaktansteuerung am Eingangsknoten *1+* mit *VG1* soll möglichst unterdrückt werden. Die erhebliche Gleichtaktgröße verschwindet im Beispiel trotz nicht zu vernachlässigender Gleichtaktverstärkung mit $\underline{v}_{ug} = 1$ nahezu vollständig. Damit weist der Instrumentenverstärker eine sehr hohe Gleichtaktunterdrückung auf. Nur die symmetrischen Signalanteile werden verstärkt bei hohem Eingangswiderstand.

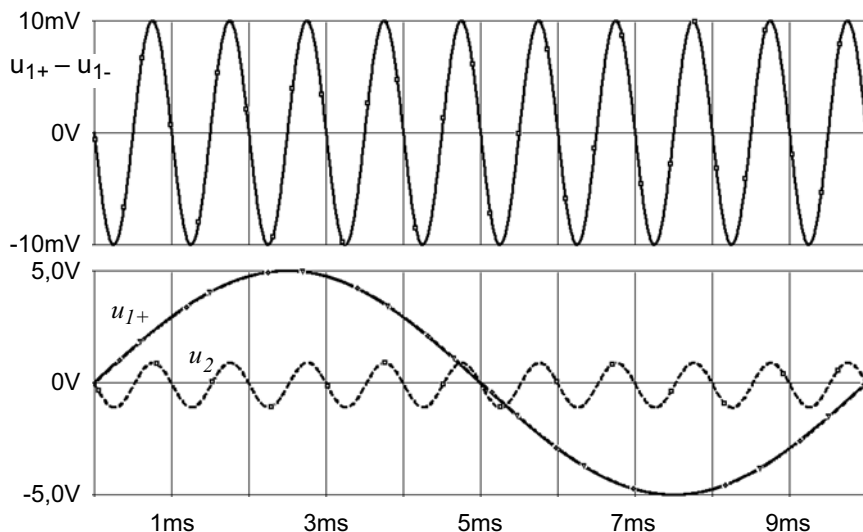


Bild 4.5-2: Ergebnis des Instrumentenverstärkers

4.5.2 Sensorverstärker

Aufgabe von Sensorelementen ist es, physikalische Zustandsgrößen in elektrische Größen umzuformen. Oftmals basieren Sensoren auf der Veränderung von Widerstandswerten in Abhängigkeit einer physikalischen Zustandsgröße (z. B. Kraft, Druck, Temperatur, Feuchte, Weg). Die Widerstandsänderung soll durch eine geeignete Schaltung in eine dazu proportionale Ausgangsspannung umgeformt werden. Es gilt die Widerstandsänderung in eine Wechselspannungsänderung zu wandeln. Dazu verwendet man sogenannte Brückenverstärker als Sensorverstärker (Bild 4.5-3). Von der Schaltung wird gefordert, dass die Wechselspannungsamplitude proportional der Widerstandsänderung sein soll.

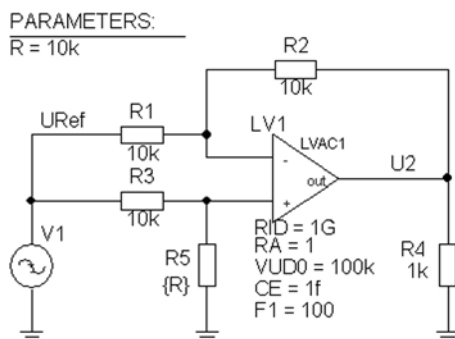


Bild 4.5-3: Sensorverstärker

Bei Brückenabgleich (die Widerstände $R1$, $R2$, $R3$, $R5$ sind gleich groß) ist das Ausgangssignal gleich Null. Verändert sich der Sensorwiderstand $R5$, so ergibt sich je nach Größe der Widerstandsänderung eine dazu proportionale Ausgangsspannung. Das Experiment soll den Sensorverstärker dahingehend untersuchen.

Experiment 4.5-2: SensorVerst

Im Beispiel wird die Ausgangsspannung u_2 ermittelt für Widerstandswerte von $R5 = 8k\Omega$, $10k\Omega$ und $12k\Omega$. Bei $10k\Omega$ ist der Brückenabgleich gegeben, die Ausgangsspannung ist Null. Aus der Phasenlage des Ausgangssignals kann man erkennen, ob sich der Widerstand erhöht oder erniedrigt hat, gegenüber dem Brückenabgleich. Wie man in Bild 4.5-4 sieht, reagiert die Schaltung sehr sensitiv auf Widerstandsänderungen.

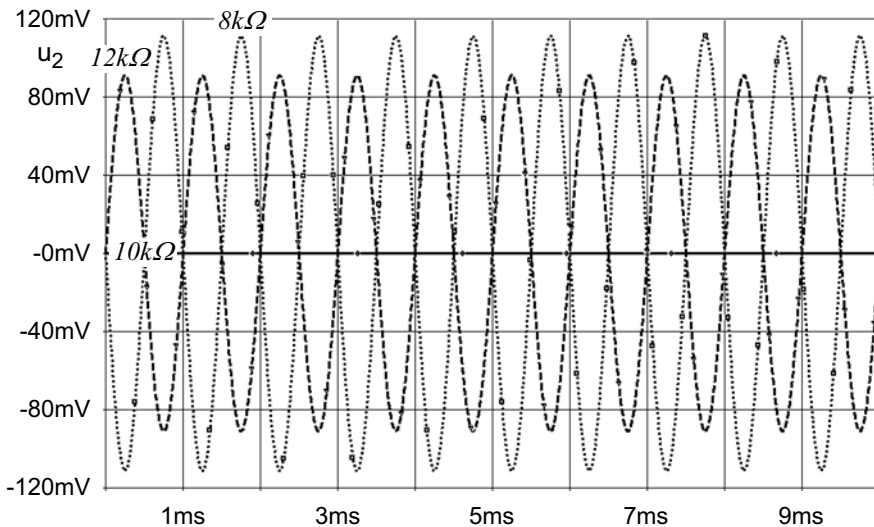


Bild 4.5-4: Ergebnis des Sensorverstärkers mit $R5 = 8k\Omega$, $10k\Omega$ und $12k\Omega$

4.5.3 Treppengenerator

Treppengeneratoren erzeugen ein analoges treppenförmiges Signal. Es wird beispielsweise benötigt für Video-Testsignale zur elektronischen Generierung eines Balkenmusters. Das Beispiel in Bild 4.5-5 zeigt eine gemischt analog/digitale Schaltung. Der Digitalteil wird mit einem „Gatelevel-Simulator“ analysiert, der Analogteil mit dem „Circuit-Simulator“. Beide Simulatoren tauschen Signale an den Schnittstellen aus. Die Eingangssignale des Digitalteils werden im „Stimuli-File“ beschrieben, das im Simulation-Profil unter „Include“ eingebunden werden muss.

Bei Videosignalen beträgt die Zeilenperiode $64\mu s$, die Zeilensynchron-Impulsaustattung $12\mu s$. Das Balkenmuster stellt das analoge Video-Testsignal dar. Zur Aufbereitung des Balkenmusters arbeitet der OP als Analog-Addierer. Zur Verbes-

serung der Änderungsgeschwindigkeit der Ausgangsspannung wird der Slew-Rate Parameter des OP auf $4 \text{ V}/\mu\text{s}$ erhöht.

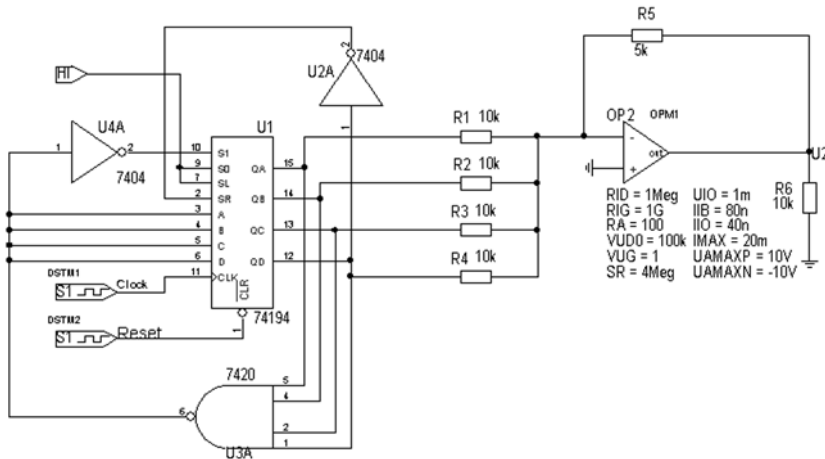


Bild 4.5-5: Treppengenerator

Experiment 4.5-3: Treppengenerator

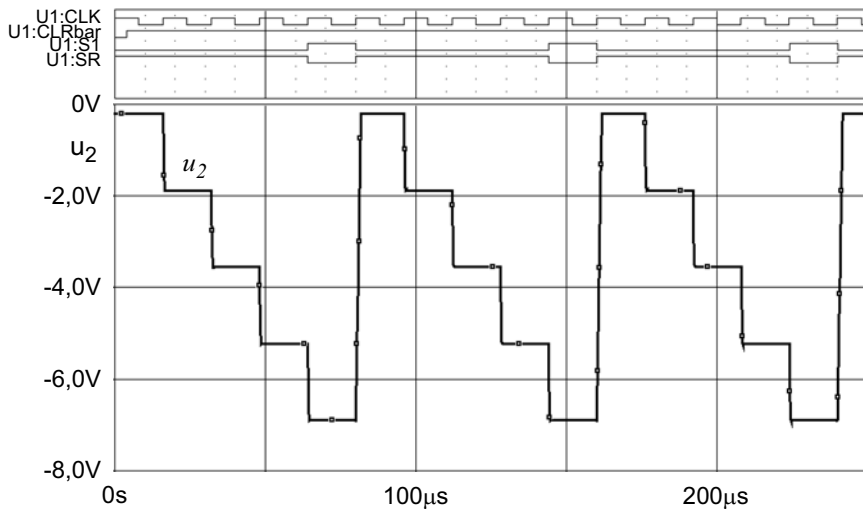


Bild 4.5-6: Ergebnis des Treppengenerators

4.5.4 Kompressor/Expander-Verstärker

Bei begrenzter Dynamik eines Übertragungskanals ist es oft zweckmäßig das Signal zu komprimieren und anschließend wieder zu expandieren. Dazu benötigt

man einen Verstärker, der bei größeren Signalamplituden die Verstärkung reduziert (Begrenzerverstärker). Im gegebenen Beispiel beträgt die Kleinsignalverstärkung 10; bei Signalamplituden, die größer als die Schwellspannung der Diode sind, reduziert sich die Verstärkung auf 0,1. Der Expander muss eine dazu reziproke Verstärkerkennlinie aufweisen, um das Ursprungssignal wieder unverzerrt zu erhalten. Das Ergebnis der Testschaltung (Bild 4.5-7) in Bild 4.5-8 zeigt, dass das Ausgangssignal nach Komprimierung und Expandierung gleich dem Eingangssignal ist.

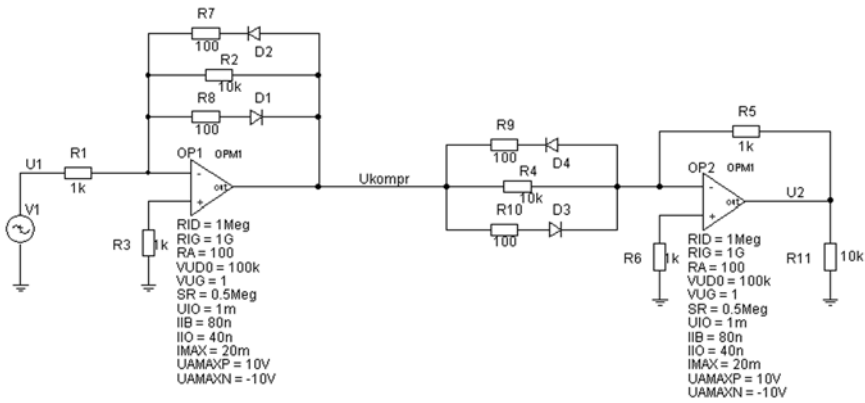


Bild 4.5-7: Kompressor/Expander-Verstärker

Experiment 4.5-4: Kompr_ExpVerst

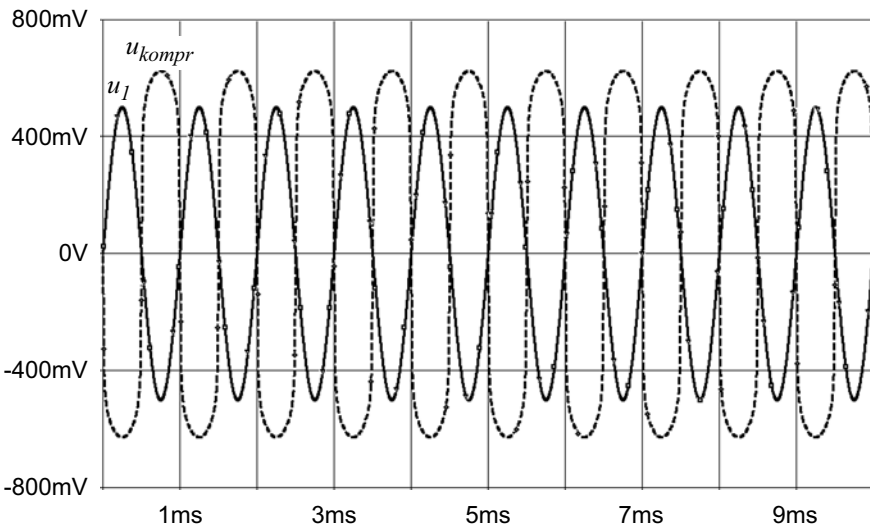


Bild 4.5-8: Ergebnis des Kompressor/Expander-Verstärkers; es ist $u_2 = u_1$

4.5.5 Aktive Signaldetektoren

Aktive Signaldetektoren vermeiden den Nachteil der Ansprechschwelle gegeben durch die Schwellspannung der Detektordiode. Signaldetektoren werden u.a. zu Messzwecken oder in Demodulatorschaltungen benötigt. Ein einfacher Signaldetektor zur Demodulation eines amplitudenmodulierten Signals wurde in Abschnitt 2.2.6 bzw. in Abschnitt 3.2.3 behandelt. Der Vorteil der Schaltung in Bild 4.5-9 besteht darin, dass am Ausgang keine durch die Diode vorgegebene Schwellspannung wirksam ist. Zudem kann über $R1$ und $R2$ die detektierte Halbwelle am Ausgang verstärkt werden.

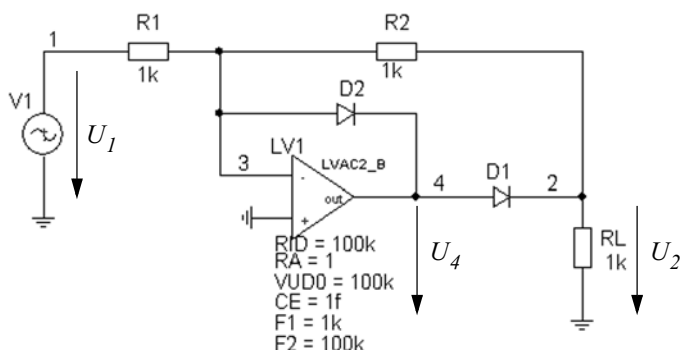


Bild 4.5-9: Halbwellendetektor

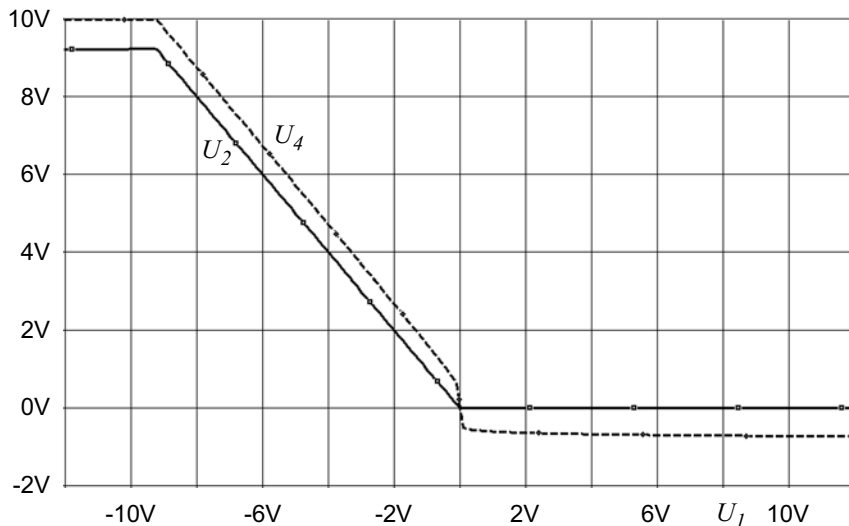


Bild 4.5-10: DC-Übertragungskurve des Halbwellendetektors

Experiment 4.5-5: Signaldetektor

Wie das Ergebnis in Bild 4.5-11 zeigt, werden die negativen Halbwellen des Eingangssignals mit dem Verstärkungsfaktor -1 auf den Ausgang übertragen, sofern der Verstärker nicht in die Begrenzung angesteuert wird. Bei negativen Halbwellen ist die Diode $D1$ leitend und $D2$ gesperrt; bei positiven Halbwellen leitet Diode $D2$ und $D1$ ist gesperrt. Ist die Eingangsspannung positiv, so fließt der Eingangsstrom U_1/R_1 über die leitende Diode $D2$; Knoten 4 geht auf $-0,7V$. Der Strom durch R_2 ist gleich Null. Damit ist auch die Ausgangsspannung gleich Null. Bei negativer Eingangsspannung sperrt $D2$. Der Verstärker arbeitet dann als invertierender Verstärker.

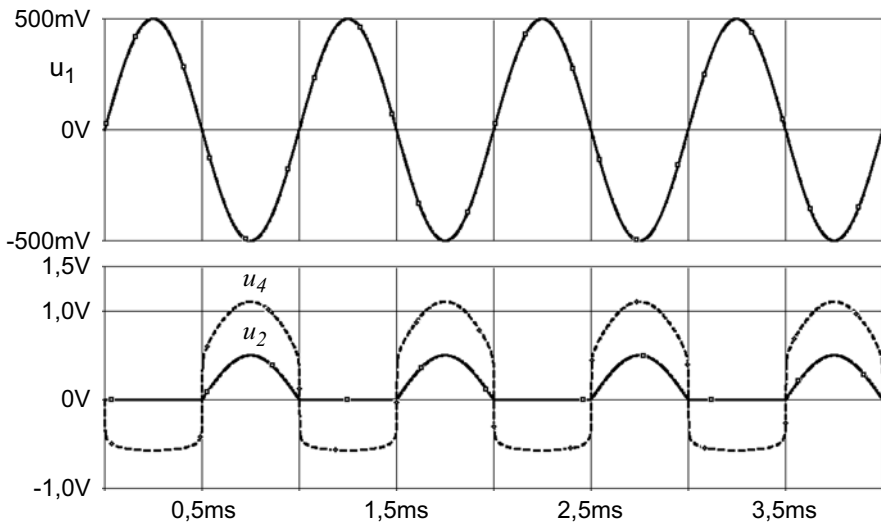


Bild 4.5-11: Testsignale am Halbwellendetektor

4.5.6 Tachometerschaltung zur analogen Frequenzbestimmung

Analoge Integratoren dienen u.a. zur Mittelwertbildung, was am Beispiel einer Tachometerschaltung aufgezeigt wird. Eine Testschaltung (Bild 4.5-12) für einen analogen Frequenzmesser benötigt ein Eingangssignal in Pulsform mit konstanter Amplitude und Pulsbreite (PW). Die Pulsperiode (PER) ist abhängig von der Signalfrequenz. Bei einer Signalfrequenz von $1kHz$ beträgt die Periodendauer $1ms$.

Im gegebenen Beispiel ist die Pulsweite $PW = 200\mu s$. Der Integrator ermittelt den DC-Wert des Eingangssignals und verstärkt ihn mit dem Faktor 10 . Bild 4.5-13 zeigt das Testergebnis. Der DC-Wert des Eingangssignals ergibt sich aus:

$$U_{DC} = 1V \cdot PW \cdot f; \quad (4.5-1)$$

Bei $f = 1kHz$ erhält man demnach eine Ausgangsamplitude von $-2V$. Das Ausgangssignal der Testschaltung weist den erwarteten Wert auf. Verringert man die Frequenz, so verringert sich das Ausgangssignal dazu proportional.

Experiment 4.5-6: Tachometer

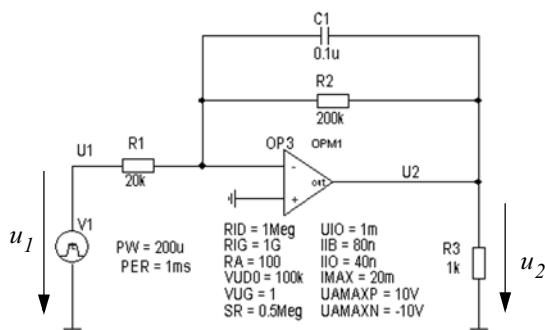


Bild 4.5-12: Integrator als analoger Frequenzmesser

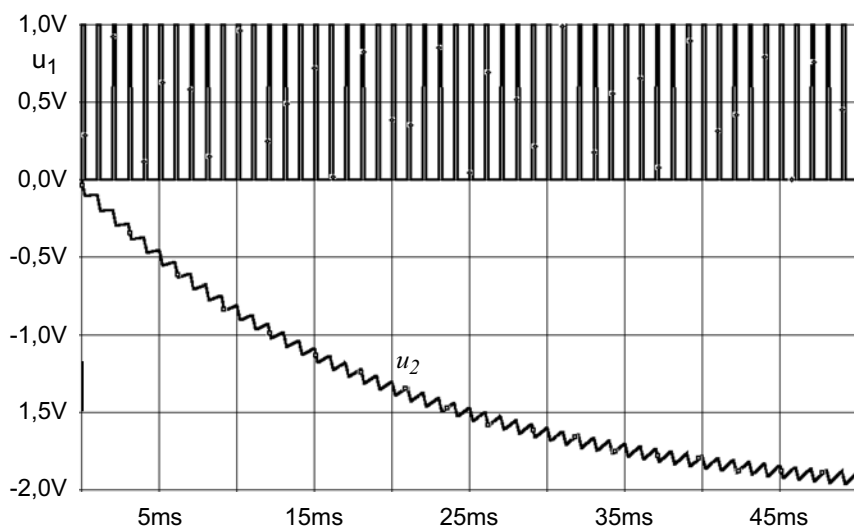


Bild 4.5-13: Ergebnis des Frequenzmessers für die Testschaltung in Bild 4.5-12

4.5.7 Analoge Filterschaltungen

Mit OPs lassen sich vielfältige analoge Filterschaltungen realisieren. Beispielhaft sei die nachstehende Auswahl von einigen typischen Filterschaltungen in Form von aktiven Tiefpass-, Hochpass-, Bandpass- und Bandstopp-Filtern.

Tiefpass: Ein Tiefpass überträgt tiefe Frequenzanteile eines Signals oder einer Signalgruppe. Frequenzanteile ab einer bestimmten Eckfrequenz werden unterdrückt. Eine mögliche Realisierung zeigt Bild 4.5-14 mit dem Ergebnis in Bild 4.5-15.

Experiment 4.5-7: Tiefpass_40dB

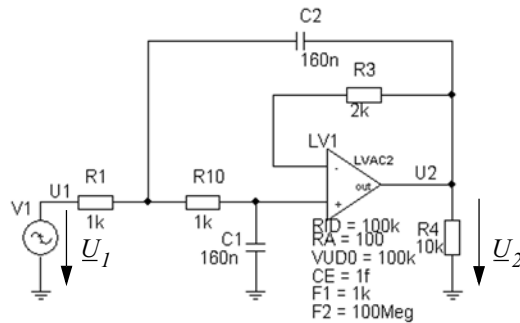


Bild 4.5-14: Tiefpassfilter mit $R1 = R10 = R$ und $C1 = C2 = C$

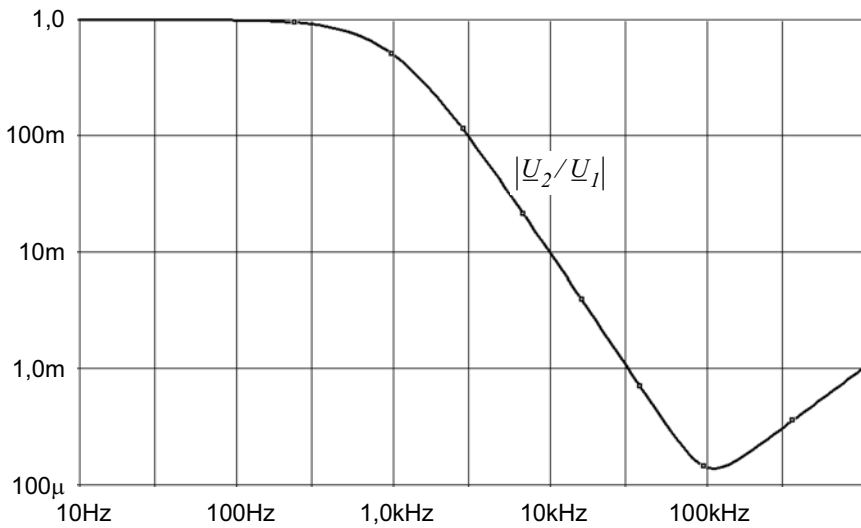


Bild 4.5-15: Ergebnis Tiefpass

Die Eckfrequenz des Tiefpassverhaltens ergibt sich bei:

$$\omega_0 = \frac{1}{\sqrt{R \cdot C}}; \quad (4.5-2)$$

Hochpass: Ein Hochpass unterdrückt tiefe Frequenzanteile eines Signals oder einer Signalgruppe. Frequenzanteile ab einer bestimmten Eckfrequenz sollen möglichst ungedämpft übertragen werden. Die dem folgenden Experiment zugrundeliegende Testschaltung ist in Bild 4.5-16 dargestellt. Das Ergebnis zeigt Bild 4.5-17.

Experiment 4.5-8: Hochpass_40dB

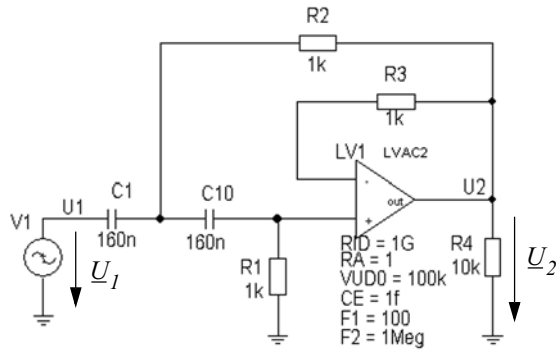


Bild 4.5-16: Hochpassfilter mit $R1 = R2 = R$ und $C1 = C10 = C$

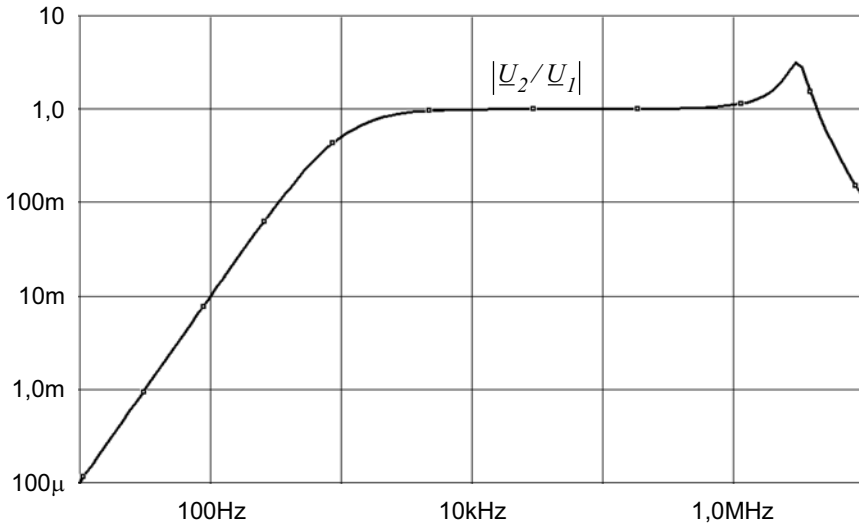


Bild 4.5-17: Ergebnis Hochpass

Die Eckfrequenz des Hochpassverhaltens ergibt sich bei:

$$\omega_0 = \frac{1}{\sqrt{R \cdot C}}; \quad (4.5-3)$$

Bei höheren Frequenzen macht sich die endliche Bandbreite des Verstärkers bemerkbar.

Bandpass: Ein Bandpass (Bild 4.5-18) überträgt nur Frequenzanteile eines Signals oder einer Signalgruppe innerhalb einer bestimmten Bandbreite. Frequenzanteile außerhalb dieser Bandbreite sollen möglichst unterdrückt werden. Eine Anwendung wäre z.B. das Ausfiltern der Taktfrequenzanteile eines Signals.

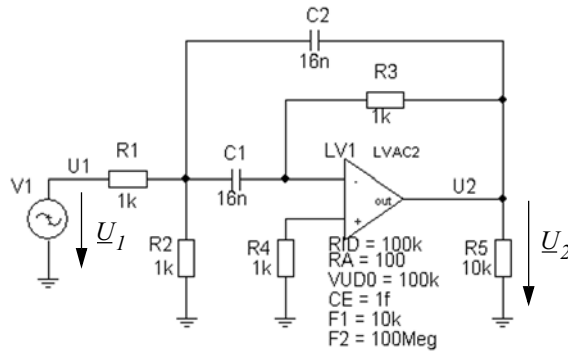


Bild 4.5-18: Bandpassfilter mit $R1 = R2 = R$ und $C1 = C2 = C$

Experiment 4.5-9: Bandpass_40dB

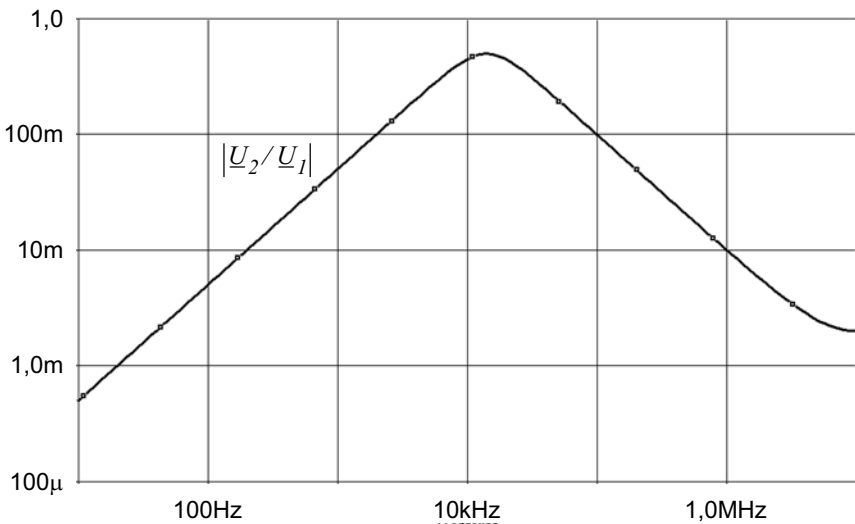


Bild 4.5-19: Ergebnis Bandpass

Die Mittenfrequenz des Bandpasses (siehe Bild 4.5-19) ergibt sich bei:

$$\omega_0 = \frac{1}{\sqrt{R \cdot C}}; \quad (4.5-4)$$

Bandstoppfiler: Ein Bandstoppfiler (Bild 4.5-20) überträgt alle Frequenzanteile eines Signals oder einer Signalgruppe außerhalb eines Sperrbereiches um die Bandstopp-Mittenfrequenz. In einer beispielhaften Anwendung können damit u.a. Taktfrequenzanteile eines Signals unterdrückt werden.

Experiment 4.5-10: Bandstop_40dB

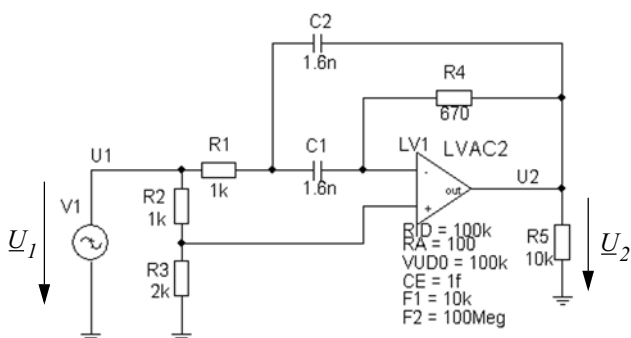


Bild 4.5-20: Bandstopfilter mit $R1 = R2 = R3/2 = R$ und $C1 = C2 = C$

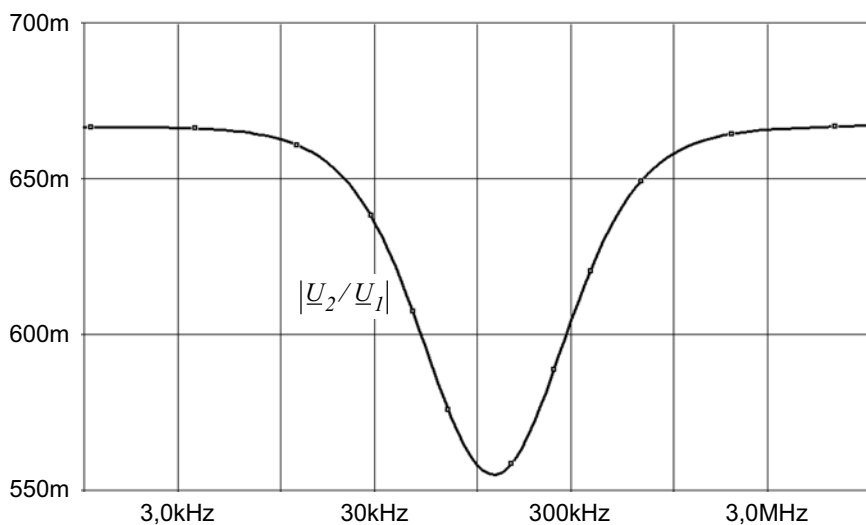


Bild 4.5-21: Ergebnis Bandstopfilter

Die Mittenfrequenz ergibt sich bei:

$$\omega_0 = \frac{1}{\sqrt{R \cdot C}}; \quad (4.5-5)$$

Bandstopfilter benötigt man beispielsweise, um unerwünschte Frequenzanteile auszublenden. In Bild 4.5-21 ist das Ergebnis der Testschaltung dargestellt.

4.5.8 Virtuelle Induktivität

Mit geeigneten OP-Schaltungen lassen sich u.a. virtuelle Induktivitäten realisieren. Induktivitäten sind oft in Schaltungsanwendungen unerwünscht, sie lassen sich beispielsweise nicht oder nur schwer integrieren. Es gibt Ersatzschaltungen, die in

einem bestimmten Frequenzbereich induktives Verhalten aufweisen. Die Funktion lässt sich im Zeigerdiagramm darstellen (Bild 4.5-22). Wegen des hochohmigen Widerstands $R1$ fällt an diesem Widerstand nahezu die gesamte Eingangsspannung ab. Die Spannungsteilung auf $R1$ und $C1$ ist aus dem Zeigerdiagramm zu entnehmen. Der Verstärker erzwingt, dass die Spannung an $C1$ gleich der Spannung an $R2$ ist. Wegen des niederohmigen Widerstands $R2$ ergibt sich ein signifikanter nacheilender Strom an der Schnittstelle, so dass Z_x im unteren Frequenzbereich induktives Verhalten aufweist. Die Testschaltung in Bild 4.5-22 zeigt, dass sich an der skizzierten Schnittstelle im Frequenzbereich bis etwa 10kHz induktives Verhalten einstellt. Die Ersatzinduktivität beträgt näherungsweise:

$$L_{\text{ers}} = C_1 \cdot R_1 \cdot 100\Omega; \quad (4.5-6)$$

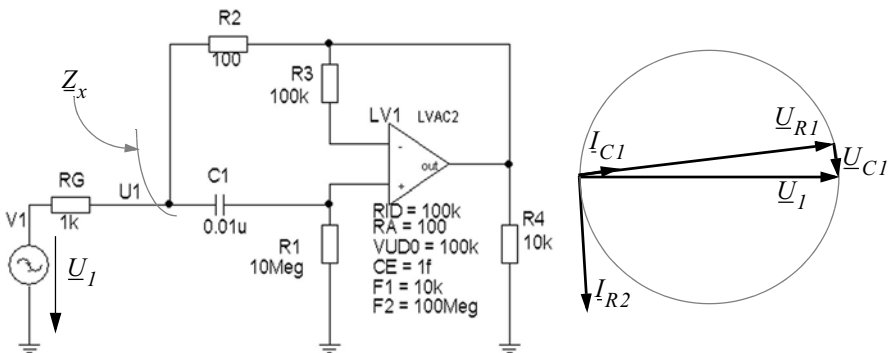


Bild 4.5-22: Ersatzanordnung für eine Induktivität

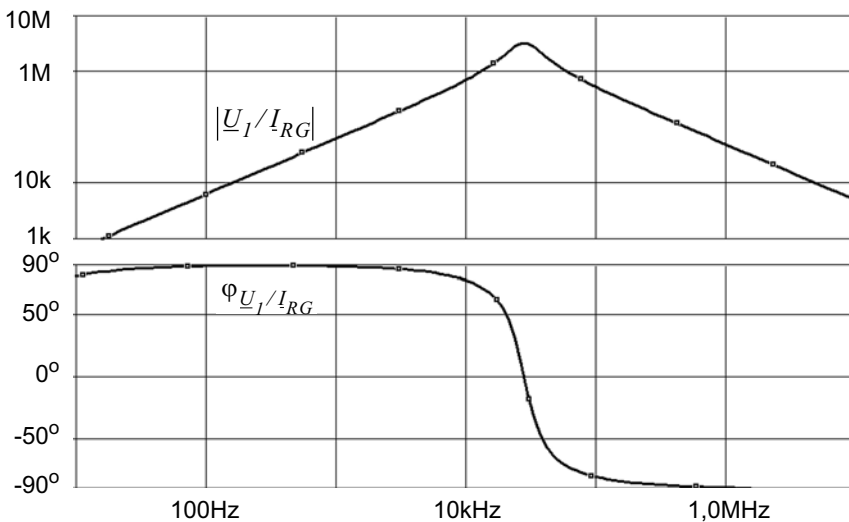


Bild 4.5-23: Ergebnis der Testschaltung

Im folgenden Experiment lässt sich das Verhalten der virtuellen Induktivität näher untersuchen. Das Ergebnis der Testschaltung ist in Bild 4.5-23 dargestellt.

Experiment 4.5-11: LVirtuell

4.5.9 Schmitt-Trigger

Der Schmitt-Trigger ist ein mitgekoppelter Verstärker. Er arbeitet nicht als Linearverstärker, vielmehr nimmt die Ausgangsspannung entweder die durch die Versorgungsspannung vorgegebene positive Aussteuergrenze $U_{2,max}$ oder die negative Aussteuergrenze $U_{2,min}$ an. Damit kann ein analoges Signal digitalisiert werden. Schmitt-Trigger erzeugen ein Rechtecksignal mit möglichst steiler Flanke ausgehend von einer Schaltschwelle. Die Schaltschwelle bei positiver Spannungsänderung unterscheidet sich von der in umgekehrter Richtung (Hysterese). Wesentlich ist, dass hier der Verstärker als mitgekoppelter Verstärker arbeitet und nicht wie bisher als Linearverstärker. Die Rückkopplung wird deshalb an den (+) Eingang zurückgeführt. Die Schaltschwelle lässt sich mittels einer Referenzspannung U_{Ref} und der Beschaltung mit R_1 und R_2 einstellen. Die Ausgangsspannung ist durch die maximale Ausgangsspannung $U_{2,max}$ bzw. durch die minimale Ausgangsspannung $U_{2,min}$ des Verstärkers gegeben.

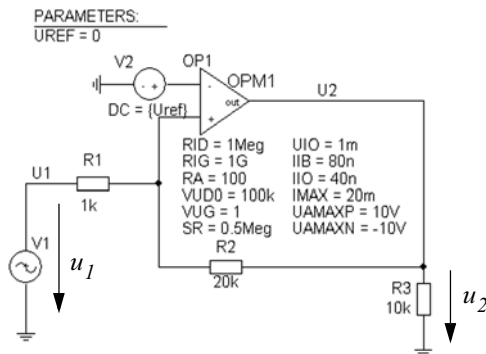


Bild 4.5-24: Nichtinvertierender Schmitt-Trigger

Zur Bestimmung der Schaltschwelle wird zunächst angenommen, dass die Ausgangsspannung den Wert $U_{2,max}$ aufweist. Der Umschaltunkt $U_{1,aus}$ ergibt sich dann, wenn am (+) Eingang des Verstärkers die Spannung U_{Ref} anliegt.

$$(U_{2,max} - U_{1,aus}) \cdot \frac{R_1}{R_1 + R_2} + U_{1,aus} = U_{Ref};$$

$$U_{1,aus} = -U_{2,max} \cdot \frac{R_1}{R_2} + U_{Ref} \cdot \frac{R_1 + R_2}{R_2}; \quad (4.5-7)$$

Im Weiteren wird angenommen, dass die Ausgangsspannung bei $U_{2,min}$ liegt. In diesem Fall erhält man den Umschaltunkt $U_{1,ein}$ wiederum unter der Bedingung, dass aufgrund der Eingangsspannung am (+) Eingang des Verstärkers die Span-

nung gleich U_{Ref} ist. Dabei sei darauf hingewiesen, dass im Allgemeinen der Wert für die Aussteuerengrenze $U_{2,min}$ einen negativen Zahlenwert aufweist.

$$U_{1, ein} = -U_{2, min} \cdot \frac{R_1}{R_2} + U_{Ref} \cdot \frac{R_1 + R_2}{R_2}; \quad (4.5-8)$$

Das Ergebnis der Testschaltung in Bild 4.5-25 zeigt in Abhängigkeit der Referenzspannung unterschiedliche Schaltschwellen. In vielen Anwendungen ist die Hysterese der Schaltschwellen erwünscht, da sich sonst um den Umschaltpunkt ein „Prellen“ des Schaltvorgangs einstellen würde. Im Prinzip stellt der Schmitt-Trigger einen Komparator dar, mit unterschiedlichen Schaltschwellen, je nachdem ob ein Einschalt- oder Abschaltvorgang vorliegt. Ein Linearverstärker als Geradeausverstärker mit hoher Verstärkung kann ebenfalls als Komparator betrieben werden. Bei Ansteuerung am (+) Eingang geht der Linearverstärker oberhalb der Schaltschwelle in die positive Begrenzung, unterhalb der Schaltschwelle in die negative Begrenzung. Dabei liegt keine Hysterese der Schaltschwellen vor. Die Testschaltung in Bild 4.5-24 wird in einem Experiment näher betrachtet.

Experiment 4.5-12: Schmitttrigg_nichtinv

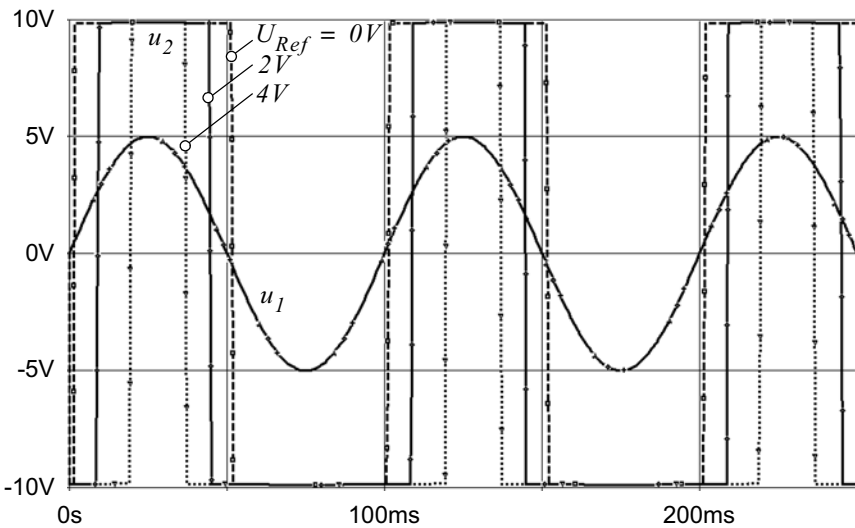
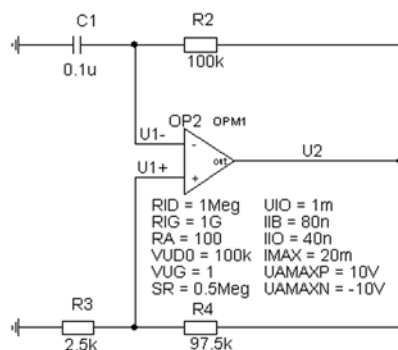


Bild 4.5-25: Ergebnis der Testschaltung des Schmitt-Triggers in Bild 4.5-24 mit $U_{2,max} = 10V$ und $U_{2,min} = -10V$

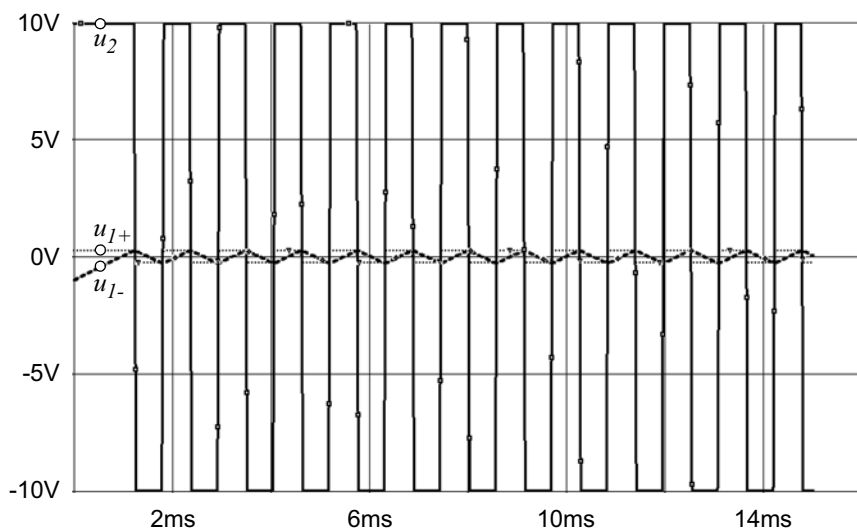
4.5.10 Astabiler Multivibrator

Ein astabiler Multivibrator stellt einen Oszillator dar. Die Schwingfrequenz ist gegeben durch eine Zeitkonstante. Deshalb zählt dieser Oszillator zur Gruppe der „Laufzeitoszillatoren“. Der astabile Multivibrator ist eine mitgekoppelte Verstärkerschaltung. Eine beispielhafte Anordnung zeigt Bild 4.5-26.

**Bild 4.5-26:** Astabiler Multivibrator

Um den Oszillator zum Anschwingen zu bringen, wird an $C1$ eine Startspannung (Initial Condition $IC = -1V$) gelegt. Die Ausgangsspannung kippt sofort auf die maximal positive Ausgangsspannung. Der Kondensator entlädt sich bis zur Schaltschwelle, wo der Verstärker dann auf die maximal negative Ausgangsspannung kippt. Die Kondensatorspannung wird wieder in negativer Richtung aufgeladen, so dass sich der Vorgang wiederholt. Das Ergebnis der Testschaltung zeigt das in Bild 4.5-27 skizzierte Verhalten. Der Linearverstärker (OP) arbeitet als Komparator. Je nach Ansteuerung geht der Komparator in die positive oder negative Begrenzung am Ausgang.

Experiment 4.5-13: AstabilerMult

**Bild 4.5-27:** Ergebnis der Testschaltung des astabilen Multivibrators

5 Funktionsschaltungen mit Bipolartransistoren

Die „innere“ Schaltungstechnik u.a. in Verstärkerstufen, in Sensorschaltungen, in Leistungsstufen basiert auf Funktionsschaltungen. Im Folgenden wird eingeführt in die wichtigsten Funktionsprimitive und Funktionsschaltungen mit Bipolartransistoren (BJT). Es geht um die Ermittlung wesentlicher Eigenschaften zur Charakterisierung und Einteilung der behandelten Funktionsschaltungen.

5.1 Eigenschaften und Kennlinien von Bip.-Transistoren

In Zusammenfassung der sehr viel ausführlicheren Literatur zum Thema „Elektronische Bauelemente“ sollen hier die wichtigsten Modellbeschreibungen von Bipolartransistoren vorgestellt werden, insbesondere im Hinblick auf einfache Modelle als Basis für das Abschätzen von Schaltungseigenschaften.

Der Bipolartransistor stellt, im geeigneten Arbeitspunkt betrieben, eine spannungsgesteuerte Stromquelle dar. Im Rückblick auf Kap. 4 ergeben sich Verstärkereigenschaften gemäß folgendem Modell:

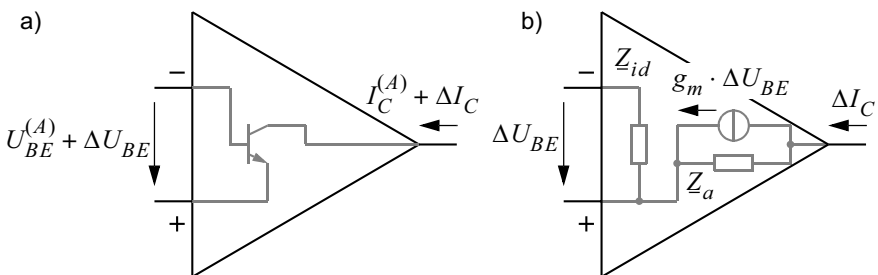


Bild 5.1-1: Der Bipolartransistor als Verstärkerelement: a) Arbeitspunkt plus Änderung im Arbeitspunkt; b) Änderungsanalyse im Arbeitspunkt

5.1.1 Wichtige Kennlinien eines Bipolartransistors

Die Übertragungskennlinie und die Ausgangskennlinien beschreiben u.a. das im allgemeinen im Datenblatt dokumentierte Klemmenverhalten des Bipolartransistors. Es wird aufgezeigt, auf welcher physikalischen Grundlage die Kennlinien zustande kommen. Grundsätzlich besteht der Bipolartransistor im Normalbetrieb aus zwei Diodenstrecken und einer stromgesteuerten Stromquelle. Wie später

gezeigt wird, lässt sich die stromgesteuerte Stromquelle in eine spannungsgesteuerte Stromquelle umrechnen. Die inneren Diodenstrecken des Bipolartransistors sind die Emitter-Basis Diode (Flussspannung an der Diode: U_{BE}) und die Kollektor-Basis Diode. Voraussetzung für Verstärkerbetrieb ist, dass die Emitter-Basis Diode in Flussrichtung und die Kollektor-Basis Diode in Sperrrichtung betrieben wird. Dies muss durch eine Beschaltung des Transistors mit Vorspannung und Betrieb in einem geeigneten Arbeitspunkt bei gegebener Aussteuerung sichergestellt werden. Man kennzeichnet diese Betriebsart mit Normalbetrieb.

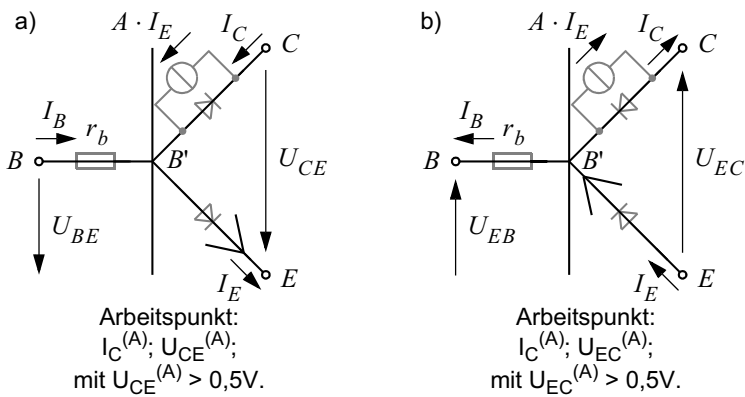


Bild 5.1-2: Symbol und Klemmengrößen von npn und pnp Transistor, sowie deren innere Diodenstrecken (verwendet werden Richtungspfeile); a) npn-Transistor; b) pnp-Transistor

Im Normalbetrieb weist die Emitter-Basis Diode die Schwellspannung von ca. $0,7V$ auf (bei Si-Transistoren), sie ist in Flussrichtung betrieben. Die Kollektor-Basis Diode muss durch eine ausreichend große Spannung U_{CE} gesperrt sein. Der Sperrstrom der gesperrten Kollektor-Basis Diode wird mit I_{CB0} angegeben.

Tabelle 5.1 - 1: Spice-Parameter des DC-Modells

Name	typ. Wert	Bedeutung	Parameter
A	$A = 0.99 = B/(1+B)$	Stromverstärkung $A = I_C/I_E$	
B	$B = 100 = A/(1-A)$	Stromverstärkung $B = I_C/I_B$	BF, XTB BR
I_S	$I_S = 10^{-15} A$	Sättigungssperrstrom; legt indirekt die Schwellspannung in Flussrichtung fest: typ. $0,7 V$	IS, XTI NF, NR, IKF, IKR
I_{CB0}	$I_{CB0} = \dots nA$	Sperrstrom der Kollektor-Basis Diode	ISC, NE ISE, NC

Die wesentlichen Parameter, die das DC-Verhalten eines Bipolartransistors bestimmen, sind in Tab. 5-1 dargestellt. BF bestimmt die Stromverstärkung im Normalbetrieb, BR im Inversbetrieb. Im Inversbetrieb ist die Emitter-Basis Diode gesperrt und die Kollektor-Basis Diode leitend. XTB bestimmt das Temperaturverhalten der Stromverstärkung. IS ist der Sättigungssperrstrom, NF der Emissionskoeffizient im Normalbetrieb. Der Emissionskoeffizient NF beeinflusst die Steilheit der Exponentialfunktion im Flussbetrieb, idealerweise ist $NF = 1$. NR ist der Emissionskoeffizient für Inversbetrieb; ISE ist der Rekombinationssperrstrom der Emitter-Basis Diode, NE der zugehörige Emissionskoeffizient; ISC ist der Rekombinationssperrstrom der Kollektor-Basis Diode, NC der zugehörige Emissionskoeffizient. Mit XTI wird das Temperaturverhalten des Sättigungssperrstroms IS beeinflusst. IKF ist der Knickstrom der Stromverstärkung BF im Normalbetrieb, IKR der Knickstrom der Stromverstärkung BR im Inversbetrieb. Siehe dazu auch die Parameter des Diodenmodells in Abschnitt 2.2.3.

Die wichtigsten Kennlinien eines Bipolartransistors sind die Eingangs- bzw. Übertragungskennlinie und die Ausgangskennlinienfelder. Die Eingangskennlinie charakterisiert die in Flussrichtung betriebene Emitter-Basis Diode (B' ist der innere Basisanschluss). Die Ausgangskennlinienfelder stellen die gesperrte Kollektor-Basis Diode verschoben um den Injektionsstrom des Transistoreffekts dar. Der Injektionsstrom wird charakterisiert durch die Stromquelle $A \cdot I_E$.

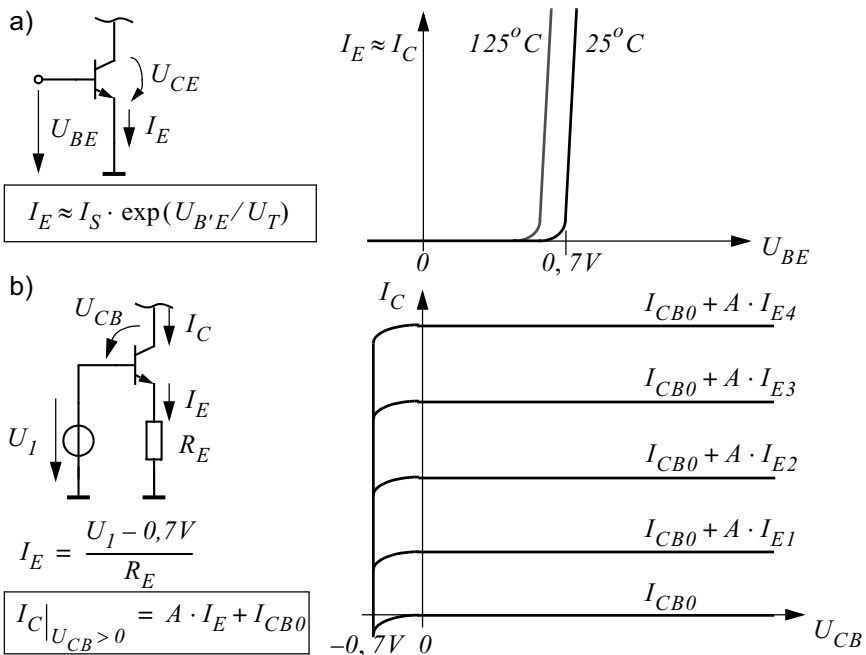
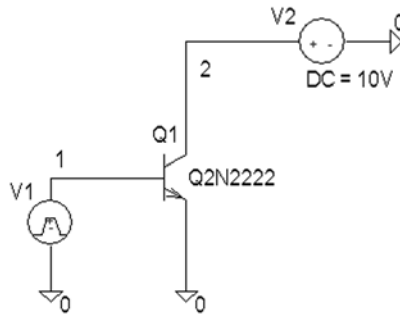
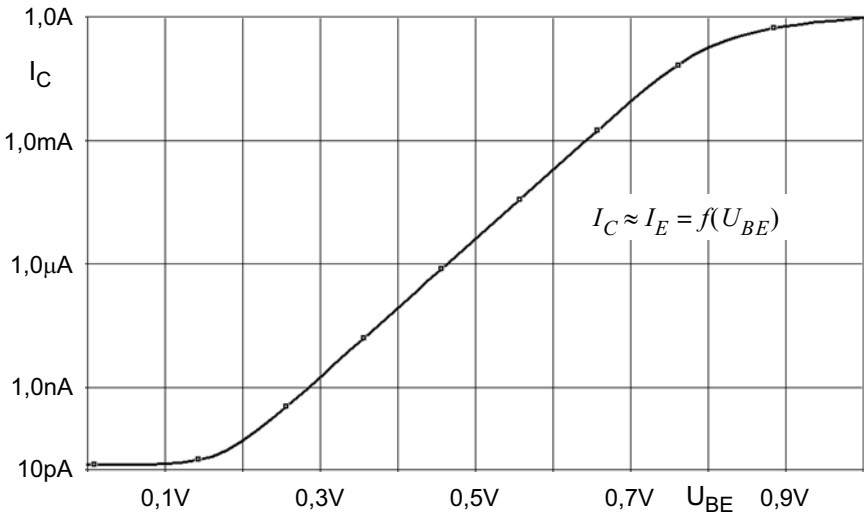


Bild 5.1-3: Kennlinien eines Bipolartransistors und zugehörige Messschaltungen; a) Übertragungskennlinie; b) Ausgangskennlinien; in beiden Fällen muss U_{CE} hinreichend groß sein, um die Kollektor-Basis-Diode zu sperren

Experiment 5.1-1: Eingangskennl – Ermittlung der Eingangskennlinie**Bild 5.1-4:** Testschaltung zur Ermittlung der Eingangs- und Übertragungskennlinie**Bild 5.1-5:** Eingangskennlinie bzw. Übertragungskennlinie der Testschaltung

Der Sättigungssperrstrom I_S würde sich bei idealisierter Fortsetzung der im logarithmischen Maßstab dargestellten Exponentialkennlinie (linearer Verlauf) in Bild 5.1-5 bei U_{BE} gegen Null ergeben. Im Sperrbereich dominiert der Rekombinations-sperrstrom, der im Modellbeispiel des Transistors Q2N2222 ca. 10pA beträgt. Üblicherweise liegt der Sperrstrom einer gesperrten Diodenstrecke bei ca. 1nA . Im Hochstrombereich macht sich, wie bei jedem pn-Übergang im Flussbereich, der Bahnwiderstand bemerkbar. Die Steilheit der Exponentialfunktion der Emitter-Basis Diode wird durch den Emissionskoeffizienten NF bestimmt.

Experiment 5.1-2: Ausgangskennl_IE – Ermittlung der Ausgangskennlinien

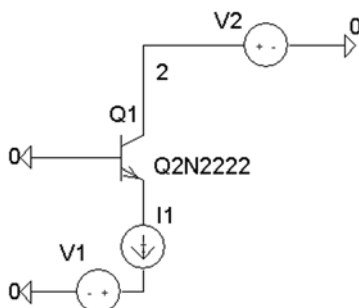


Bild 5.1-6: Testschaltung zur Ermittlung der Ausgangskennlinien

Die Ausgangskennlinien (Bild 5.1-7) werden gemäß Testschaltung in Bild 5.1-6 ermittelt. Sie zeigen deutlich die verschobene Sperrkennlinie der Kollektor-Basis Diode, verschoben um den Injektionsstrom des Transistoreffekts. Der Emitterstrom wird im Beispiel um 2mA verändert bis 20mA . Die ermittelten Ausgangskennlinien entsprechen der Darstellung in Bild 5.1-3b).

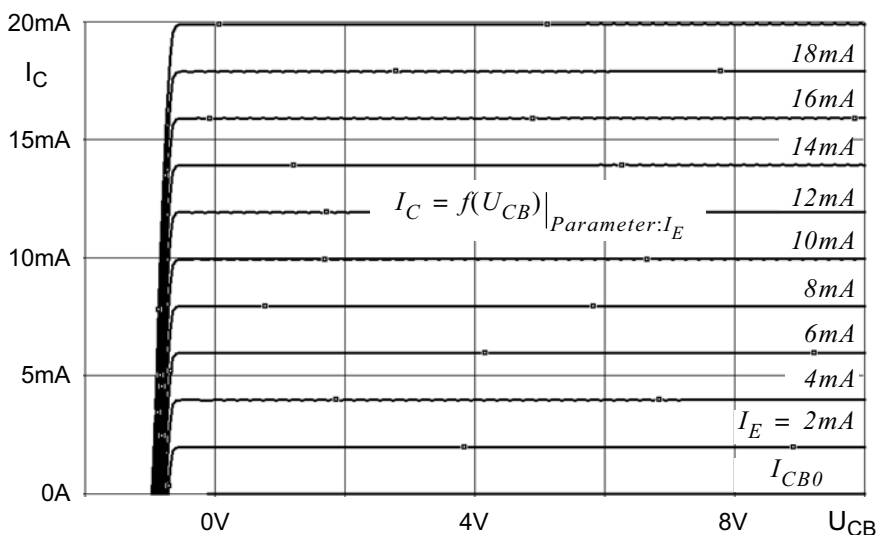
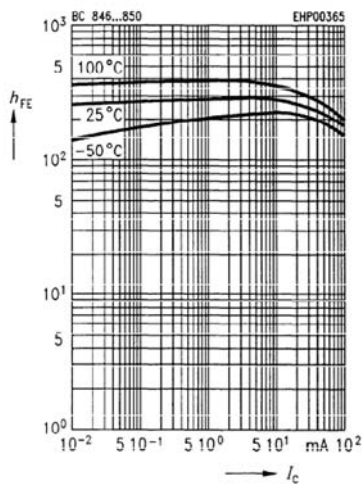


Bild 5.1-7: Ausgangskennlinien der Testschaltung mit I_E als Parameter

In nachstehenden Datenblattauszügen ist die Stromverstärkung B (entspricht näherungsweise h_{FE}) in Abhängigkeit vom Kollektorstrom im Arbeitspunkt mit der Temperatur als Parameter dargestellt. Daneben findet sich der Sperrstrom I_{CB0} . Er erhöht sich um mehr als dem Faktor 100 bei einer Temperaturerhöhung um 100°C . Darüber hinaus unterliegt er erheblichen Exemplarstreuungen. Relevant ist der Sperrstrom insbesondere bei kleinen Betriebsströmen.

DC current gain $h_{FE} = f(I_C) \rightarrow B$
 $V_{CE} = 5\text{ V}$



Collector cutoff current $I_{CB0} = f(T_A)$
 $V_{CB} = 30\text{ V}$

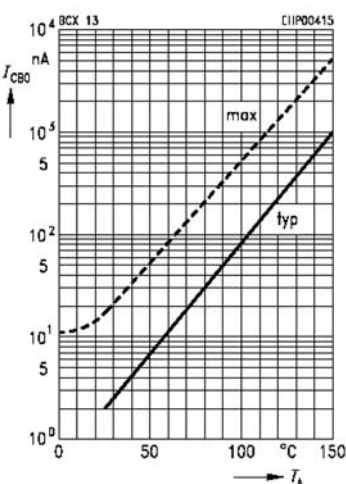


Bild 5.1-8: DC-Stromverstärkung B (entspricht ungefähr h_{FE}) und Sperrstrom I_{CB0} des Bipolartransistors BC846

5.1.2 Physikalischer Aufbau und Grundmodell

Es wird der prinzipielle physikalische Aufbau des Bipolartransistors beschrieben. Aus dem physikalischen Aufbau (Bild 5.1-9) lässt sich unmittelbar ein physikalisches Grundmodell im Normalbetrieb ableiten.

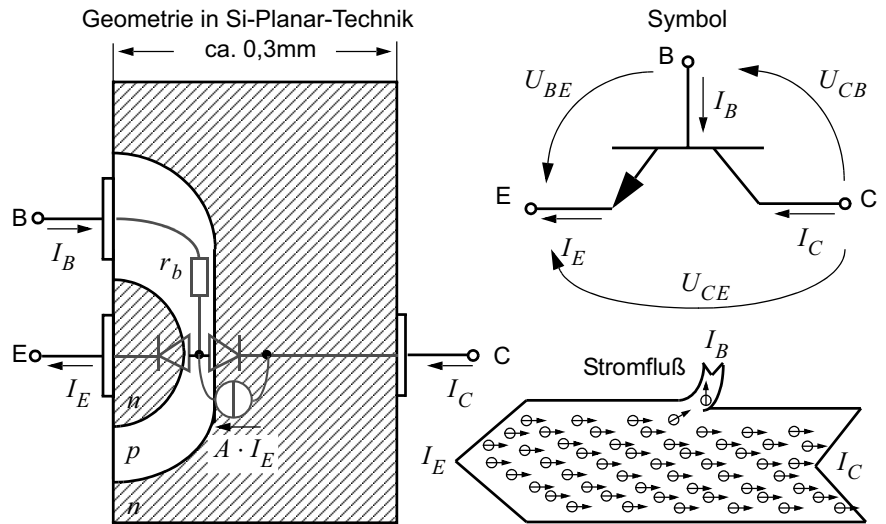


Bild 5.1-9: Physikalischer Aufbau des npn Bipolartransistors für Einzeltransistorfertigung

Der Bipolartransistor wird auf einer ca. $0,3\text{mm}$ dicken Si-Scheibe gefertigt. Dazu benötigt man Strukturierungs- und Dotierungsprozesse (z.B. Diffusionsprozesse) zur Herstellung und Dotierung der Basiszone und der darin eingelagerten Emitterzone. Komplexer stellt sich der Aufbau in planarer Technik dar (Bild 5.1-10), wenn der Transistor von seiner Umgebung isoliert werden soll. Dazu müssen zusätzlich zur Isolation des Transistorelements beitragende gesperrte pn-Übergänge vorgesehen werden, die eine Sperrschichtkapazität C_{CS} aufweisen. Die Bahnwiderstände r_{ex} und r_{cx} können in der Regel vernachlässigt werden.

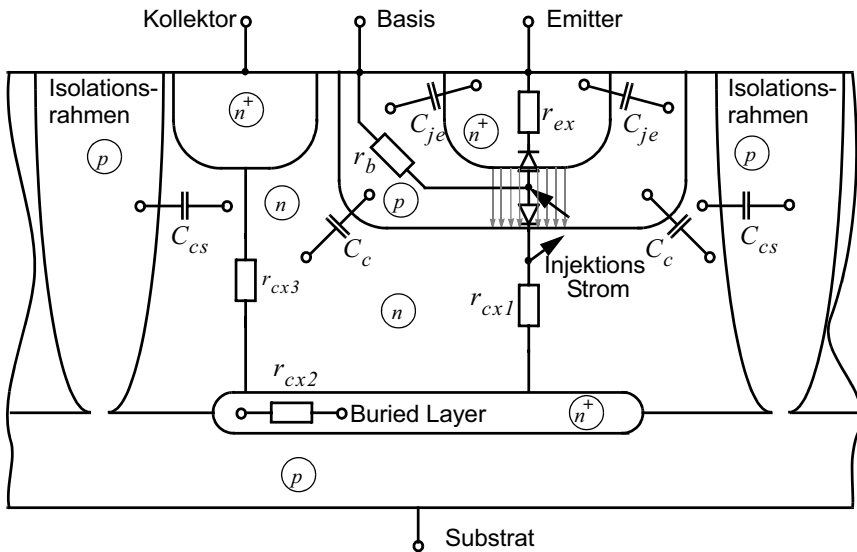


Bild 5.1-10: Physikalischer Aufbau eines planaren npn-Bipolartransistors mit isolierenden pn-Übergängen für integrierte Anwendungen

Transistoreffekt: Die aktive Zone des Transistors zeigt modellhaft stark vereinfacht Bild 5.1-11 in einer linearen (nur von x abhängigen) Darstellung. An der Grenzschicht zwischen Emitter und Basis (bei $x = 0$) gelangen aufgrund der Flussspannung an der Emitter-Basis Diode Elektronen in die Basiszone (Elektronendichte an der Grenzschicht: $n_p(0)$ gesteuert durch U_{BE}). Die Ladungen der Elektronen Q_e in der Basiszone bilden ein „Ladungsdreieck“, da bei $x = w_B$ die Elektronendichte im Normalbetrieb gleich Null ist. Ursache für die Abnahme der Elektronendichte ist: Elektronen bei $x = w_B$ gelangen in den Einflussbereich der in der gesperrten Kollektor-Basis Raumladungszone vorherrschenden Feldstärke und werden daher zum niedrigeren Energieniveau (verursacht durch die Sperrspannung U_{CB}) der Kollektorzone hin „abgesaugt“. Dieser Effekt begründet mit dem Injektionsstrom $A \cdot I_E$ den eigentlichen Transistoreffekt. Voraussetzung des Transistoreffekts ist eine hinreichend kleine Basisweite w_B und eine geringe Dotierung der Basiszone. Damit wird die Rekombinationsrate in der Basiszone klein gehalten. Der überwiegende Teil der vom Emitter emittierten Elektronen gelangt in den Ein-

flussbereich der Feldstärke der Raumladungszone am Kollektor-Basis Übergang. Die von beweglichen Ladungsträgern freie Kollektor-Basis-Raumladungszone ist um so breiter, je höher die Sperrspannung ist. Mit breiter werdender Raumladungszone vermindert sich die effektive Basisweite. Der Kollektor-Basis Raumladungszone kann eine spannungsabhängige Sperrschichtkapazität (C_C) und der in Flussrichtung betriebenen Emitter-Basis Diode eine Diffusionskapazität ($C_{b'e}$) zwischen der inneren Basis B' und dem Emitter E zugeordnet werden.

Das Konzentrationsgefälle der freien Ladungsträger (Elektronendichte: $n_p(x)$) in der Basiszone begründet einen Diffusionsstrom, der um so größer ist, je steiler die Ladungsträgerdichte abfällt. Der Transistoreffekt ist um so ausgeprägter, je mehr vom Emitter emittierte Elektronen bis zur Raumladungsgrenze $x = w_B$ gelangen und dort zum Kollektor hin „abgesaugt“ werden. Es sollten möglichst wenig Ladungsträger in der Basiszone rekombinieren. Dies ist um so besser gegeben, je kleiner die Basisweite w_B ist und je geringer die Defektelektronendichte in der Basiszone ist. In diesem Fall ist der Rekombinationsstrom in der Basiszone sehr klein, der Injektionsstrom (dargestellt durch die Stromquelle $A \cdot I_E$) ist dann mit $A \approx 1$ nahezu gleich dem Emitterstrom.

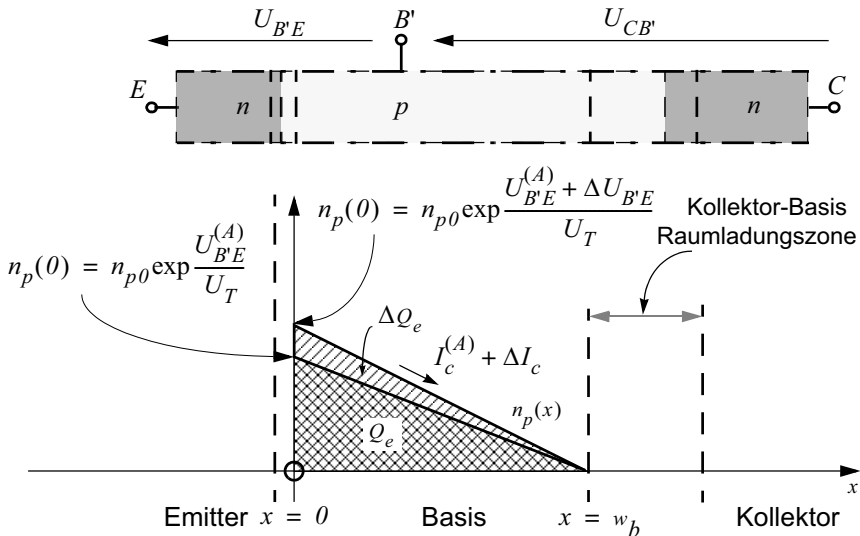


Bild 5.1-11: Ladungsträgerkonzentration der freien Elektronen (Minoritätsträger) – „Ladungsdreieck“ – in der Basiszone im Normalbetrieb

Basisbahnwiderstand: Die „innere“ Basis B' wird über einen räumlich sehr engen Kanal (w_B liegt im μm -Bereich) mit geringer Defektelektronendichte nach außen (Anschluss B) geführt. Das bedeutet, dass der Basisbahnwiderstand r_b signifikante Werte (typisch ca. 100Ω bzw. bis zu einigen 100Ω) annehmen kann.

Early-Effekt: Je größer die Sperrspannung an der Kollektor-Basis-Diode ist, um so breiter wird die Raumladungszone. Die breitere Raumladungszone vermin-

dert die effektive Basisweite. Damit „verbessert“ sich der Transistoreffekt, es erhöht sich die Stromverstärkung. Charakterisiert wird der Early-Effekt durch die Early-Spannung V_A . Bei konstantem Basisstrom erhöht sich mit zunehmender Sperrspannung U_{CE} damit der Kollektorstrom. Die Auswirkungen des Early-Effekts auf das Ausgangskennlinienfeld zeigt Bild 5.1-12. Darüber hinaus vermindert der Early-Effekt den Innenwiderstand der am Kollektorausgang wirksamen Stromquelle (siehe r_0 im Kleinsignalmodell in Bild 5.1-13).

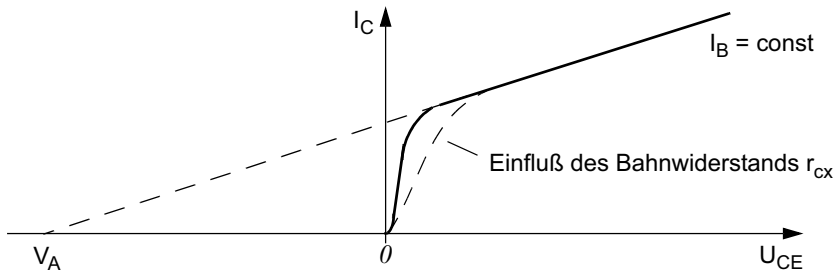


Bild 5.1-12: Early-Effekt und seine Auswirkungen auf das Ausgangskennlinienfeld

Erläuterung des Kleinsignalmodells im Normalbetrieb: Der Emitterstrom ist gleich dem Strom der in Flussrichtung betriebenen Emitter-Basis Diode ($I_E \approx I_S \exp(U_{B'E}/U_T)$). Das Verhalten der Diode wurde in Abschnitt 2.2.3 dargestellt. Es gelten die dort eingeführten Modellbeschreibungen für einen pn-Übergang. Aufgrund des Transistoreffekts ist der Kollektorstrom annähernd gleich dem Emitterstrom ($I_C \approx I_E$). Bei Kleinsignalansteuerung lässt sich im Arbeitspunkt eine Linearisierung des exponentiell verlaufenden Diodenstroms in Form einer Reihenentwicklung vornehmen. Die Signalamplitude am Eingang des Transistors sollte für die Gültigkeit der Linearisierung dabei nicht größer als einige $10mV$ sein. Bei einer typischen Spannungsverstärkung von ca. 200 entstehen dabei Ausgangsspannungsänderungen von einigen Volt Amplitude. Insofern widerspricht diese Einschränkung praktischen Aufgabenstellungen nicht. Es gilt näherungsweise:

$$I_C \approx I_S \cdot \exp\left(\frac{U_{B'E}}{U_T}\right) = I_C^{(A)} + g_m \Delta U_{B'E}; \quad (5.1-1)$$

Dabei ist g_m die Steilheit im Arbeitspunkt. Sie bestimmt sich mit U_T als Temperaturspannung (bei Normaltemperatur ist: $U_T = 26mV$) aus:

$$g_m = \frac{I_C^{(A)}}{U_T} = \frac{\alpha_0}{r_e}; \quad (5.1-2)$$

Werden nur die Änderungsgrößen im Arbeitspunkt betrachtet, so lässt sich die in Flussrichtung betriebene Emitter-Basis Diode linearisieren und durch einen differentiellen Widerstand $r_e = I_E^{(A)}/U_T$ ersetzen. Formal wird für die Stromverstärkung $A = I_C/I_E$ die „Änderungsstromverstärkung“ $\alpha_0 = \Delta I_C/\Delta I_E$ eingeführt. In gleicher Weise verfährt man für die Stromverstärkung $B = I_C/I_B$ und führt die „Änderungsstromverstärkung“ $\beta_0 = \Delta I_C/\Delta I_B$ ein. Mit der später noch zu erklä-

renden Umrechnung der Transistoreffekt-Stromquelle ($g_m \cdot U_x$ von C' nach E' wirkend) erhält man für Kleinsignalanwendungen (Änderungen im Arbeitspunkt) eines BJT im Normalbetrieb das in Bild 5.1-13 skizzierte Kleinsignalmodell.

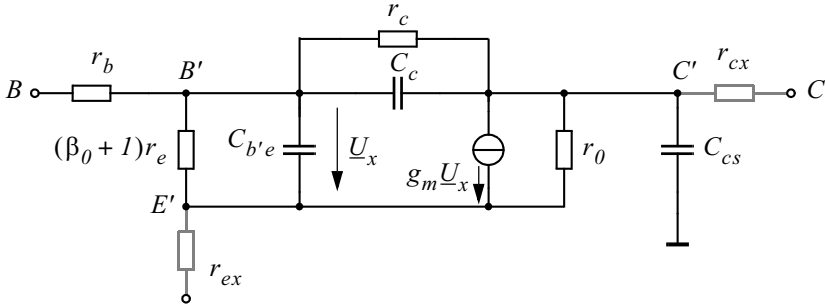


Bild 5.1-13: Kleinsignalmodell eines Bipolartransistors im Normalbetrieb

Substratkapazität: Aufgrund der in Bild 5.1-10 skizzierten Maßnahmen zur Trennung von Transistorelementen in planarer Aufbauweise ergibt sich eine Substratkapazität C_{CS} , die den Kollektorausgang belastet.

Sperrschichtkapazität und Diffusionskapazität: Die Sperrschichtkapazität C_{jC} bzw. C_c der gesperrten Kollektor-Basis-Diode ist neben der Diffusionskapazität der Emitter-Basis Diode $C_{b'e}$ (siehe Abschnitt 2.2.3) für das Frequenzverhalten ausschlaggebend. Die Sperrschichtkapazität ist abhängig von der Sperrspannung an der gesperrten Diodenstrecke. Bild 5.1-14 zeigt in einem Datenblattauszug typische Werte für die Sperrschichtkapazität. Die Diffusionskapazität eines in Flussrichtung betriebenen pn-Übergangs beschreibt die Trägheit der Ladungsträger bei einer Spannungsänderung, sie hängt ab vom Flussstrom im Arbeitspunkt.

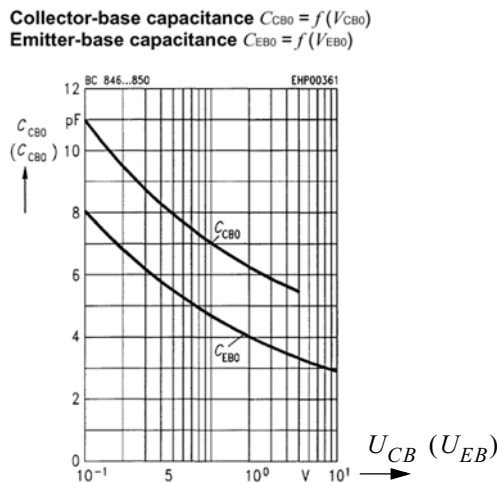


Bild 5.1-14: Sperrschichtkapazität C_c einer gesperrten Diodenstrecke (Datenblattauszug)

Die Modellparameter des Kleinsignalmodells für AC-Analyse im Arbeitspunkt sind in nachstehender Tabelle mit Hinweisen auf einschlägige Spice-Parameter erläutert.

Tabelle 5.1 - 2: Parameter AC-Modell

Name	typ. Wert	Bedeutung	PSpice-Parameter
α_0	$\alpha_0 = 0.995$	Stromverstärkung $\alpha_0 = \Delta I_C / \Delta I_E$	
β_0	$\beta_0 = 200$	Stromverstärkung $\beta_0 = \Delta I_C / \Delta I_B$	BF, BR
r_e	$r_e = U_T / I_E^{(A)}$	Differenzieller Widerstand der Emitter-Basis Diode	
r_b	$r_b = \text{einige } 100\Omega$	Basisbahnwiderstand	RB, RBM, IRB
r_{ex}	vernachlässigbar	Bahnwiderstand der Emitterzone	RE
r_{cx}	vernachlässigbar	Bahnwiderstand der Kollektorzone	RC
r_0	$\frac{I}{r_0} \approx I_C^{(A)} / V_A$ $r_0 \approx (1/g_m) \cdot V_A / U_T$	Early-Effekt mit V_A als Early-Spannung: Innenwiderstand der Stromquelle am Kollektor mit Wirkung zum Emitter	VA, VAR
r_c	$r_c \approx M\Omega$	Sperrwiderstand der Kollektor-Basis Diode	
τ_F	$\tau_F \approx Q_e / I_C$	Transitzeit der Ladungsträger in der Basiszone: begründet die Diffusionskapazität	TF, XTF, VTF, ITF, PTF, TR
C_b	$C_b \approx \tau_F \cdot g_m$	Diffusionskapazität der in Flussrichtung betriebenen Emitter-Basis Diode: die Stromänderung reagiert verzögert auf ein ΔU	
C_{je}	$C_{je0} / (1 - U_{be} / V_{je})$	Sperrschichtkapazität zwischen B' und E	CJE, VJE, MJE

Tabelle 5.1 - 2: Parameter AC-Modell

Name	typ. Wert	Bedeutung	PSpice-Parameter
$C_{b'e}$	$C_{b'e} = C_b + C_{je}$	Gesamtkapazität zwischen B' und E; C_{je} ist vernachlässigbar	
C_{jc}	$C_{jc} = \frac{C_{jc0}}{(1 - U_{cb'}/V_{jc})}$	Sperrschichtkapazität zwischen B' und C; sie beträgt einige pF	CJC, VJC, MJC
τ_T	$\tau_T \approx 1/\omega_T$ $\tau_T \approx \frac{(C_b + C_{je} + C_{jc})}{g_m}$	Zusammenhang der Transitfrequenz mit den Kapazitätsangaben	

Soll der Bipolartransistor als Verstärkerelement verwendet werden, so muss der Arbeitspunkt so gewählt werden, dass Normalbetrieb vorliegt. Das in Bild 5.1-13 angegebene Kleinsignalmodell gilt nur im Normalbetrieb. Darüber hinaus gibt es insgesamt vier Betriebsarten.

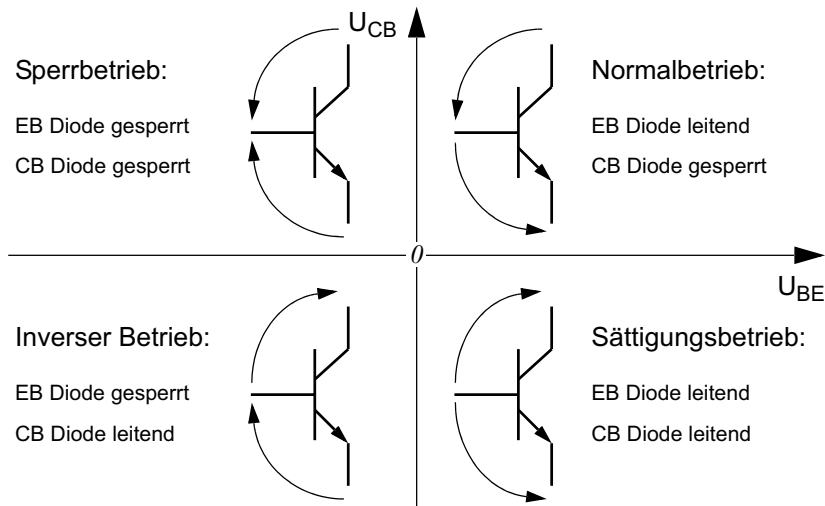
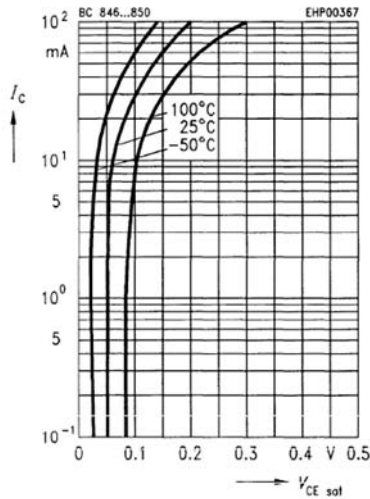


Bild 5.1-15: Betriebsarten des Bipolartransistors entsprechend der gegebenen Vorspannung

Sättigungsbetrieb: Im Sättigungsbetrieb sind beide Dioden leitend, der Transistor wird am Kollektorausgang sehr niederohmig (typisch einige Ω mit induktiver Komponente). Das Verhalten als gesteuerte Stromquelle geht verloren. Die Stromverstärkung B geht dramatisch zurück. Die Sättigungsspannung $U_{CE,sat}$ beträgt typisch $0,1V$. Um den Sättigungsbetrieb zu vermeiden, sollte $U_{CE} > 0,5V$ sein.

Collector-emitter saturation voltage

$$I_C = f(V_{CEsat}), h_{FE} = 20$$

**Bild 5.1-16:** Sättigungsspannung $U_{CE,sat}$

Sperrbetrieb: Beide Diodenstrecken sind gesperrt und damit hochohmig. Es gilt das in Abschnitt 2.2.3 dargestellte Sperrverhalten für beide gesperrten pn-Übergänge.

Inverser Betrieb: Der Emitter wird zum Kollektor und umgekehrt. Wegen der ungünstigeren Geometrieverhältnisse ergibt sich eine sehr viel kleinere inverse Stromverstärkung B_R . Der Inversbetrieb stellt sich ein, wenn Emitter und Kollektor vertauscht werden.

5.1.3 DC-Modellvarianten

Für die DC-Analyse benötigt man ein dafür geeignetes vereinfachtes Modell, um das Schaltungsverhalten abschätzen zu können. Dies gilt insbesondere für die Bestimmung des Arbeitspunktes von Transistoren. Das DC-Modell wurde bereits in Bild 5.1-2 vorgestellt. Es sollen nun daraus abgeleitete Modellvarianten eingeführt werden. Mit

$$I_E = I_C + I_B; \quad (5.1-3)$$

lässt sich ein neues Modell ableiten dessen Ausgangsstromquelle von I_B gesteuert wird. Gleichzeitig ergibt sich, dass dann der Sperrstrom I_{CB0} mit $B+1$ multipliziert eingeht. Das heißt, wenn die Basis mit einer äußeren Stromquelle angesteuert wird, geht der Sperrstrom am Ausgang mit $(B+1) \cdot I_{CB0}$ wesentlich stärker ein. Diese Eigenschaft hat erhebliche Konsequenzen zum Beispiel für die Arbeitspunktstabilität.

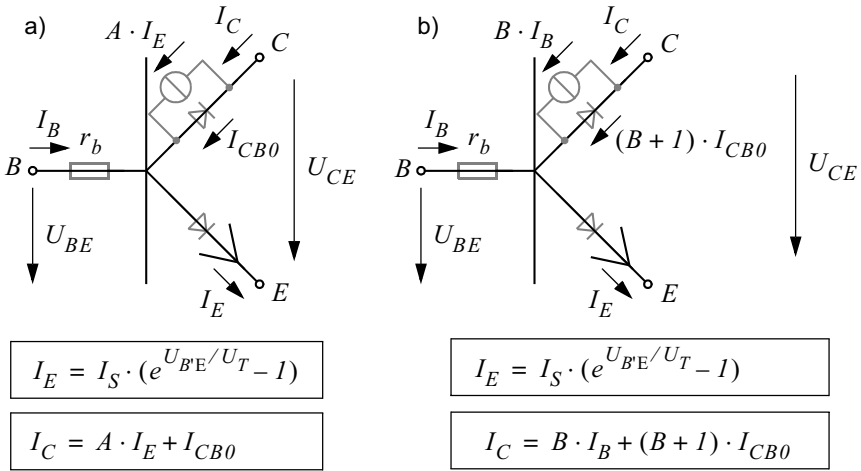


Bild 5.1-17: DC-Modell eines npn-Transistors im Normalbetrieb; a) gesteuert durch I_E (z.B. durch äußere Stromquelle); b) gesteuert durch I_B

Neben der Modellvariante in Bild 5.1-17b) kann man eine weitere Modellvariante dadurch bilden, dass man die Injektionsstromquelle vom Kollektor zum Emitter wirken lässt (Bild 5.1-18). Allerdings muss dann der Strom durch die Emitter-Basis Diode auf den Wert $I_E/(B+1)$ korrigiert werden. Das ist schon allein deshalb erforderlich, da jetzt der Hauptstrom an der Emitter-Basis Diode vorbei fließt. Das Klemmenverhalten des Modells in Bild 5.1-18 ist unverändert gegenüber den Modellangaben in Bild 5.1-17, da $A+1/(B+1) = 1$ ist. Der Kollektorstrom I_C , der Emitterstrom I_E und damit auch der Basisstrom I_B ist identisch gegenüber den bisher betrachteten Modellen. Man nennt diese Modellvariante auch Transport-Modell.

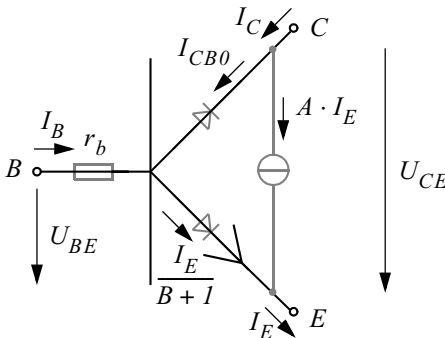


Bild 5.1-18: Transport-Modell eines npn-Transistors im Normalbetrieb

Experiment 5.1-3: Ausgangskennl_{IB} – Ausgangskennlinien mit I_B als Parameter

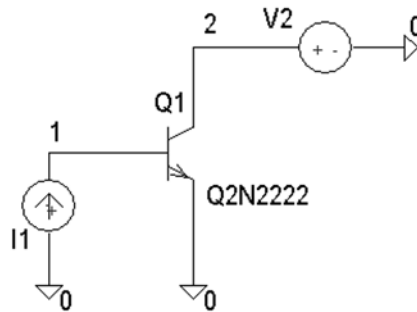


Bild 5.1-19: Testschaltung zur Bestimmung der Ausgangskennlinien mit I_B als Parameter

In dieser Darstellung der Ausgangskennlinien zeigt sich der bereits erläuterte Early-Effekt. Bei größerer Sperrspannung der Kollektor-Basis Diode verringert sich die effektive Basisweite aufgrund der breiter werdenden Raumladungszone. Als Folge davon steigt die Stromverstärkung B . Das heißt bei konstantem Basisstrom ergibt sich mit zunehmender Sperrspannung U_{CE} ein größerer Kollektorstrom. Die Ausgangskennlinien sind nach oben geneigt.

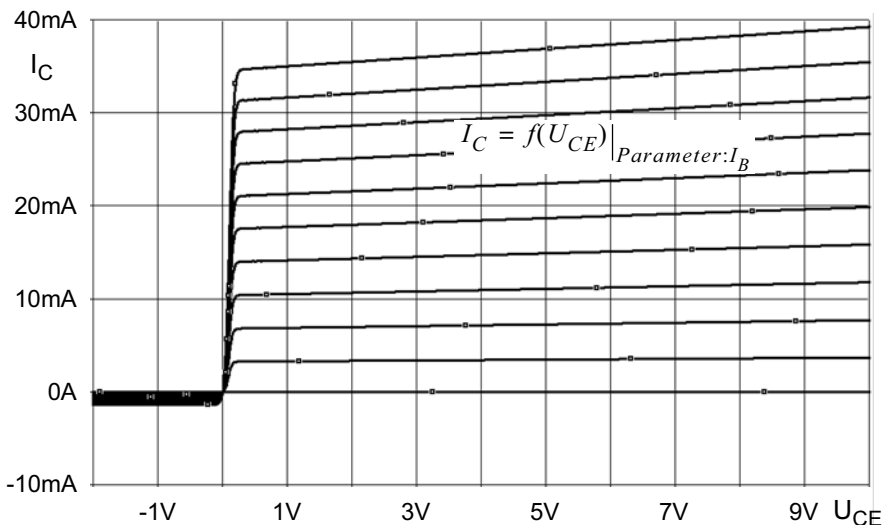


Bild 5.1-20: Ausgangskennlinien mit I_B als Parameter

Bei negativem U_{CE} ist die Kollektor-Basis Diode leitend und die Emitter-Basis Diode gesperrt, der Transistor arbeitet im Inversbetrieb. Die Stromverstärkung im Inversbetrieb ist wegen der ungünstigeren geometrischen Verhältnisse wesentlich kleiner. Das Kennlinienbild zeigt im Beispiel aber deutlich die Auffächerung bei inversem Betrieb.

5.1.4 AC-Modellvarianten

Bei Linearisierung im Arbeitspunkt lassen sich vereinfachte Modelle für den Bipolartransistor im Normalbetrieb einführen. Die AC-Modelle bilden die Grundlage für die AC-Abschätzanalyse.

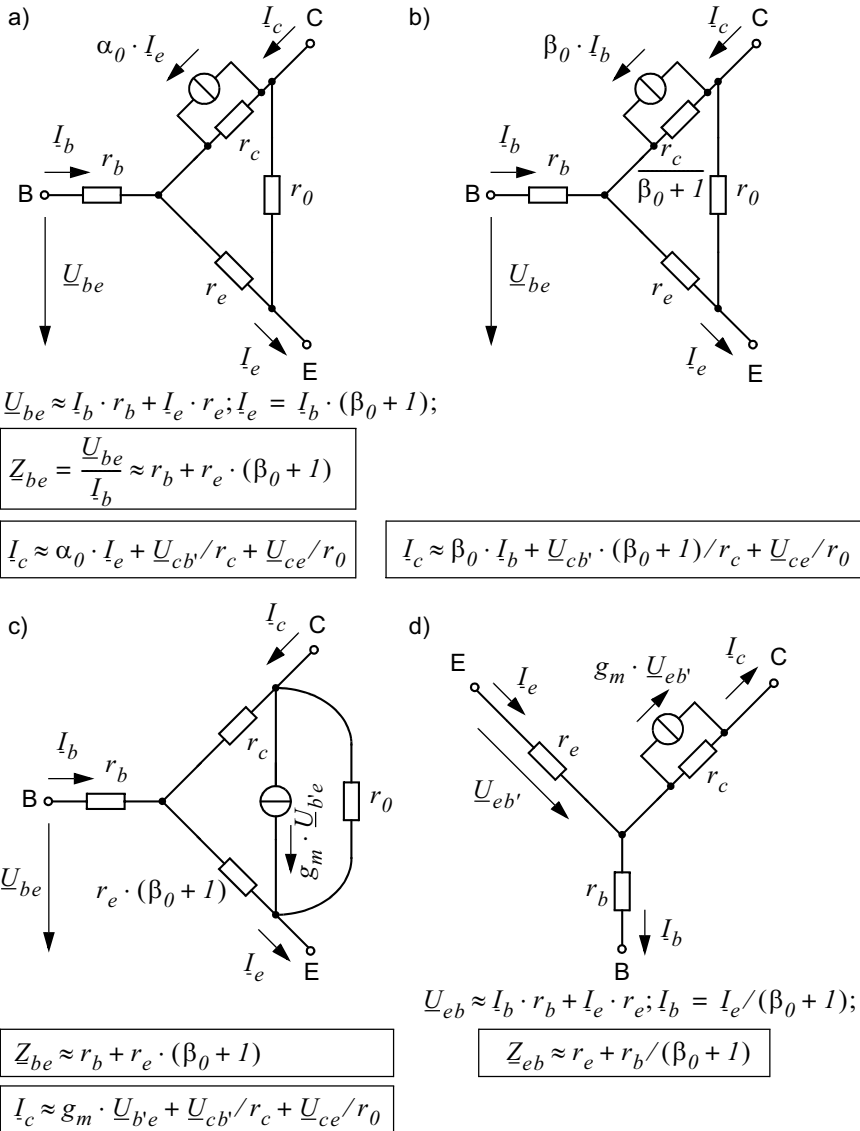


Bild 5.1-21: Modellvarianten für AC-Modelle bei Kleinsignalanalyse im unteren Frequenzbereich: a) Stromquellensteuerung durch I_e ; b) Stromquellensteuerung durch I_b ; c) Spannungssteuerung durch $\underline{U}_{be}$; d) Spannungssteuerung durch $\underline{U}_{eb'}$.

Neben dem bereits in Bild 5.1-13 vorgestellten AC-Modell sind bei der Schaltungsanalyse weitere Modellvarianten für die Abschätzanalyse oft sehr zweckmäßig und hilfreich. Grundsätzlich kann der Bipolartransistor mit einer äußeren Stromquelle am Emitter, mit einer äußeren Stromquelle an der Basis oder mit einer äußeren Spannung zwischen Basis und Emitter angesteuert werden. Daraus ergeben sich weitere gleichberechtigte Modellvarianten (siehe Bild 5.1-21). Die Variante in Bild 5.1-21a) ergibt sich direkt aus Bild 5.1-2 bei Linearisierung der Emitter-Basis Diode im Arbeitspunkt. Die linearisierte Emitter-Basis Diode im Arbeitspunkt wird durch r_e repräsentiert. Bei Einführung eines Sperrwiderstandes für die gesperrte Kollektor-Basis Diode im Normalbetrieb erhält man den hochohmigen Sperrwiderstand r_c . Der eigentliche Transistoreffekt wird nachgebildet durch den Injektionsstrom $\alpha_0 \cdot I_e$.

Ersetzt man den Strom I_e der Injektionsstromquelle durch I_b , so erhält man die Variante nach Bild 5.1-21b). Die gesteuerte Stromquelle ist jetzt durch $\beta_0 \cdot I_b$ charakterisiert. Der Sperrwiderstand der Kollektor-Basis Diode muss dann auf $r_c / (\beta_0 + 1)$ korrigiert werden. Im Weiteren ist es naheliegend, die den Transistoreffekt beschreibende Stromquelle $\alpha_0 \cdot I_e$ mit $\alpha_0 \cdot I_e = g_m \cdot \underline{U}_{be}$ über die Steilheit durch die Änderung der Spannung an der Emitter-Basis Diode zu ersetzen (Variante Bild 5.1-21c). Lässt man diese Stromquelle nicht vom Kollektor zur inneren Basis, sondern zum Emitter wirken, so ist der differenzielle Widerstand r_e durch $r_e \cdot (\beta_0 + 1)$ zu ersetzen, da dann der Hauptstromfluss nicht mehr über r_e fließt.

Am häufigsten verwendet wird Variante c); Variante d) ist interessant bei Spannungssteuerung des Emittereingangs (z.B. Basisschaltung). Die AC-Modelle sind für npn- und pnp-Transistoren gleich. Hinsichtlich der Änderungen im Arbeitspunkt weisen die Bipolartransistoren gleiches Verhalten auf. Bei Frequenzen oberhalb ca. 1MHz ist r_c zu ersetzen durch die Sperrschichtkapazität C_c . Zum differentiellen Widerstand r_e schaltet sich parallel die Diffusionskapazität C_b (siehe Bild 5.1-22).

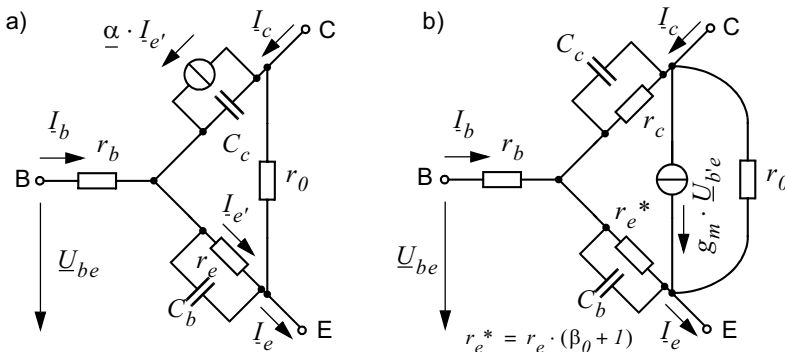


Bild 5.1-22: Modellvarianten für AC-Analyse bei Frequenzen oberhalb ca. 1MHz

Näherungsweise gilt für die Frequenzabhängigkeit der Stromverstärkung mit f_T als Transitfrequenz (Angabe im Datenblatt):

$$\underline{\alpha} = \alpha_0 \cdot \frac{1}{1 + j \cdot f/f_T}; \quad \underline{\beta} = \beta_0 \cdot \frac{1}{1 + j \cdot (f/f_T) \cdot (\beta_0 + 1)}; \quad (5.1-4)$$

Die eingeführten Modellvarianten sind für die Schaltungsanalyse und die Dimensionierung von Schaltungen mit Bipolartransistoren unverzichtbar. Bei geeigneter Wahl einer Modellvariante lassen sich ohne große Zwischenrechnungen Eigenschaften von Schaltungen direkt ablesen.

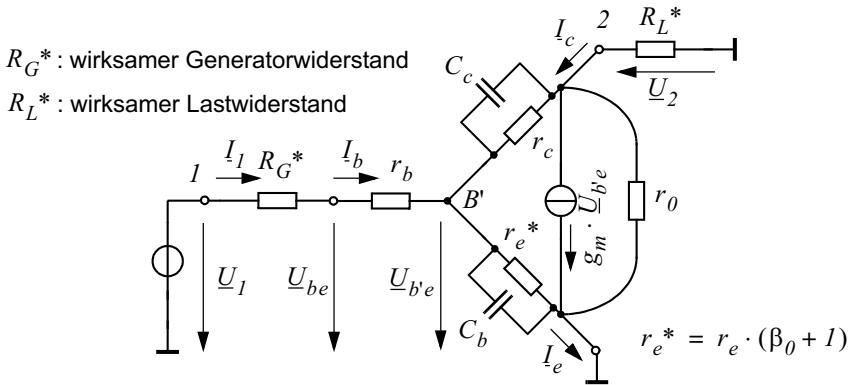


Bild 5.1-23: AC-Ersatzschaltbild einer Verstärkerstufe angesteuert an Basis, Ausgang am Kollektor; bei unteren bis mittleren Frequenzen ist $\underline{U}_2/\underline{U}_{b'e} \approx g_m \cdot (R_L^* \parallel r_0 \parallel r_c)$

Abschätzanalyse am Beispiel von Bild 5.1-23: Gegeben sei eine Verstärkerschaltung mit Ansteuerung an der Basis. Die Schaltung sei abgeschlossen mit einem wirksamen Lastwiderstand R_L^* am Kollektorausgang. Das Verstärkerelement wird im Arbeitspunkt im Normalbetrieb betrieben. Damit ergibt sich das AC-Ersatzschaltbild dargestellt in Bild 5.1-23. Am Knoten 2 wirkt als Lastimpedanz:

$$\underline{Z}_L = R_L^* \parallel r_0 \parallel r_c \parallel (1/(j\omega C_c)); \quad (5.1-5)$$

Der Early-Widerstand r_0 liegt in der Größenordnung von einigen $10k\Omega$, der Sperrwiderstand r_c ist wesentlich hochohmiger, er wird meist vernachlässigt. Für die innere Verstärkung von der inneren Basis B' nach Knoten 2 erhält man:

$$\underline{v}_{u, \text{innen}} = \underline{U}_2/\underline{U}_{b'e} = g_m \cdot \underline{Z}_L; \quad (5.1-6)$$

Bei Vernachlässigung von r_c wirkt am Knoten B' die Sperrschichtkapazität unter Anwendung der Transimpedanzbeziehung (siehe Abschnitt 4.2.5) mit:

$$\underline{C}_{c, \text{innen}} = C_c \cdot (1 + g_m \cdot \underline{Z}_L); \quad (5.1-7)$$

welche das Frequenzverhalten maßgeblich beeinflusst. Zusammen mit dem Bahnwiderstand r_b und dem Generatorwiderstand R_G^* bildet die transformierte Rückwirkungskapazität $\underline{C}_{c, \text{innen}}$ am inneren Basisanschluss B' ein Tiefpasselement. Ohne aufwendige rechnerische Analyse lassen sich aus dem geeigneten Ersatzschaltbild wesentliche Eigenschaften des Verstärkerelementes ablesen.

5.1.5 Rauschen eines BJT-Verstärkers

Wie bereits in Abschnitt 4.1.4 ausgeführt, weisen Halbleiterbauelemente innere Rauschquellen auf, die zu einem Zusatzrauschen führen und damit die Rauschzahl des Verstärkers verschlechtern. Insbesondere in Anwendungen, wo sehr schwache Signale verstärkt werden sollen, spielt das Rauschverhalten eine wichtige Rolle. Da es sich beim Rauschen immer um kleine Signale handelt, ist die Rauschanalyse der AC-Analyse dem gegebenen Arbeitspunkt zugeordnet. Allerdings handelt es sich beim Rauschen um statistisch verteilte Signale, so dass die spektrale Rauschleistungsdichte zugrunde gelegt werden muss. Es soll nunmehr die Verstärkerschaltung von Bild 5.1-23 mit Rauschquellen betrachtet werden. Zur Vereinfachung bleiben die Sperrschichtkapazität C_c , der Sperrwiderstand r_c , die Diffusionskapazität C_b und der Early-Widerstand r_0 unberücksichtigt.

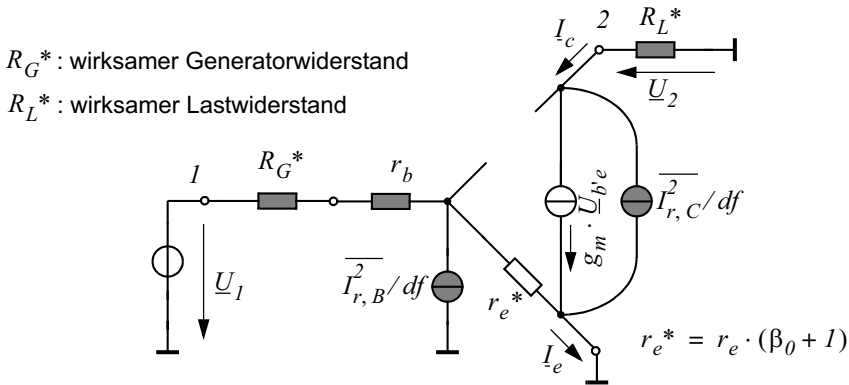


Bild 5.1-24: AC-Ersatzschaltbild einer Verstärkerstufe mit inneren Rauschquellen

Der Bipolartransistor bringt drei Rauschquellen ein. Der Basisbahnwiderstand weist Widerstandsrauschen auf. Im Arbeitspunkt liegt dem Basisstrom $I_B^{(A)}$ Schottrauschen und Funkelrauschen zugrunde, dem Kollektorstrom Schrotrauschen:

$$\begin{aligned} \overline{I_{r,B}^2}/df &= 2 \cdot q \cdot I_B^{(A)} + KF \cdot I_B^{(A)AF}/f; \\ \overline{I_{r,C}^2}/df &= 2 \cdot q \cdot I_C^{(A)}; \end{aligned} \quad (5.1-8)$$

Dabei ist q die Elementarladung, KF ist eine Prozesskonstante und AF ist der Exponent für Funkelrauschen. Typischerweise ist $AF = 1$. Die Leistungen der einzelnen Rauschbeiträge summieren sich am Ausgang und ergeben am Knoten 2 die mittlere äquivalente Rauschspannung $\overline{U_{r,ges}}$. Jeder einzelne Rauschbeitrag wird durch das Netzwerk bewertet.

Der Verstärker möge eine äquivalente Rauschbandbreite B_r aufweisen. Dann ergeben sich die in der nachstehenden Tabelle aufgeführten Rauschbeiträge mit deren Bewertungen am Summenpunkt am Ausgang. Um frequenzunabhängige spektrale Rauschbeiträge zu erhalten, wird der Einfachheit halber der Beitrag des

Funkelrauschens ($1/f$ Rauschen) weggelassen. Dann ist die Integration des spektralen Rauschbeitrags über der Frequenz identisch mit der Multiplikation der äquivalenten Rauschbandbreite B_r . Die Berücksichtigung frequenzabhängiger Rauschbeiträge und deren frequenzabhängige Bewertung durch ein frequenzabhängiges Netzwerk macht die Rauschanalyse wesentlich aufwendiger.

Tabelle 5.1 - 1: Rauschbeiträge

Element	Beitrag zu $\bar{U}_{r, ges}$
$R_G^* + r_b$	$\bar{U}_{r,1} = \sqrt{4 \cdot k \cdot T \cdot B_r \cdot (R_G^* + r_b)} \cdot g_m \cdot R_L^*$
R_L^*	$\bar{U}_{r,2} = \sqrt{4 \cdot k \cdot T \cdot B_r \cdot R_L^*}$
$\overline{I_{r,B}^2 / df}$	$\bar{U}_{r,3} = \sqrt{2 \cdot q \cdot I_B^{(A)} \cdot B_r} \cdot \frac{g_m \cdot R_L^*}{(\beta_0 + 1) \cdot r_e \parallel (R_G^* + r_b)}$
$\overline{I_{r,C}^2 / df}$	$\bar{U}_{r,4} = \sqrt{2 \cdot q \cdot I_C^{(A)} \cdot B_r} \cdot R_L^*$

Damit erhält man als Gesamttrauschspannung (Effektivwert) am Ausgang:

$$\bar{U}_{r, ges} = \sqrt{\bar{U}_{r1}^2 + \bar{U}_{r2}^2 + \bar{U}_{r3}^2 + \bar{U}_{r4}^2}; \quad (5.1-9)$$

5.1.6 Simulationsmodell in VHDL-AMS

Für eine allgemeine dynamische Analyse ist eine allgemein gültige, nicht auf eine Betriebsart festgelegte, Modellbeschreibung erforderlich. In den üblichen Spice-Simulatoren sind die Modellgleichungen im Simulator „hart“ codiert enthalten. Die Eigenschaften eines bestimmten Transistors lassen sich dabei durch geeignet gewählte Modellparameter einstellen. Ein für einen Transistor gültiger Modellparametersatz ist in einer Model Library abgelegt. Die Referenzierung auf den Modellparametersatz in einer registrierten Model Library erfolgt durch bestimmte Attribute am Symbol des Transistors. Anders verhält es sich bei einer Schaltungsbeschreibung mit der Hardwarebeschreibungssprache VHDL-AMS. Dort kann der Anwender eigene Modelle einführen. Selbstverständlich ist es auch möglich, ein in einer Library verfügbares Modell zu verwenden. Nachstehend ist beispielhaft eine Modellbeschreibung für einen Bipolartransistor vom Typ *nnp* dargestellt. Die Modellgleichungen und die zugehörigen Parameter sind entsprechend kommentiert.

```
library IEEE, IEEE_proposed;
use IEEE.math_real.all;
```

```

use IEEE_proposed.electrical_systems.all;
use IEEE_proposed.fundamental_constants.all;
entity Transistor is
  generic
    (iss : current := 1.0e-16; -- Transport saturation current
      nr : real := 1.0; --Reverse current emission coefficient
      nf : real := 1.0; --Forward current emission coefficient
      br : real := 1.0;      -- Ideal maximum reverse beta
      bf : real := 100.0;    -- Ideal maximum forward beta
      isc : current := 0.0; -- Leakage current collector diode
      nc : real := 2.0;      -- BC leakage emission coefficient
      ise : current := 0.0;  -- Leakage current emitter diode
      ne : real := 1.5; --BE leakage emission coefficient
      vaf : voltage := 1.0e15; -- Forward early voltage
      var : voltage := 1.0e15; -- Reverse early voltage
      ikf : current := 1.0e15; -- Corner current (forward)
      ikr : current := 1.0e15; -- Corner current (reverse)
      nkf : real := 0.5; -- Exp. for high current beta roll-off
      rb : resistance := 0.0; -- Zero bias base resistance
      rc : resistance := 0.0; -- Collector resistance
      re : resistance := 0.0; -- emitter resistance
      cjc : capacitance := 0.0; --BC zero bias depletion capacit.
      vjc : voltage := 0.75;  -- BC built in potential
      mjc : real := 0.33; -- BC junction exponential factor
      cje : capacitance := 0.0; --BE zero bias depletion cap.
      vje : voltage := 0.75;  -- BE built in potential
      mje : real := 0.33; -- BE junction exponential factor
      fc : real := 0.5; --Coeff.-> forward bias depletion cap.
      tf : real := 0.0;      -- Ideal forward transit time
      tr : real := 0.0;      -- Ideal reverse transit time
      temp : real := 300.0); --Parameter measurement temperature
    port (terminal collector, base, emitter : electrical);
end entity Transistor;
-- NPN-Transistor -----
architecture Levell_npn of Transistor is
  -- terminals
    terminal n1, n2, n3 : electrical;
  -- constants
    constant vt : real := temp * PHYS_K / PHYS_Q;
  -- branche quantities
    quantity vbc across ibcd1, ibcd2, ibcc, ibci through n2 to n1;
    quantity vbe across ibed1, ibed2, ibec, ibei through n2 to n3;
    quantity vce across ic through n1 to n3;
    quantity vbe_pin across base to emitter;
    quantity vce_pin across collector to emitter;
    quantity vbc_pin across base to collector;
    quantity vrb across irb through base to n2;
    quantity vrc across irc through collector to n1;
    quantity vre across ire through n3 to emitter;
  -- free quantities
    quantity cjco, cjem : real;
    quantity qb : charge := 1.0e-12;
    quantity q1, q2, qde, qdc : charge;

```

```

begin
-- collector_junction_capacitance
  if(vbc >= (fc*vjc)) use
    cjc == cjc/((1.0-fc)**(1.0+mjc))*(1.0-fc*(1.0+mjc)+mjc*vbc/vjc);
  else
    cjc == cjc*(1.0 - vbc/vjc)**(-1.0*mjc);
  end use;
-- emitter_junction_capacitance
  if(vbe >= (fc*vje)) use
    cjem == cje/((1.0-fc)**(1.0+mje))*(1.0-fc*(1.0+mje)+mje*vbe/vje);
  else
    cjem == cje*((1.0 - vbe/vje)**(-1.0*mje));
  end use;
-- currents base to collector
  ibcd1 == (iss*(exp(vbc/(nr*vt)) - 1.0))/br;
  ibcd2 == (isc*(exp(vbc/(nc*vt)) - 1.0));
  ibcc == cjc * vbc'dot;
  ibci == qdc'dot;
-- currents base to emitter
  ibed1 == (iss*(exp(vbe/(nf*vt)) - 1.0))/bf;
  ibed2 == (ise*(exp(vbe/(ne*vt)) - 1.0));
  ibec == cjem * vbe'dot;
  ibei == qde'dot;
-- currents through the resistors
  vrb == irb * rb;
  vrc == irc * rc;
  vre == ire * re;
-- charge
  qb == q1/2.0 * (1.0 + (abs(1.0 + 4.0*q2))**nkf);
  q1 == 1.0/(1.0 - vbe/var - vbc/vaf);
  q2 == (ibcd1*br)/ikr + (ibed1*bf)/ikf;
  qde == (tf * ibed1 * bf);
  qdc == (tr * ibcd1 * br);
-- current node n1 to node n3
  ic == (ibed1*bf - ibcd1*br)/qb;
end architecture Levell_npn;

```

Die Modellgleichungen entsprechen dem Gummel-Poon Transistormodell. Ohne näher auf das Zustandekommen der Gleichungen einzugehen, soll das Modell im Prinzip erläutert werden (siehe Bild 5.1-25). Das Gummel-Poon Modell berücksichtigt u.a. mit Ladungseffekten die Ladungssteuerung, die stromabhängige Stromverstärkung, Rekombinationseffekte und den Early-Effekt. Im Gummel-Poon Modell werden Parameter teilweise anders bezeichnet. Die Diffusionsladung Q_{DE} der Basis-Emitter Diode entspricht beispielsweise der Minoritätsträgerladung Q_e in Bild 5.1-11 bzw. in Tab. 5.1-2. Ist die Kollektor-Basis Diode leitend, so ergibt sich entsprechend eine Diffusionsladung Q_{DC} . Die Stromquelle

$$(I_{bed1} \cdot BF - I_{bcd1} \cdot BR) \cdot \frac{Q_{B0}}{Q_B};$$

wirkt vom inneren Kollektor C' (Terminal $n1$) zum inneren Emitter E' (Terminal $n3$), sie entspricht dem Transportmodell. Die innere Basis B' ist Terminal $n2$.

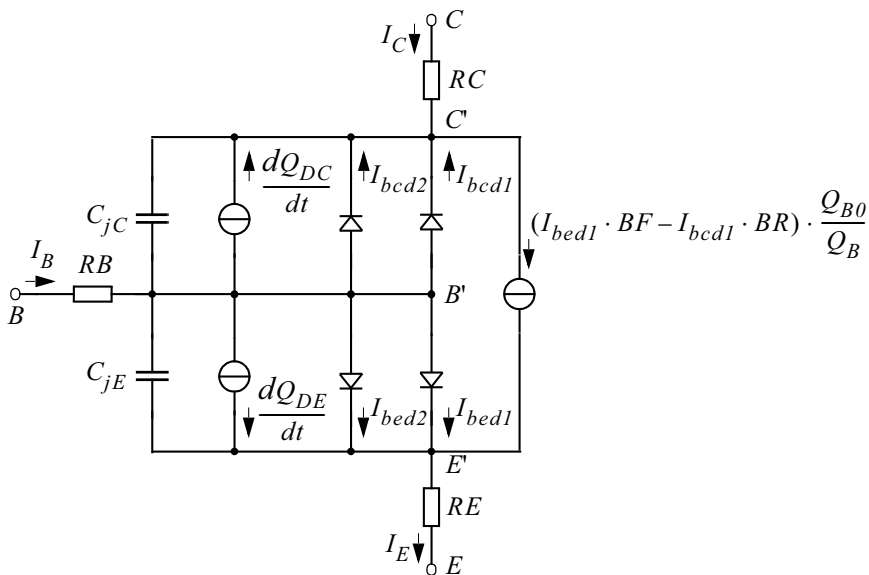


Bild 5.1-25: Dynamisches Modell eines NPN-Bipolartransistors

Zwischen den inneren Anschlüssen C' , B' , E' und den äußeren Anschlüssen C , B , E liegen die Bahnwiderstände RB , RC und RE , wobei meist RC und RE vernachlässigt wird. Ähnlich wie schon beim Diodenmodell in Abschnitt 2.2.3 wird sowohl für die Emitter-Basis Diode, als auch für die Kollektor-Basis Diode eine Korrekturdiode eingeführt, um die Rekombinationseffekte im Sperrbetrieb richtig beschreiben zu können. Der Strom durch die Emitter-Basis Diode I_{bed1} ist wie beim Transportmodell in Bild 5.1-18 und Bild 5.1-21c) um die Stromverstärkung vermindert. Gleiches gilt für I_{bcd1} . I_{bed2} und I_{bcd2} sind die Ströme der Korrekturdiode. Q_{DE} ist die Diffusionsladung der Emitter-Basis Diode, Q_{DC} die Diffusionsladung der Kollektor-Basis Diode. Damit wird der Auf- und Abbau der Diffusionsladungen in der Basiszone anstelle von Diffusionskapazitäten mit Stromquellen dQ/dt beschrieben. Q_B ist die Basisladung (enthält u.a. die Diffusionsladungen in der Basiszone), wobei $q_b = Q_B/Q_{B0}$ die auf die Basisgrundladung (ohne Vorspannung) normierte Ladung ist. Darin enthalten ist u.a. die Spannungsabhängigkeit der Raumladungszone des jeweils gesperrten pn-Übergangs und deren Rückwirkung auf die Basiszone (u.a. Early-Effekt). TF ist die Basislaufzeit im Normalbetrieb, TR die Basislaufzeit im Inversbetrieb. Näherungsweise gilt für die Diffusionsladung Q_{DE} im Normalbetrieb:

$$Q_{DE} \approx TF \cdot I_C; \quad (5.1-10)$$

und damit ergibt sich für die Diffusionskapazität:

$$C_{DE} = C_b = \frac{dQ_{DE}}{dt} \approx TF \cdot (I_C^{(A)} / U_T) \approx TF \cdot g_m; \quad (5.1-11)$$

Die spannungsabhängigen Sperrschichtkapazitäten C_{jC} und C_{jE} stehen für das kapazitive Verhalten eines gesperrten pn-Übergangs.

5.1.7 Seriengegengekoppelter Transistor

Der seriengegengekoppelte Transistor kann als „neuer“ Transistor mit veränderten Eigenschaften angesehen werden. Die Seriengegengkopplung macht den Eingang hochohmiger, verringert die Steilheit und erhöht den Innenwiderstand der Ausgangsstromquelle. Die Übertragungskennlinie des Transistors wird durch die Seriengegengkopplung „gescherter“. Die Steilheit verringert sich demnach auf ca. $1/R_{Sgk}$, wobei im Beispiel (Bild 5.1-26) $R_{Sgk} = R_E$ ist. Das Ausgangskennlinienfeld bleibt bezüglich U_{CE} unverändert. Am Kollektorausgang wirkt nach wie vor eine gesteuerte Stromquelle. Der Innenwiderstand am Ausgang des Transistors wird durch die Seriengegengkopplung hochohmiger. Dieser Sachverhalt wurde auch schon in Abschnitt 4.2.4 hergeleitet. Der Eingangswiderstand des seriengegengekoppelten Transistors ist:

$$Z_{BX} = (\beta_0 + 1) \cdot (r_e + R_E); \quad (5.1-12)$$

die Steilheit:

$$G_m = \frac{\alpha_0}{r_e + R_E} \approx \frac{1}{R_{Sgk}}; \quad (5.1-13)$$

Bild 5.1-26 zeigt den seriengegengekoppelten Transistor mit seiner geschernten Übertragungskennlinie und als Folge davon die geringere Steilheit.

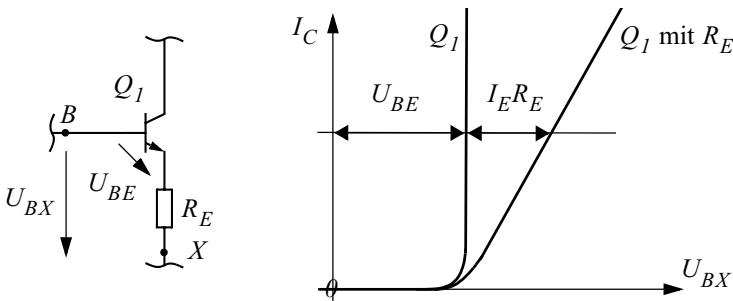


Bild 5.1-26: Seriengegengekoppelter Transistor: Q_1 mit R_E als Seriengegengkopplung bilden einen „neuen“ Transistor mit „gescherter“ Übertragungskennlinie

Als Ergebnis dieser Überlegungen erhält man für den „neuen“ Transistor das in Bild 5.1-27 skizzierte Modell. Die Injektionsstromquelle kann zum Anschluss X „heruntergezogen“ werden, wenn die Steilheit von g_m auf G_m korrigiert wird und zusätzlich der Seriengegengkopplungswiderstand, wie angegeben mit der Stromverstärkung multipliziert wird.

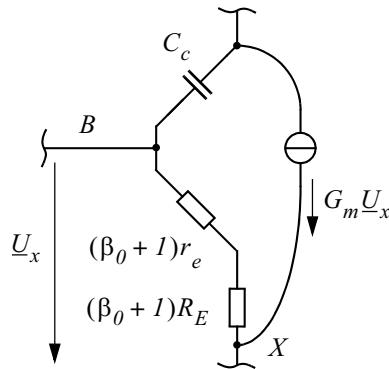


Bild 5.1-27: AC-Ersatzschaltbild eines seriengegekoppelten Transistors

Der Innenwiderstand am Ausgang des seriengegekoppelten Transistors wird für eine Abschätzung in zwei Schritten bestimmt. Zur Vereinfachung sei zunächst $r_0 \rightarrow \infty$, Berücksichtigung findet der Sperrwiderstand r_c am Ausgang.

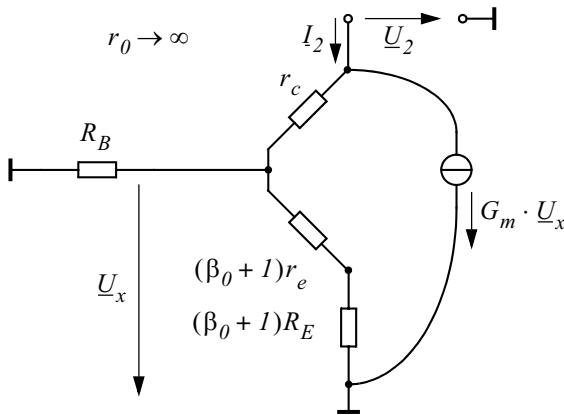


Bild 5.1-28: Ausgangswiderstand bei $r_0 \rightarrow \infty$

Ist $R_B \rightarrow 0$: so erhält man als Ausgangswiderstand $\underline{U}_2/I_2 = r_c$. Bei $R_B \rightarrow \infty$ wird mit:

$$I_2 = G_m \underline{U}_x + \frac{\underline{U}_2 - \underline{U}_x}{r_c}; \quad \underline{U}_x = \frac{(\beta_0 + 1) \cdot (R_E + r_e)}{r_c + (\beta_0 + 1) \cdot (R_E + r_e)} \cdot \underline{U}_2;$$

schließlich erhält man näherungsweise bei hinreichend hochohmigem r_c :

$$\boxed{I_2 \approx \frac{\beta_0}{r_c} \underline{U}_2 + \frac{\underline{U}_2}{r_c} \approx \frac{\beta_0 + 1}{r_c} \underline{U}_2; \quad (5.1-14)}$$

Der Ausgangswiderstand aufgrund von r_c ist bei genügend niederohmiger Eingangsbeschaltung gleich r_c ; bei hochohmiger Eingangsbeschaltung liegt der Grenzwert bei $r_c/(\beta_0+1)$. Man beachte, dass bei Frequenzen ab einigen 100kHz der Sperrwiderstand r_c durch $1/j\omega C_c$ zu ersetzen ist. Ein hochohmiger Ausgangswiderstand ist nur mit hinreichend niederohmiger Eingangsbeschaltung zu erreichen.

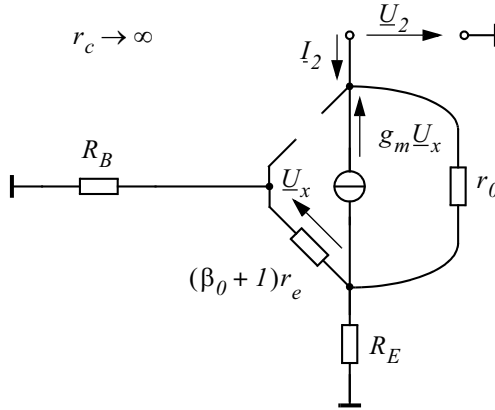


Bild 5.1-29: Ausgangswiderstand bei $r_c \rightarrow \infty$

Als nächstes wird der Innenwiderstand am Ausgang bestimmt unter der Annahme, dass der Sperrwiderstand r_c der Kollektor-Basis Diode vernachlässigbar sei, wohl aber der Early-Widerstand r_0 berücksichtigt wird. Zunächst gilt:

$$\begin{aligned}
 I_2 R_E \parallel \{(\beta_0 + 1)r_e + R_B\} \frac{(\beta_0 + 1)r_e}{R_B + (\beta_0 + 1)r_e} &= U_x; \\
 I_2 &= \frac{U_2 - I_2 R_E \parallel \{(\beta_0 + 1)r_e + R_B\}}{r_0} - g_m I_2 R_E \parallel \{(\beta_0 + 1)r_e + R_B\} \frac{(\beta_0 + 1)r_e}{R_B + (\beta_0 + 1)r_e}; \\
 I_2 \left\{ I + R_E \parallel \{(\beta_0 + 1)r_e + R_B\} \left\{ \frac{1}{r_0} + \frac{\beta_0}{R_B + (\beta_0 + 1)r_e} \right\} \right\} &= \frac{U_2}{r_0}; \\
 \frac{U_2}{I_2} &= r_0 \left\{ I + R_E \parallel \{(\beta_0 + 1)r_e + R_B\} \left\{ \frac{1}{r_0} + \frac{I}{R_B/\beta_0 + r_e/\alpha_0} \right\} \right\}; \\
 \frac{U_2}{I_2} &\approx r_0 \left(I + \frac{R_E \parallel \{(\beta_0 + 1)r_e + R_B\}}{R_B/\beta_0 + r_e/\alpha_0} \right); \quad \text{mit } r_0 \gg \frac{R_B}{\beta_0} + \frac{r_e}{\alpha_0}; \quad (5.1-15)
 \end{aligned}$$

Damit wird:

$$\boxed{\frac{U_2}{I_2} \approx r_0 \cdot \left(I + g_m R_E \parallel \frac{(\beta_0 + 1) \cdot r_e + R_B}{I + R_B/((\beta_0 + 1) \cdot r_e)} \right);} \quad (5.1-16)$$

Zusammenfassung: Die Seriengegenkopplung erhöht den Innenwiderstand r_o am Ausgang auf etwa den Wert $r_o \cdot (1 + g_m R_E)$ (vergl. hierzu die Ergebnisse für den Ausgangswiderstand in Abschnitt 4.2.4). Bei hinreichend kleinem R_B und $(\beta_o + 1) \cdot r_e \ll R_E$ würde der Innenwiderstand am Ausgang maximal den Wert $r_o \cdot (1 + \beta_o)$ annehmen. Ein möglicher Sperrwiderstand r_c ist um so weniger wirksam, je niederohmiger der Eingangskreis an der Basis beschaltet wird.

5.1.8 Parallelgegeggekoppelter Transistor

Wie schon in Kap. 4.2 festgestellt, macht die Parallelgegenkopplung den Eingang niederohmig. Prägt eine Eingangssignalquelle einen Strom in den Rückkopplungswiderstand R_F ein, so ergibt sich als Ausgangsspannung das Produkt aus Eingangsstrom multipliziert mit dem Rückkopplungswiderstand. Die Parallelgegenkopplung eines Verstärkers wurde im Abschnitt 4.2.5 und 4.2.6 eingehend behandelt. Die Ergebnisse des parallelgegeggekoppelten Linearverstärkers können ebenso wie die für die Seriengegenkopplung übernommen werden. Es bedarf lediglich der Anpassung an die Gegebenheiten des Bipolartransistors.

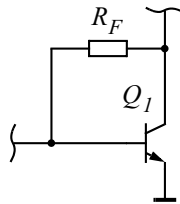


Bild 5.1-30: Der parallelgegeggekoppelte Transistor

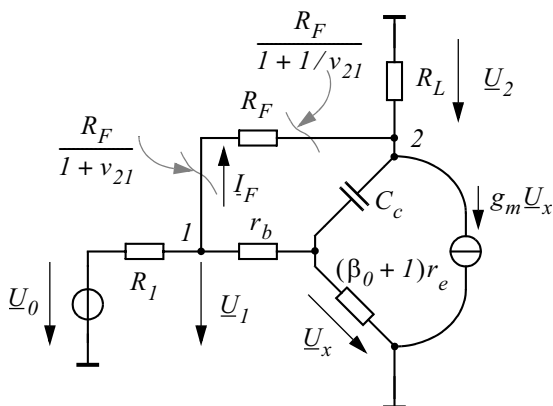


Bild 5.1-31: AC-Ersatzschaltbild des parallelgegeggekoppelten Transistors

Als nächstes wird das AC-Verhalten im Arbeitspunkt des Transistors bei Normalbetrieb untersucht (Bild 5.1-31). Am Verstärkerelement wird unterschieden zwi-

schen der „inneren“ Verstärkung von der inneren Basis B' zum Ausgangsknoten, sie ist mit $g_m \cdot R_L^*$ gegeben und der Verstärkung $\underline{U}_2/\underline{U}_I$ von der äußeren Basis B zum Ausgangsknoten, sie ist mit v_{2I} gegeben, sowie der Verstärkung $\underline{U}_2/\underline{U}_0$ vom Signaleingang (hier vor R_I) zum Ausgang. Demnach ist die „innere“ Verstärkung von der inneren Basis zum Ausgangsknoten:

$$\frac{\underline{U}_2}{\underline{U}_x} = g_m \cdot R_L^*; \quad R_L^* \approx R_L \parallel R_F; \quad (5.1-17)$$

Ist C_c vernachlässigbar, so ist:

$$\frac{\underline{U}_x}{\underline{U}_I} = \frac{I}{I + r_b / ((\beta_0 + I)r_e)};$$

und damit wird die Verstärkung von der äußeren Basis B zum Ausgangsknoten:

$$v_{2I} = \frac{\underline{U}_2}{\underline{U}_I} = g_m R_L^* \cdot \frac{I}{I + r_b / ((\beta_0 + I)r_e)}; \quad (5.1-18)$$

Ist unter Anwendung der Transimpedanzbeziehung für den Rückwirkungswiderstand $R_F / (I + v_{2I}) \ll r_b + (\beta_0 + I)r_e$ und $v_{2I} \gg I$, so ergibt sich:

$$\frac{\underline{U}_0}{R_I} = \frac{\underline{U}_2}{R_F} \rightarrow \frac{\underline{U}_2}{\underline{U}_0} = \frac{R_F}{R_I} \quad (5.1-19)$$

Zusammenfassung: Die Parallelgegenkopplung reduziert den Eingangswiderstand am Rückkopplungsknoten auf etwa den Wert $R_F / (I + v_{2I})$. Der Parallelgegenkopplungswiderstand unterliegt der Impedanztransformation. Maßgebend dafür ist die Verstärkung v_{2I} vom Rückkopplungsknoten zum Ausgangsknoten.

5.2 Arbeitspunkteinstellung und Stabilität

Der Bipolartransistor bedarf eines stabilen Arbeitspunktes über den gesamten Temperaturbereich einer Anwendung, bei gegebenen Exemplarstreuungen eines Fertigungsloses, möglichst über den Alterungsprozess der Gesamtlebensdauer hinweg. Der Arbeitspunkt definiert das Betriebsverhalten. Vorgestellt werden wichtige Beschaltungsvarianten eines Bipolartransistors zur Einstellung eines stabilen Arbeitspunktes.

Soll der Transistor als Verstärkerelement verwendet werden, so muss der Arbeitspunkt im Normalbetrieb des Transistors liegen, das heißt die Emitter-Basis Diode muss in Flussrichtung und die Kollektor-Basis Diode in Sperrrichtung betrieben werden. Der Arbeitspunkt wird angegeben mit:

$$\left\{ I_C^{(A)}; U_{CE}^{(A)} \right\}$$

Man unterscheidet das Betriebsverhalten eines Transistors hinsichtlich der Lage des Arbeitspunktes auf der Eingangs- bzw. Übertragungskennlinie (Bild 5.2-1).

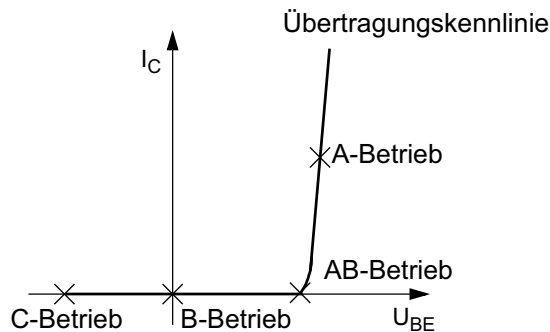


Bild 5.2-1: Einteilung der Betriebsarten von Schaltungen hinsichtlich der Lage des Arbeitspunktes

Für Verstärkeranwendungen muss der Arbeitspunkt normalerweise im A-Betrieb liegen. Hier ist die Emitter-Basis Diode in Flussrichtung betrieben. Es gibt spezielle Verstärkeranwendungen, die beispielsweise im C-Betrieb (Klasse-C Verstärker) arbeiten. Im C-Betrieb sind im Arbeitspunkt beide Diodenstrecken des Transistors gesperrt. Der AB-Betrieb ist dadurch gekennzeichnet, dass der Arbeitspunkt im Knickpunkt der Übertragungskennlinie liegt. Bei leichter Erhöhung der Steuerspannung U_{BE} zieht der Transistor Strom und die Emitter-Basis Diode wird in Flussrichtung betrieben. Der notwendige und geeignete Arbeitspunkt wird durch die Anwendung bestimmt.

5.2.1 Schaltungsvarianten zur Arbeitspunkteinstellung

Vorgestellt werden wichtige Beschaltungsvarianten zur Arbeitspunkteinstellung. Es werden Vor- und Nachteile diskutiert. Jede Transistorschaltung muss zunächst hinsichtlich der Arbeitspunkte der verwendeten Transistoren untersucht werden. Grundsätzlich gibt es verschiedene Konzepte zur Arbeitspunkteinstellung von Bipolartransistoren. Die Konzepte sind gekennzeichnet mit:

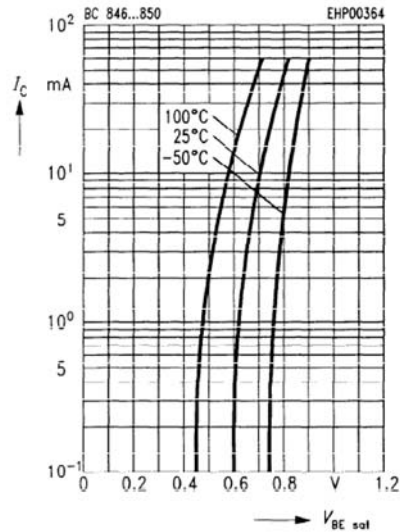
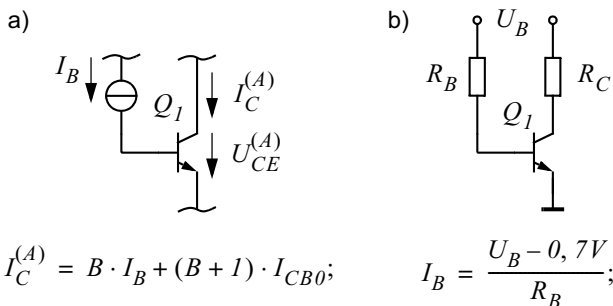
- ☐ Eingepägter Basisstrom;
- ☐ Eingepägter Emitterstrom;
- ☐ Eingepägter Kollektorstrom.

Eine eingepägte Spannung U_{BE} verbietet sich wegen der Temperaturabhängigkeit von U_{BE} . Wie Bild 5.2-2 zeigt, beträgt der Temperaturkoeffizient von U_{BE} ca. $-2mV/^{\circ}C$. Das Abknicken der Exponentialfunktion bei höheren Strömen wird durch den Basisbahnwiderstand verursacht.

Das Einprägen eines Stromes kann u.a. über eine konstante Spannung an einem Widerstand erfolgen. Die folgenden Schaltungen sind dadurch gekennzeichnet, dass über eine geeignete Beschaltung mittels einer Spannung an einem Widerstand entweder der Basisstrom oder der Emitterstrom oder direkt der Kollektorstrom eingepägt wird.

Base-emitter saturation voltage

$$I_C = f(V_{BEsat}), h_{FE} = 20$$

**Bild 5.2-2:** Temperaturabhängigkeit von U_{BE} (Auszug aus einem Datenblatt)**Bild 5.2-3:** Arbeitspunkteinstellung mit eingprägtem Basisstrom: a) Stromquelle im Basispfad; b) Ersatzstromquelle, Voraussetzung ist eine ausreichend große Spannung U_B an R_B

Als erstes soll die Variante mit eingprägtem Basisstrom betrachtet werden. Bild 5.2-3 zeigt das Prinzip dieser Schaltungsvariante und ein mögliches Realisierungsbeispiel. Diese Variante ist dadurch gekennzeichnet, dass die Streuung der Stromverstärkung und deren Temperaturabhängigkeit voll eingeht und darüber hinaus der sehr von Exemplarstreuungen und von sehr starker Temperaturabhängigkeit gekennzeichnete Sperrstrom I_{CB0} mit $B+1$ multipliziert sich auswirkt. Diese Variante weist hinsichtlich der Arbeitspunktstabilität gegenüber den weiteren Varianten (z.B. mit eingprägtem Emitterstrom) erhebliche Nachteile auf.

Die Arbeitspunktstabilität bei eingepprägtem Basisstrom lässt sich durch Änderungsanalyse im Arbeitspunkt gemäß Bild 5.2-4 ermitteln. Bei der Änderungsanalyse (AC-Analyse) wird bestimmt, wie sich die Zielgröße (Kollektorstrom) aufgrund von Änderungen der Stromverstärkung ΔB , des Sperrstroms ΔI_{CB0} oder der Schwellspannung ΔU_{BE} der Emitter-Basis Diode verändert.

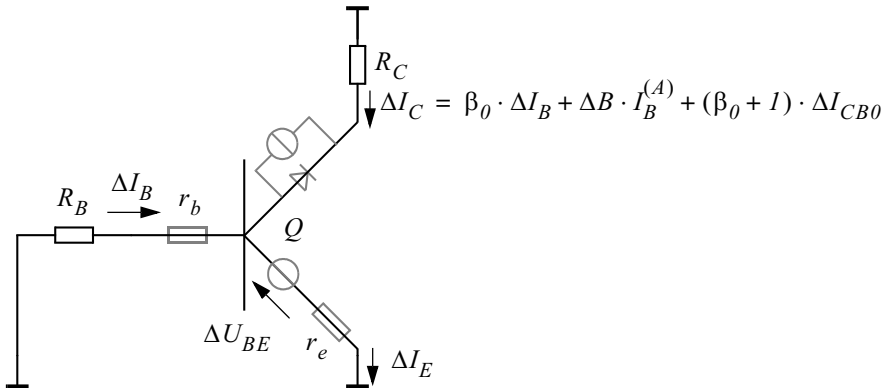


Bild 5.2-4: Arbeitspunkteinstellung mit eingepprägtem Basisstrom; Arbeitspunktstabilität

Die Änderung des Arbeitspunktes ΔI_C ergibt sich für das Beispiel bei gegebenen Änderungen von B , I_B und I_{CB0} im Arbeitspunkt aus $I_C = B \cdot I_B + (B + 1) \cdot I_{CB0}$ (siehe Bild 5.1-17b)) mit:

$$\Delta I_C = \Delta B \cdot I_B^{(A)} + I_{CB0}^{(A)} + \beta_0 \cdot \Delta I_B + (\beta_0 + 1) \cdot \Delta I_{CB0}; \quad (5.2-1)$$

Mit der Maschengleichung

$$\Delta I_B \cdot (R_B + r_b) + (\Delta I_B + \Delta I_C) \cdot r_e - \Delta U_{BE} = 0; \quad (5.2-2)$$

ergibt sich:

$$\Delta I_B = (\Delta U_{BE} - \Delta I_C \cdot r_e) \frac{1}{R_B + r_b + r_e}; \quad (5.2-3)$$

Eingesetzt in obige Gleichung erhält man bei $I_{CB0}^{(A)} \ll I_B^{(A)}$:

$$\Delta I_C \left(1 + \frac{\beta_0 r_e}{R_B + r_b + r_e} \right) = (\beta_0 + 1) \cdot \Delta I_{CB0} + \Delta B \cdot I_B^{(A)} + \frac{\beta_0 \Delta U_{BE}}{R_B + r_b + r_e}; \quad (5.2-4)$$

Durch Umformung ergibt sich schließlich die gesuchte Arbeitspunktänderung:

$$\Delta I_C = \frac{R_B + r_b + r_e}{r_e \cdot (\beta_0 + 1) + (R_B + r_b)} ((\beta_0 + 1) \cdot \Delta I_{CB0} + \Delta B \cdot I_B^{(A)}) + \frac{\alpha_0 \cdot \Delta U_{BE}}{r_e + (R_B + r_b) / (\beta_0 + 1)}; \quad (5.2-5)$$

Bei gegebener Beschaltung, bei gegebenem ΔI_{CB0} , bei gegebenem ΔB und bei gegebenem ΔU_{BE} erhält man daraus die Änderung des Arbeitspunktes ΔI_C .

Als nächste Variante wird die Arbeitspunkteinstellung mit eingepprägtem Emittterstrom betrachtet.

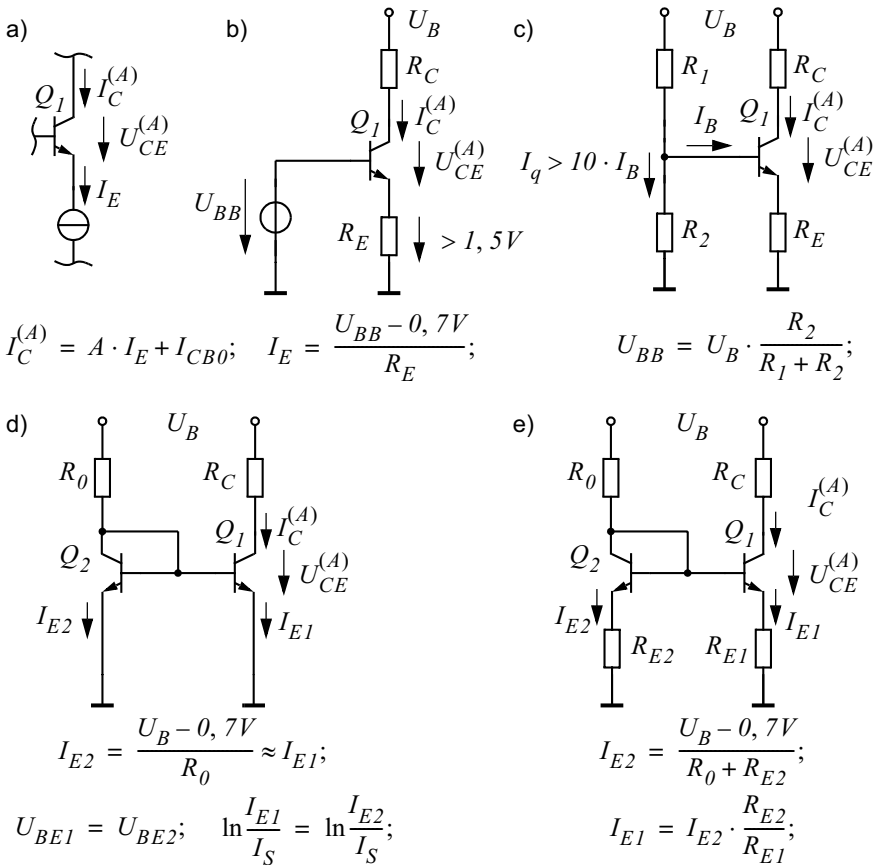


Bild 5.2-5: Arbeitspunkteinstellung mit eingepägtem Emittorstrom: a) Stromquelle im Emittorpfad; b) Ersatzstromquelle, Voraussetzung ist eine ausreichend große Spannung U_{BB} an R_E ; c) wie b) aber mit Spannungsquelle realisiert durch Spannungsteiler, Voraussetzung ist ein hinreichend großer Querstrom I_q ; d) Stromquelle durch Hilfspfad, die Emittorströme sind dann gleich, wenn die Transistoren identisch sind; e) wie d) jedoch mit Seriengegenkopplung

Je stabiler der eingepägte Emittorstrom ist, desto stabiler ist die Zielgröße, nämlich der Arbeitspunkt des Kollektorstroms. Der Widerstand R_E bewirkt in den Varianten b) und c) eine Seriengegenkopplung. Erhöht sich z.B. der Kollektorstrom temperaturbedingt, so erhöht sich die Spannung an R_E . Ist die Spannung an der Basis fest eingepägt (in Variante c)) durch einen „harten“ Spannungsteiler mit genügend großem Querstrom, so verringert sich U_{BE} und damit die Steuerspannung der Ausgangsstromquelle, was der ursächlichen Stromerhöhung entgegenwirkt. Es liegt eine thermische Gegenkopplung vor. Die Arbeitspunktstabilität lässt sich wiederum durch eine Änderungsanalyse im Arbeitspunkt ermitteln.

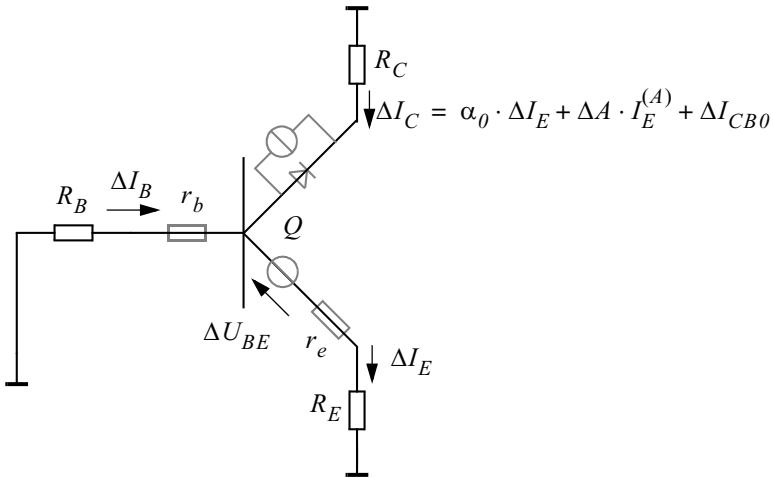


Bild 5.2-6: Analyse zur Arbeitspunktstabilität mit eingepprägtem Emittorstrom

Die Änderung des Arbeitspunktes ΔI_C ergibt sich für das Beispiel aus folgender Betrachtung. Prinzipiell erhält man ΔI_C aus $I_C = A \cdot I_E + I_{CB0}$ mit:

$$\Delta I_C = \Delta I_{CB0} + \Delta A \cdot I_E^{(A)} + \alpha_0 \cdot \Delta I_E; \quad (5.2-6)$$

Mit der Maschengleichung

$$(\Delta I_E - \Delta I_C)(R_B + r_b) + \Delta I_E \cdot (r_e + R_E) - \Delta U_{BE} = 0; \quad (5.2-7)$$

ergibt sich:

$$\Delta I_E = (\Delta U_{BE} + \Delta I_C(R_B + r_b)) \frac{1}{R_B + r_b + r_e + R_E}; \quad (5.2-8)$$

Eingesetzt in obige Gleichung wird:

$$\Delta I_C \left(1 - \frac{\alpha_0(R_B + r_b)}{R_B + r_b + r_e + R_E} \right) = \Delta I_{CB0} + \Delta A \cdot I_E^{(A)} + \frac{\alpha_0 \Delta U_{BE}}{R_B + r_b + r_e + R_E} \quad (5.2-9)$$

Durch Umformung erhält man schließlich die gesuchte Arbeitspunktänderung:

$$\Delta I_C = \frac{R_B + r_b + r_e + R_E}{r_e + R_E + (R_B + r_b)/(\beta_0 + 1)} (\Delta I_{CB0} + \Delta A \cdot I_E^{(A)}) + \frac{\alpha_0 \cdot \Delta U_{BE}}{r_e + R_E + (R_B + r_b)/(\beta_0 + 1)}; \quad (5.2-10)$$

Bei gegebener Beschaltung, bei gegebenem ΔI_{CB0} , bei gegebenem ΔA und bei gegebenem ΔU_{BE} erhält man daraus die Änderung des Arbeitspunktes ΔI_C . Die Seriengegenkopplung mit R_E vermindert den Einfluss von ΔU_{BE} . Bei hinreichend niederohmigem R_B wird der Einfluss von ΔI_{CB0} erheblich verringert. Ein Vergleich mit dem Ergebnis bei eingepprägtem Basisstrom (Gl. 5.2-5) zeigt eine deutliche Verbesserung.

Als dritte geeignete Variante werden Schaltungsalternativen mit quasi eingepprägtem Kollektorstrom betrachtet.

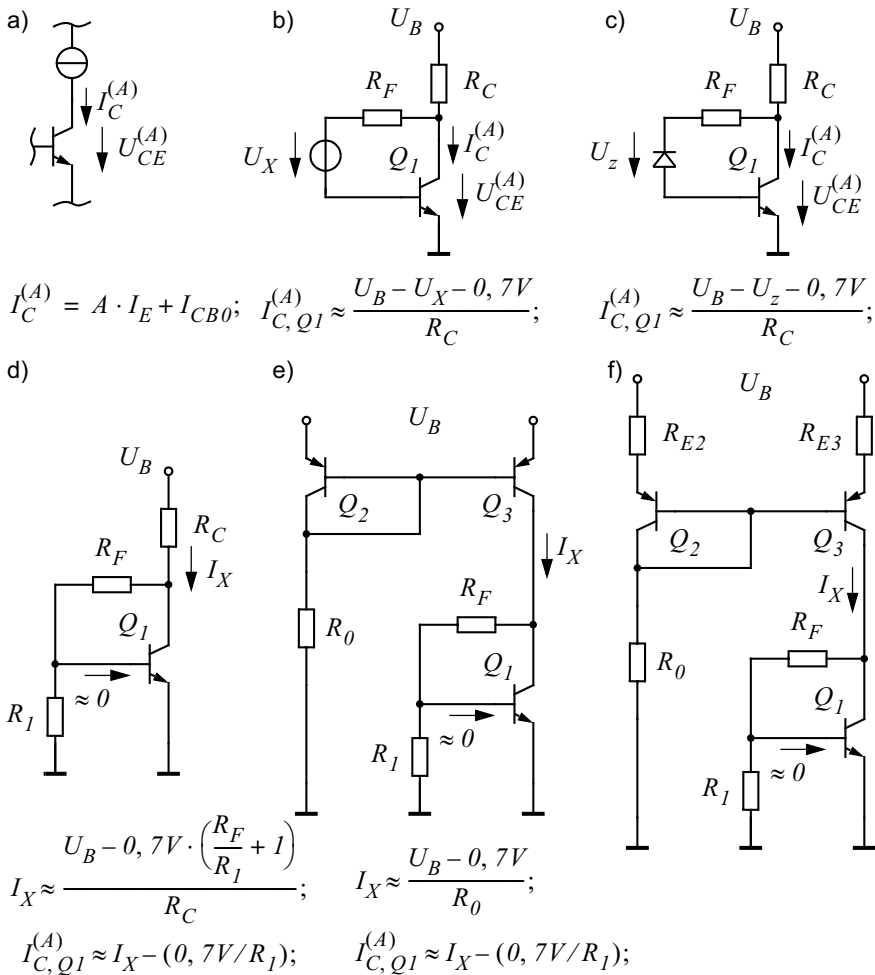


Bild 5.2-7: Arbeitspunkteinstellung mit quasi eingepprägtem Kollektorstrom: a) Stromquelle im Kollektorfad; b) Ersatzstromquelle über quasi konstante Spannung an R_C . Voraussetzung ist eine ausreichend große Spannung U_X und R_F nicht zu hochohmig; c) wie b) aber mit Spannungsquelle realisiert durch Zenerdiode; d) wie b) aber mit Spannungsquelle realisiert durch R_F und R_I ; e) Stromquelle durch Hilfspfad, die Emitterströme sind dann gleich, wenn die Transistoren identisch sind; f) wie e) jedoch mit Seriengegenkopplung

Über den Widerstand R_F liegt eine Parallelgegenkopplung vor. In Variante b), c) und d) ist klar, dass bei größer werdendem Kollektorstrom (verursacht durch z.B. Temperatureinflüsse) die Spannung U_{CE} und damit auch U_{BE} sinkt. Eine verringerte Steuerspannung wirkt der Erhöhung des Stromes entgegen. Um den Einfluss des Basisstromes nicht zu groß werden zu lassen, darf der Widerstand R_F nicht zu hochohmig sein (typisch einige $10k\Omega$).

5.2.2 Arbeitspunktbestimmung und Arbeitspunktstabilität

Es wird eine systematische Methode zur Arbeitspunktbestimmung und zur Ermittlung der Arbeitspunktstabilität beliebiger Transistorschaltungen eingeführt und an Beispielen erläutert. Grundsätzlich unterscheidet man zwischen Arbeitspunktsynthese und Arbeitspunktanalyse. Bei der Arbeitspunktsynthese ist $\{I_C^{(A)}, U_{CE}^{(A)}\}$ vorgegeben. Es gilt, die ausgewählte Schaltung dafür geeignet zu dimensionieren. Bei der Schaltungsanalyse ist die Dimensionierung vorgegeben. Es ist dann der Arbeitspunkt und dessen Stabilität zu bestimmen.

Ohne Einschränkung der Allgemeinheit wird als Beispiel die Schaltung nach Bild 5.2-5c) in modifizierter Form herausgegriffen.

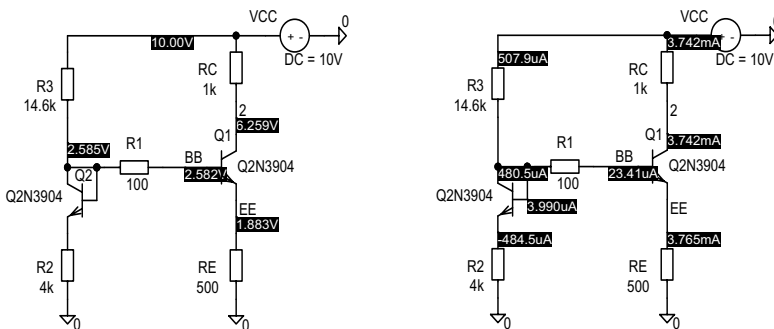


Bild 5.2-8: Arbeitspunkteinstellung am Beispiel

Experiment 5.2-1: Arbeitspunkteinstellg_IE_1

Schaltungssynthese des Beispiels für einen bestimmten Arbeitspunkt: Vorgegeben sei im Beispiel $I_C^{(A)} = 4mA$. Weiterhin soll die Spannung an R_E – wie bereits erläutert – etwa $2V$ betragen, sie sollte nach Möglichkeit mindestens 10 Mal größer sein, als die in Serie wirkende temperatur- und exemplarstreuungsbedingte Änderung der Spannung U_{BE} . Der Querstrom wird mit $0,5mA$ gewählt, er sollte mindestens 10 Mal größer sein als der größtmögliche Basisstrom. Daraus erhält man am Knoten BB eine Spannung in Höhe von ca. $2,7V$. Es ergibt sich für $R_2 = 4k\Omega$ und für $R_3 = 14,6k\Omega$. Das Simulationsergebnis der Arbeitspunkte der Schaltung in Bild 5.2-8 bestätigt in etwa die Vorgaben. Der Transistor Q_2 arbeitet im Normalbetrieb mit $U_{CE} = 0,7V$; er wirkt wie eine Diodenstrecke im Basisspannungsteiler (temperaturabhängiger Spannungsteiler).

Bezüglich der Dimensionierung des Lastkreises ist darauf zu achten, dass die verfügbare Versorgungsspannung $U_B - V_{EE}$ (V_{EE} : Potenzial am Emitter) etwa hälftig zwischen U_{CE} und dem Lastwiderstand R_C aufgeteilt wird. Dabei sollten ca. $0,5V$ als Mindestspannung auch bei größtmöglicher Aussteuerung an U_{CE} verbleiben. Unter Anwendung dieser Überlegung erhält man für den optimalen Lastwiderstand:

$$R_{C,opt} = \frac{U_B - V_{EE} - 0,5V}{2 \cdot I_C^{(A)}}; \quad (5.2-11)$$

Zur systematischen Arbeitspunktanalyse (DC-Analyse): Ist die Dimensionierung der Schaltung bekannt, so kann eine Analyse des Arbeitspunktes vorgenommen werden. Allgemein ist dafür eine Netzwerkgleichung nach dem Schema

$$I_C = f(U_{BE}) \quad (5.2-12)$$

zu bilden. Dies kann eine Maschengleichung oder eine Knotenpunktgleichung der gegebenen Beschaltung sein. Wesentlich ist, dass dabei allgemein nur Steuerspannungen U_{BE} der Transistoren auftauchen.

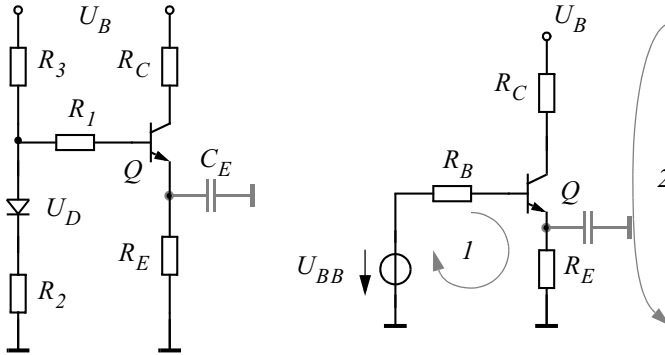


Bild 5.2-9: Beispiel zur Arbeitspunktanalyse (DC-Analyse: C_E bleibt unberücksichtigt)

In dem Beispiel (Bild 5.2-9) kann der Basisspannungsteiler mit R_1 zu einer Ersatzspannungsquelle U_{BB} mit Innenwiderstand R_B zusammengefasst werden. Für die Ersatzquelle gilt:

$$U_{BB} = \frac{U_B - U_D}{R_3 + R_2} \cdot R_2 + U_D; \quad (5.2-13)$$

$$R_B = R_1 + R_2 \parallel R_3;$$

Als Netzwerkgleichung bietet sich die Maschengleichung im Eingangskreis an:

$$U_{BB} = I_B \cdot R_B + U_{BE} + I_E \cdot R_E; \quad (5.2-14)$$

Mit den Transistorgleichungen

$$I_E = I_C / A - I_{CB0} / A; \quad (5.2-15)$$

$$I_B = I_C / B - I_{CB0} / A;$$

kann I_B und I_E durch I_C ersetzt und damit die Netzwerkgleichung auf die Form von Gleichung Gl. 5.2-12 gebracht werden:

$$I_C = \frac{U_{BB} - U_{BE}}{(R_B / B) + (R_E / A)} + \frac{R_B + R_E}{(R_B / (B + I)) + R_E} \cdot I_{CB0}; \quad (5.2-16)$$

Bei gegebener Dimensionierung ist dies eine Bestimmungsgleichung für den gesuchten Arbeitspunkt $I_C^{(A)}$. Diese Gleichung liefert gleichzeitig eine Aussage über die Stabilität des Arbeitspunktes. Bei einer Temperaturerhöhung von 25°C auf

100°C verändert sich U_{BE} von $0,7\text{V}$ auf $0,55\text{V}$; weiterhin verändert sich I_{CB0} erheblich und es erhöht sich B um ca. 40% . Dabei sollte der Arbeitspunkt möglichst stabil bleiben.

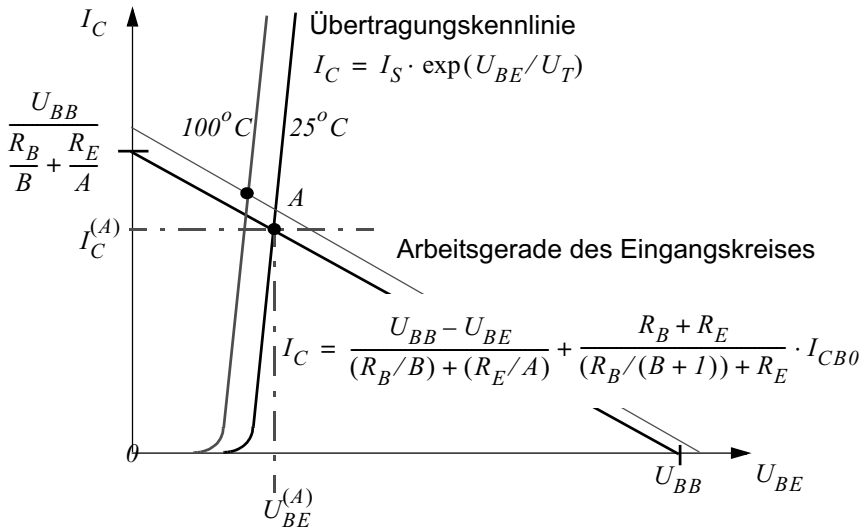


Bild 5.2-10: Graphische Arbeitspunktbestimmung von I_C mit Arbeitspunktstabilität: Übertragungseigenschaften des Transistors bei 25°C und bei 100°C und Arbeitsgerade des Eingangskreises

Die eben dargestellte Lösung für den Arbeitspunkt $I_C^{(A)}$ lässt sich auch graphisch veranschaulichen (Bild 5.2-10). Bei veränderter Temperatur (oder Exemplarstreuung, oder Alterung) verschiebt sich die Übertragungseigenschaft des Transistors. Gleichzeitig verändert sich aber auch die Arbeitsgerade des Eingangskreises als Ergebnis der Netzwerkgleichung Gl. 5.2-16 wegen der Änderung von U_{BE} , von B und von I_{CB0} . Um bei der gegebenen Schaltung einen stabilen Arbeitspunkt zu erhalten sollte R_B/B möglichst wenig eingehen. Dies ist um so mehr der Fall, je niederohmiger der Basisspannungsteiler dimensioniert wird. Weiter sollte in dem Maße wie sich U_{BE} verändert, sich auch U_{BB} ändern. Das heißt, der Basisspannungsteiler sollte einen negativen Temperaturkoeffizienten (realisiert durch die Diode D) aufweisen. Mit dem Transistor als Diodenstrecke im Basisteiler erhält die Arbeitsgerade des Eingangskreises einen entsprechenden Temperaturkoeffizienten. Der Einfluss von I_{CB0} ist dann um so geringer, je niederohmiger die Basis mit R_B abgeschlossen wird. Bei hohen Temperaturen kann der Sperrstrom I_{CB0} Werte bis zu einigen 100nA bzw. bis μA erreichen. Je kleiner der absolute Arbeitspunktstrom ist, um so mehr muss auf I_{CB0} geachtet werden.

Neben dem Arbeitspunktstrom ist die Spannung $U_{CE}^{(A)}$ zu analysieren. Dazu ist eine Netzwerkgleichung nach dem Schema:

$$I_C = f(U_{CE}) \quad (5.2-17)$$

aufzustellen. Im gewählten Beispiel lautet diese Gleichung (I_{CB0} vernachlässigt):

$$I_C = \frac{U_B - U_{CE}}{R_C + R_E/A}; \quad (5.2-18)$$

Diese Gleichung stellt die DC-Arbeitsgerade des Ausgangskreises dar. Auch sie kann graphisch veranschaulicht werden (Bild 5.2-11). Daneben gilt es, die AC-Arbeitsgerade für Änderungen um den Arbeitspunkt zu bestimmen (U_{RE} mit geeignet gewähltem Kondensator C_E kurzgeschlossen, siehe Bild 5.2-9):

$$\Delta I_C = \frac{\Delta U_{CE}}{R_C}; \quad (5.2-19)$$

Die Spannung $U_B - U_{RE}$ ist die verfügbare Versorgungsspannung. Die DC-Gegenkopplungsspannung an R_E vermindert die verfügbare Versorgungsspannung. Die Schaltungsvarianten zur Arbeitspunkteinstellung in Bild 5.2-7 weisen diesen Nachteil der Verminderung der verfügbaren Versorgungsspannung nicht auf.

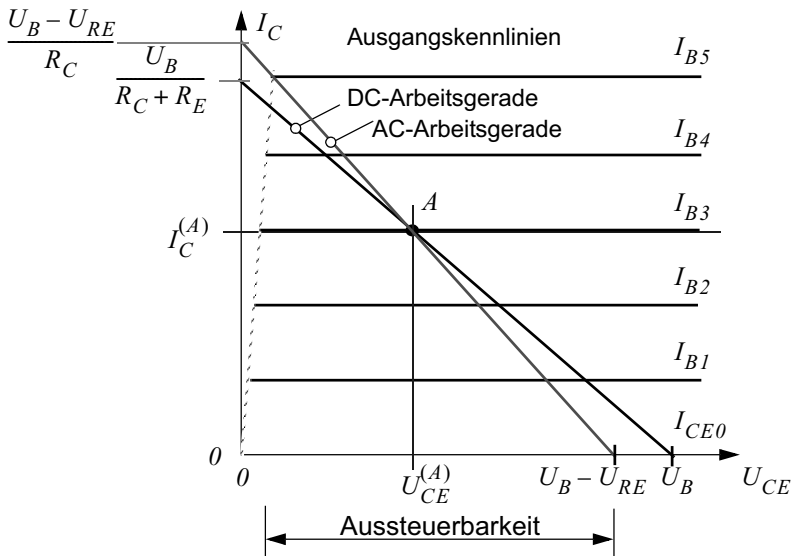


Bild 5.2-11: Zur Arbeitsgerade des Ausgangskreises im Ausgangskennlinienfeld und zur Aussteuerbarkeit des Transistors

Der Arbeitspunkt $U_{CE}^{(A)}$ bestimmt die Aussteuerbarkeit, er sollte möglichst in der Mitte zwischen der Sättigungsgrenze und der durch die verfügbare Versorgungsspannung gegebenen Obergrenze angeordnet sein. Die größtmögliche Aussteuerbarkeit ist damit wesentlich durch die verfügbare Versorgungsspannung $U_B - U_{RE}$ bestimmt. Bei Schaltungen mit einer Seriengegenkopplung im Emittterpfad ergibt sich die verfügbare Versorgungsspannung aus der Versorgungsspannung vermindert um die Gegenkopplungsspannung.

Bild 5.2-12 zeigt den Arbeitspunkt eines Bipolartransistors eingetragen in die Übertragungskennlinie und in das Ausgangskennlinienfeld. Der Arbeitspunktstrom

$I_C^{(A)}$ ergibt sich aus dem Schnittpunkt der Arbeitsgeraden des Eingangskreises (Gl. 5.2-16) mit der Übertragungskennlinie. $U_{CE}^{(A)}$ erhält man aus der Arbeitsgeraden des Ausgangskreises bei gegebenem Arbeitspunktstrom. Im Bild dargestellt ist die Wirkung der Änderung von U_{BE} bei Anlegen einer Signalspannung. Für Änderungen um den Arbeitspunkt (AC-Analyse) stellt der Arbeitspunkt gleichsam einen neuen Bezugspunkt (Nullpunkt) dar.

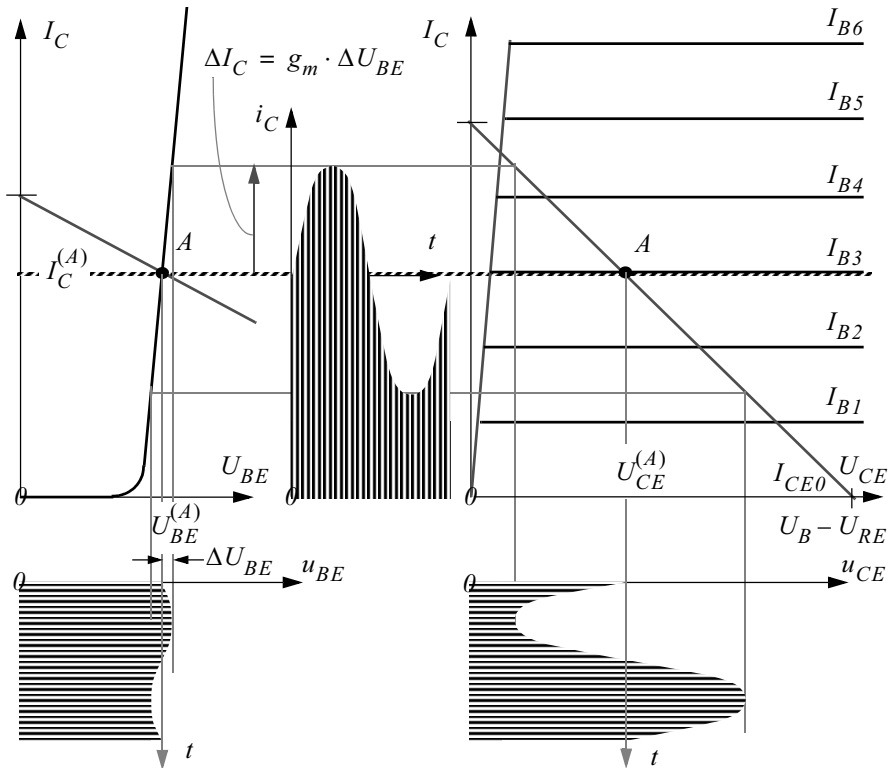


Bild 5.2-12: Arbeitspunkt und Aussteuerung im Arbeitspunkt

Zur Veranschaulichung der systematischen Vorgehensweise soll eine weitere Schaltung als Beispiel (Bild 5.2-13) herausgegriffen werden; der gewünschte Arbeitspunkt ist: $I_C^{(A)} = 4\text{mA}$; $U_{CE}^{(A)} = 5\text{V}$ bei $U_B = 10\text{V}$. Bei vorgegebenem Arbeitspunkt ergibt sich für den Widerstand R_F im Beispiel von Bild 5.2-13:

$$R_F = \frac{5\text{V} - 4\text{V} - 0,65\text{V}}{\frac{4\text{mA}}{200}} = 17,5\text{k}\Omega; \quad (5.2-20)$$

Für den Widerstand R_C erhält man:

$$R_C = \frac{(10\text{V} - 5\text{V})}{4\text{mA} + \frac{4\text{mA}}{200}} = 1,25\text{k}\Omega; \quad (5.2-21)$$

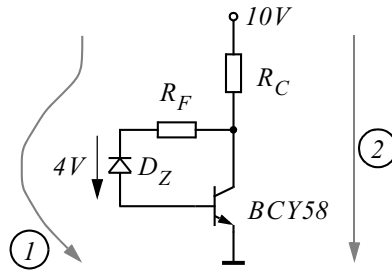


Bild 5.2-13: Beispiel Arbeitspunkteinstellung mit Parallelgegenkopplung

Danach erfolgt die Analyse zur Bestimmung der Arbeitspunktstabilität. Bei gegebener Dimensionierung erhält man als Netzwerkgleichung gemäß $I_C = f(U_{BE})$ aus der Maschengleichung 1):

$$10V = R_C(I_C + I_B) + R_F \cdot I_B + 4V + U_{BE}; \quad (5.2-22)$$

Daraus ergibt sich die Arbeitsgerade des Eingangskreises:

$$I_C = \frac{10V - 4V - U_{BE}}{R_C/A + R_F/B} + I_{CB0}/A \cdot \frac{R_C + R_F}{R_C/A + R_F/B}; \quad (5.2-23)$$

Sie weist eine ähnliche Form auf, wie im vorigen Beispiel. Ist die Änderung von U_{BE} , die Änderung von B und die von I_{CB0} bekannt, so kann der geänderte Arbeitspunkt bestimmt werden. Damit erhält man eine Aussage über die Arbeitspunktstabilität. Um den Einfluss von Änderungen der Stromverstärkung zu verringern, sollte $R_F/B < R_C$ sein. Diese Maßnahme wirkt sich auch günstig auf die Verminderung des I_{CB0} Einflusses aus. Eine Änderung von U_{BE} ist dann vernachlässigbar, wenn $U_B - U_Z > 2V$ ist.

Zur Bestimmung von $U_{CE}^{(A)}$ wird ebenfalls eine Netzwerkgleichung gemäß $I_C = f(U_{CE})$ gebildet.

$$10V = R_C \cdot (I_C + I_B) + U_{CE}; \quad (5.2-24)$$

Daraus bestimmt sich die Arbeitsgerade des Ausgangskreises:

$$I_C = \frac{10V - U_{CE}}{R_C/A} + I_{CB0}; \quad (5.2-25)$$

Die Vorgehensweise zur Arbeitspunktanalyse von Schaltungen kann nunmehr verallgemeinert werden. Anhand eines ausgewählten Beispiels wird die prinzipielle Vorgehensweise verdeutlicht. Gegeben sei folgende Schaltung (Bild 5.2-14), sie stellt einen optischen Empfänger dar mit der Photodiode DI . Ohne Ansteuerung zieht die Photodiode den Dunkelstrom (Sperrstrom). Die Schaltung enthält zwei Transistoren, die DC-gekoppelt sind. Deren Arbeitspunkte beeinflussen sich gegenseitig.

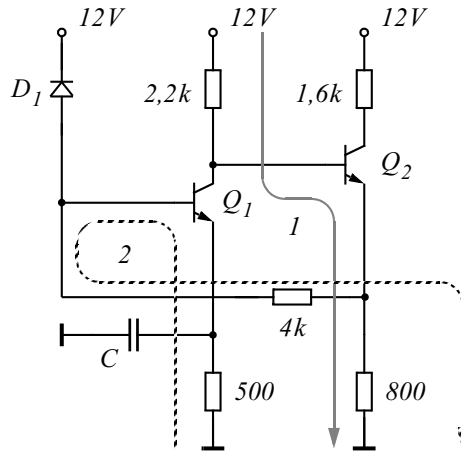


Bild 5.2-14: Beispiel optische Empfängerschaltung

Zur Bestimmung der Arbeitspunktströme $I_{C,Q1}^{(A)}$ und $I_{C,Q2}^{(A)}$ müssen zwei unabhängige Netzwerkgleichungen nach dem Schema:

$$I_{C,Q1} = f_1(U_{BE,Q1}, U_{BE,Q2}); \quad (5.2-26)$$

$$I_{C,Q2} = f_2(U_{BE,Q1}, U_{BE,Q2});$$

gebildet werden. Bei n DC-gekoppelten Transistoren sind n unabhängige Netzwerkgleichungen als Funktion der Steuerspannungen zu bilden. Dabei darf keine Spannung über eine gesperrte Diodenstrecke auftauchen. Im allgemeinen sind diese Netzwerkgleichungen verkoppelt. Im konkreten Beispiel erhält man für die im Bild skizzierten Maschen folgende Netzwerkgleichungen (unter Berücksichtigung von Richtungspfeilen für Ströme):

$$(I_{E,Q2} - I_{B,Q1}) \cdot 800\Omega = I_{B,Q1} \cdot 4k\Omega + U_{BE,Q1} + I_{E,Q1} \cdot 500\Omega; \quad (5.2-27)$$

$$12V = (I_{C,Q1} + I_{B,Q2}) \cdot 2,2k\Omega + U_{BE,Q2} + (I_{E,Q2} - I_{B,Q1}) \cdot 800\Omega;$$

Mit den bekannten Transistorgleichungen ergibt sich daraus:

$$\left(\frac{I_{C,Q2}}{A_{Q2}} - \frac{I_{CB0,Q2}}{A_{Q2}} - \frac{I_{C,Q1}}{B_{Q1}} + \frac{I_{CB0,Q1}}{A_{Q1}} \right) \cdot 800\Omega = \left(\frac{I_{C,Q1}}{B_{Q1}} - \frac{I_{CB0,Q1}}{A_{Q1}} \right) \cdot 4k\Omega + U_{BE,Q1} + \left(\frac{I_{C,Q1}}{A_{Q1}} - \frac{I_{CB0,Q1}}{A_{Q1}} \right) \cdot 500\Omega; \quad (5.2-28)$$

$$12V = \left(I_{C,Q1} + \frac{I_{C,Q2}}{B_{Q2}} - \frac{I_{CB0,Q2}}{A_{Q2}} \right) \cdot 2,2k\Omega + U_{BE,Q2} + \left(\frac{I_{C,Q2}}{A_{Q2}} - \frac{I_{CB0,Q2}}{A_{Q2}} - \frac{I_{C,Q1}}{B_{Q1}} + \frac{I_{CB0,Q1}}{A_{Q1}} \right) \cdot 800\Omega;$$

Bei bekannter Dimensionierung der Schaltung stellen diese zwei Gleichungen Bestimmungsgleichungen für die gesuchten Arbeitspunkte $I_{C,Q1}^{(A)}$ und $I_{C,Q2}^{(A)}$ dar. Aus diesen Gleichungen lässt sich auch eine Aussage über die Arbeitspunktstabilität treffen. Zur Vereinfachung werden Vernachlässigungen eingeführt. Die Vernachlässigung von $I_{B,Q1}$ ist zulässig, wenn $I_{C,Q1}/I_{C,Q2} < 10$; mit $B > 100$ ist dann $I_{B,Q1}/I_{E,Q2} < 0,1$, sowie unter Vernachlässigung von I_{CB0} (bei Normaltemperatur ist I_{CB0} etwa nA) vereinfachen sich die obigen Gleichungen erheblich:

$$I_{C,Q2} \cdot 800\Omega = \frac{I_{C,Q1}}{B_{Q1}} \cdot 4k\Omega + U_{BE,Q1} + I_{C,Q1} \cdot 500\Omega; \quad (5.2-29)$$

$$12V = I_{C,Q1} \cdot 2,2k\Omega + U_{BE,Q2} + I_{C,Q2} \cdot 800\Omega;$$

Mit $U_{BE} = 0,7V$ ergeben sich für das Beispiel die Arbeitspunkte $I_{C,Q1} = 3,9mA$; $I_{C,Q2} = 3,5mA$. Das Simulationsergebnis in Bild 5.2-15 bestätigt dies.

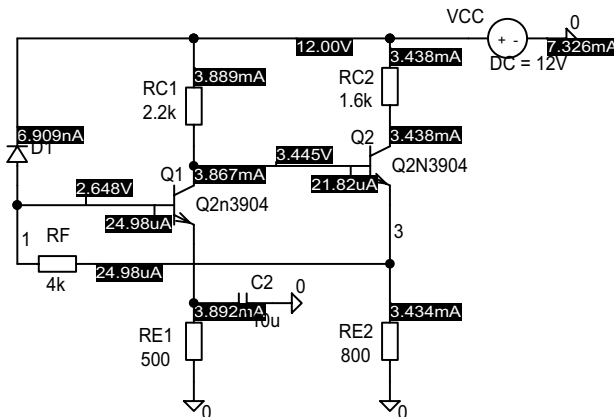


Bild 5.2-15: Simulationsergebnis für das Beispiel Optischer Empfänger

Experiment 5.2-2: OptischerEmpf_AP

Die verallgemeinerte Vorgehensweise zur Arbeitspunktanalyse von Schaltungen soll nun an dem Beispiel nach Bild 5.2-7 Variante e) dargestellt werden (siehe Bild 5.2-16). Zur Bestimmung der Arbeitspunktströme $I_{C,Q1}^{(A)}$, $I_{C,Q2}^{(A)}$ und $I_{C,Q3}^{(A)}$ müssen drei unabhängige Netzwerkgleichungen nach dem Schema:

$$\begin{aligned} I_{C,Q1} &= f_1(U_{BE,Q1}, U_{BE,Q2}, U_{BE,Q3}); \\ I_{C,Q2} &= f_2(U_{BE,Q1}, U_{BE,Q2}, U_{BE,Q3}); \\ I_{C,Q3} &= f_3(U_{BE,Q1}, U_{BE,Q2}, U_{BE,Q3}); \end{aligned} \quad (5.2-30)$$

gebildet werden. Im konkreten Beispiel lassen sich mit Berücksichtigung der einschränkenden Bedingung, dass nur Steuerspannungen auftauchen dürfen, zwei

Maschengleichungen und eine Knotenpunktgleichung bilden:

$$\begin{aligned} U_B &= I_{E,Q_2} \cdot R_0 + U_{BE,Q_2}; \\ U_{BE,Q_2} &= U_{BE,Q_3}; \\ I_{C,Q_3} &= I_{C,Q_1} + U_{BE,Q_1} / R_I; \end{aligned} \quad (5.2-31)$$

Die zweite Netzwerkgleichung lässt sich auch in anderer Form darstellen:

$$U_{T,Q_2} \cdot \ln(I_{E,Q_2} / I_{S,Q_2}) = U_{T,Q_3} \cdot \ln(I_{E,Q_3} / I_{S,Q_3}); \quad (5.2-32)$$

Sind Q_2 und Q_3 gepaart ($I_{S,Q_2} = I_{S,Q_3}$) und weisen sie gleiche Temperatur auf, so sind deren Arbeitspunkte gleich. Damit stellen die obigen Gleichungen die gewünschten Bestimmungsgleichungen der gesuchten Arbeitspunkte dar.

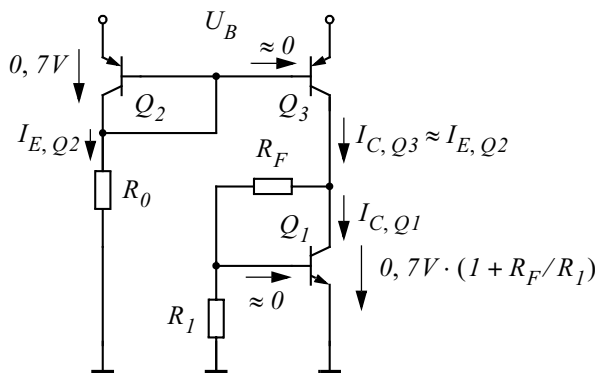


Bild 5.2-16: Beispiel für eine Arbeitspunkteinstellung nach Bild 5.2-7e)

5.3 Wichtige Funktionsprimitive mit BJTs

Ein wesentliches Grundkonzept in der Schaltungsentwicklung ist die Kenntnis der Eigenschaften von Funktionsprimitiven für Funktionsschaltungen. Der Entwickler wählt Schaltungen aufgrund von bekannten Eigenschaften aus. Es geht darum, das Wissen um die wesentlichen Eigenschaften wichtiger, immer wiederkehrender Schaltungen zu vermitteln.

5.3.1 RC-Verstärker in Emittergrundsaltung

Als erstes wird ein Transistorverstärker mit Ansteuerung an der Basis und Ausgang am Kollektor betrachtet (Emittergrundsaltung). Es geht um die Abschätzung des Übertragungsverhaltens und der Schnittstelleneigenschaften am Eingang und am Ausgang. Der RC-Verstärker möge an der Basis von Q_1 in einem vorgegebenen Arbeitspunkt mit dem Eingangssignal $\underline{U}_1$ angesteuert werden. Das Ausgangssignal $\underline{U}_2$ wird am Kollektor abgenommen und wirkt auf die nachfolgende Schnitt-

stelle am Knoten 2 um 180° phasenverschoben. Die Phasendrehung um 180° ist durch die Zählpfeilwahl in Bild 5.3-1 bereits berücksichtigt.

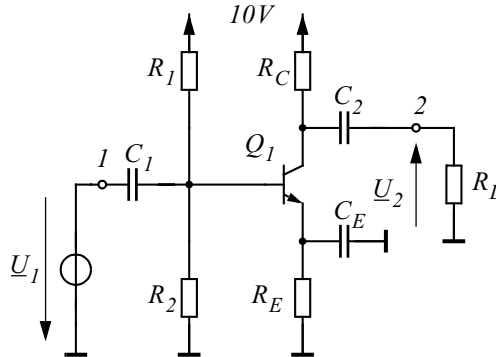


Bild 5.3-1: RC-Verstärker mit Ansteuerung an der Basis und Signalausgang am Kollektor

DC-Analyse: Als erste Maßnahme für die Dimensionierung einer Schaltung ist der Arbeitspunkt der aktiven Elemente geeignet zu wählen. Im Beispiel von Bild 5.3-1 soll der Arbeitspunktstrom des Transistors $I_{C,Q1}^{(A)} = 2\text{mA}$ betragen. Mit dem Arbeitspunkt werden wesentliche Eigenschaften der Schaltung bereits festgelegt.

1. Schritt: Bei der hier vorliegenden Schaltungsvariante zur Einstellung des Arbeitspunktes sollte U_{RE} mindestens $1,5\text{V}$ (noch besser 2V) sein, um an RE eine feste Spannung einzuprägen. Die zu U_{RE} in Serie liegende Spannung $U_{BE,Q1}$ würde sich bei $\Delta T = 75^\circ$ um $0,15\text{V}$ ändern, U_{RE} sollte mindestens 10Mal größer sein, als die größtmögliche Änderung von ΔU_{BE} . Es wird $U_{RE} = 2\text{V}$ gewählt, damit ist $R_E = 1\text{k}\Omega$. Bild 5.3-2 zeigt die DC-Ersatzanordnung.

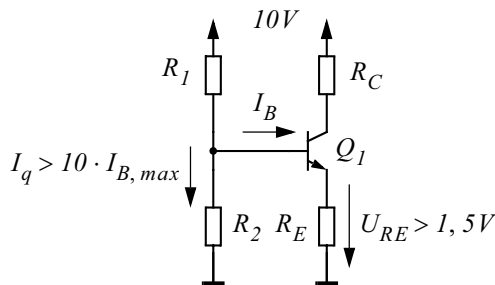


Bild 5.3-2: Zu den Vorgaben der DC-Analyse

2. Schritt: Der Querstrom I_q sollte mindestens 10Mal größer sein, als der größtmögliche Basisstrom. Bei einer angenommenen Worst-Case-Stromverstärkung von $B = 100$ wird $I_q \geq 0,2\text{mA}$. Damit ergibt sich für $R_1 + R_2 = 50\text{k}\Omega$; gewählt wird $R_2 = 13,5\text{k}\Omega$ und $R_1 = 36,5\text{k}\Omega$.

3. Schritt: Die Spannung U_{CE} sollte bei größtmöglicher Aussteuerung mindestens $0,5V$ (besser: $1V$) sein, um die Kollektor-Basis Diode hinreichend zu sperren. Im Beispiel beträgt die verfügbare Versorgungsspannung $8V$. Die verfügbare Versorgungsspannung ist die Versorgungsspannung ($10V$) vermindert um den Spannungsabfall an R_E . Abzüglich der geforderten Mindestspannung für U_{CE} verbleiben $7V$. Für eine optimale Aufteilung der Spannung ($7V$) zwischen dem Widerstand R_C und dem Transistor wird eine hälftige Aufteilung gewählt. Daraus ergibt sich für U_{RC} im Arbeitspunkt eine Spannung von $3,5V$ und somit erhält man für den Widerstand im Kollektorfad $R_C = 3,5V/2mA = 1,8k\Omega$.

AC-Analyse bei mittleren Frequenzen: Im mittleren Frequenzbereich soll die Impedanz der Kondensatoren $C1$, $C2$ und CE niederohmig sein, es möge gelten:

$$\begin{aligned} \frac{1}{\omega C_1} &\ll R_1 \parallel R_2 \parallel \{r_b + (\beta_0 + 1)r_e\}; \\ \frac{1}{\omega C_2} &\ll R_L^*; \\ \frac{1}{\omega C_E} &\ll R_E; \end{aligned} \quad (5.3-1)$$

Das heißt die Koppelkapazitäten und Abblockkapazitäten stellen im Betriebsfrequenzbereich einen Kurzschluss dar. Sie sind entsprechend des Betriebsfrequenzbereichs geeignet zu wählen. Der wirksame Lastwiderstand R_L^* ist im Beispiel gleich dem äußeren Lastwiderstand R_L parallel zum Kollektorwiderstand R_C (wirksamer Lastwiderstand $R_L^* = R_L \parallel R_C$). Unter den gegebenen Voraussetzungen arbeitet der Transistor als spannungsgesteuerte Stromquelle. Es ergibt sich das nachstehende AC-Ersatzschaltbild:

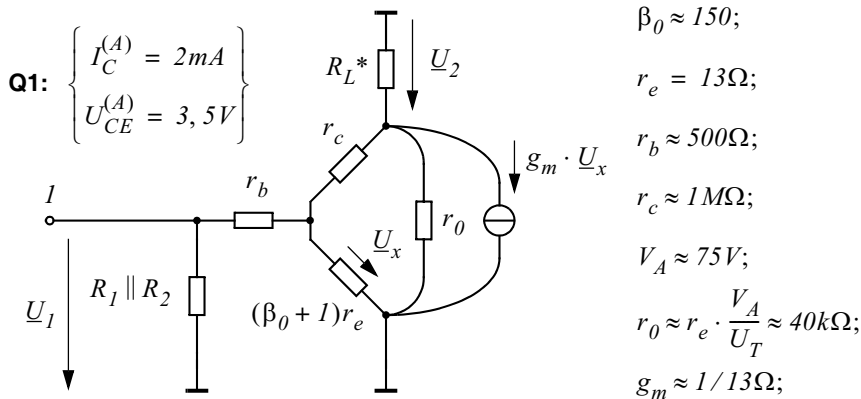


Bild 5.3-3: AC-Analyse bei mittleren Frequenzen mit Modellparametern für den Bipolartransistor als spannungsgesteuerte Stromquelle

Einschränkend soll weiterhin bei mittleren Frequenzen $r_c \rightarrow \infty$ und $r_0 \rightarrow \infty$ gelten. Unter den gegebenen Voraussetzungen lässt sich für die Verstärkung und für

den Eingangswiderstand nach Bild 5.3-3 mit den dort angegebenen Parametern folgende Abschätzung vornehmen:

$$\boxed{\frac{U_2}{U_x} = g_m \cdot R_L^* = \frac{1,8k\Omega}{13\Omega} = 140; \quad \frac{U_x}{U_I} = \frac{(\beta_0 + 1)r_e}{r_b + (\beta_0 + 1)r_e} = \frac{2k\Omega}{2,5k\Omega} = 0,8;}$$

$$\frac{U_2}{U_I} = \frac{U_2}{U_x} \cdot \frac{U_x}{U_I} \approx 110; \quad (5.3-2)$$

$$\boxed{Z_{II'} = R_I \parallel R_2 \parallel \{r_b + (\beta_0 + 1)r_e\} \approx 2k\Omega;}$$

AC-Analyse im unteren Frequenzbereich: Bei tiefen Frequenzen geht die Wirkung der Abblockkapazität CE verloren. Der Bipolartransistor ist seriengegengekoppelt. Wenn $1/(\omega C_E) \gg R_E$ ist, so wirkt R_E als Seriengegenkopplung. Ohne Berücksichtigung des „Early“-Widerstandes r_0 erhält man das in Bild 5.3-4 skizzierte Ersatzschaltbild.

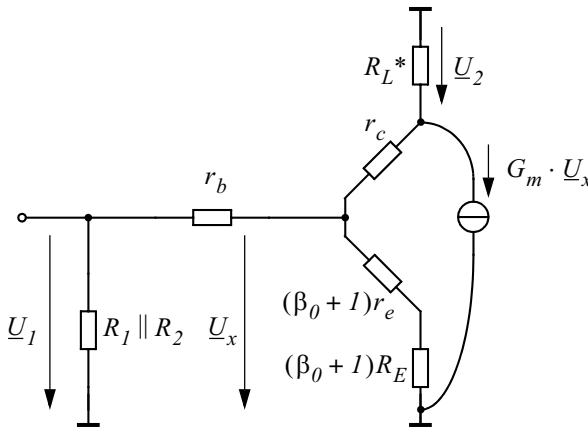


Bild 5.3-4: AC-Analyse im unteren Frequenzbereich (Q : seriengegengekoppelt)

Mit der vereinfachenden Annahme von $r_c \rightarrow \infty$ und $r_0 \rightarrow \infty$ ergibt sich aus der Ersatzanordnung in Bild 5.3-4 folgende Abschätzung:

$$\boxed{\frac{U_2}{U_x} = G_m \cdot R_L^*; \quad G_m = \frac{\alpha_0}{r_e + R_E} = \frac{1}{1k\Omega};}$$

$$\frac{U_2}{U_x} = \frac{1800\Omega}{1000\Omega} = 1,8; \quad (5.3-3)$$

$$\boxed{Z_{II'} = R_I \parallel R_2 \parallel \{r_b + (\beta_0 + 1)(r_e + R_E)\} \approx 10k\Omega;}$$

Aufgrund der Seriengegenkopplung ist die Verstärkung deutlich vermindert, bei erhöhtem Eingangswiderstand.

AC-Analyse bei höheren Frequenzen: Im oberen Frequenzbereich beginnen die parasitären Einflüsse zu wirken (AC-Ersatzanordnung in Bild 5.3-5). Ab ca. MHz macht sich die Sperrschichtkapazität C_c bemerkbar. Die Steuerspannung $\underline{U}_x$ wird zunehmend aufgrund der Diffusionskapazität $C_{b'e}$ und der an der inneren Basis wirksamen „Miller“-Kapazität $C_c(1 + g_m R_L^*)$ kurzgeschlossen:

$$\underline{Z}_x = \frac{1}{\omega C_c(1 + g_m R_L^*)} \parallel (\beta_0 + 1)r_e \parallel \frac{1}{\omega C_{b'e}}; \quad (5.3-4)$$

Daraus ergibt sich ein Tiefpassverhalten von $\underline{U}_1$ nach $\underline{U}_x$. Bei höheren Frequenzen wird $Z_{II'} \approx r_b$. In Hochfrequenzanwendungen muss r_b niederohmig gehalten werden, nur dann kommt die auf den Eingang umgerechnete Sperrschichtkapazität („Miller“-Kapazität) weniger zum Tragen. Am Ausgang ist die Sperrschichtkapazität C_c untransformiert als Lastkapazität wirksam. Es ergibt sich ein zusätzliches Tiefpassverhalten mit:

$$\underline{U}_2 / \underline{U}_x = g_m \cdot R_L^* \cdot \frac{1}{1 + j\omega C_c R_L^*}; \quad (5.3-5)$$

Bei einem Lastwiderstand von $2k\Omega$ und einer angenommenen Sperrschichtkapazität von $4pF$ ergibt sich im gewählten Beispiel daraus eine Eckfrequenz von ca. $20MHz$.

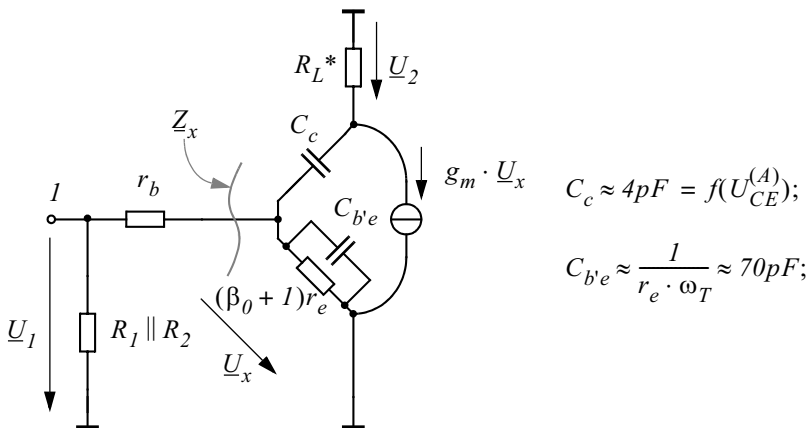


Bild 5.3-5: AC-Analyse bei höheren Frequenzen mit Angabe der parasitären Einflüsse

Experiment 5.3-1: Emitterlsch – AC-Analyse und Noise-Analyse

In den nachstehenden Simulationsergebnissen (Bild 5.3-7) sind die oben angegebenen Abschätzungen eingetragen. Zum einen zeigt das Ergebnis, dass die Abschätzwerte recht gut mit genaueren Berechnungen übereinstimmen. Sie bringen ein tieferes Verständnis dafür, wie und wodurch der Frequenzverlauf so zustandekommt. Für die Abschätzung der oberen Eckfrequenz benötigt man die „Miller“-

Kapazität, sie beträgt etwa $4\text{pF} \cdot (1 + v_{innen}) \approx 550\text{pF}$. Die innere Verstärkung ist etwa $v_{innen} \approx g_m R_L^* \approx 140$. Mit der Diffusionskapazität ergibt sich eine Gesamtkapazität von ca. 600pF , wirksam an der inneren Basis gegen das Bezugspotenzial.

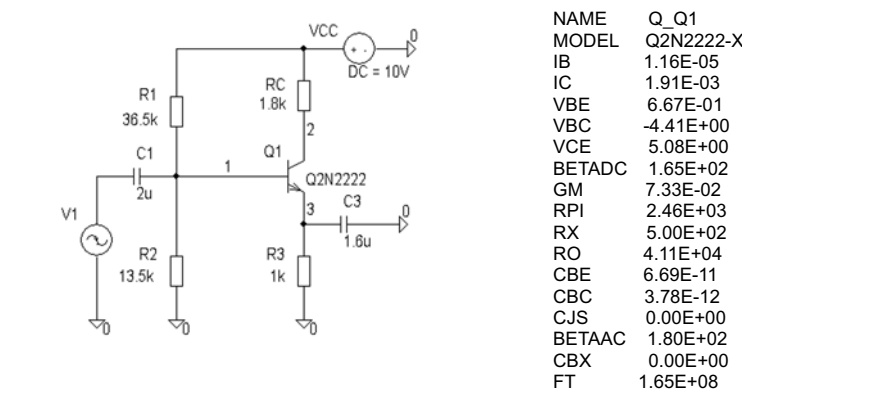


Bild 5.3-6: Schematic des Simulationsbeispiels mit Modellparametersatz aus *.out von PSpice gültig für den gegebenen Arbeitspunkt

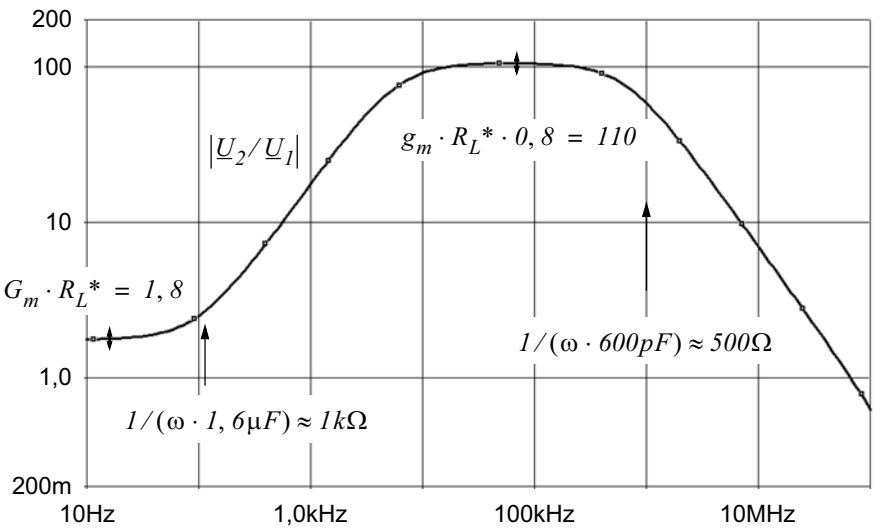


Bild 5.3-7: Spannungsverstärkung der Emittergrundschaltung mit Abschätzwerten

Als nächstes wird die Wirkung der Sperrschichtkapazität C_c genauer betrachtet. Verändert man den, die Sperrschichtkapazität charakterisierenden Parameter CJC im Transistormodell, so verändert sich die obere Eckfrequenz (Bild 5.3-8). Das Experiment zeigt, dass die Bandbreite eines Verstärkerelementes ganz wesentlich durch die Sperrschichtkapazität der Kollektor-Basis Diode bestimmt wird.

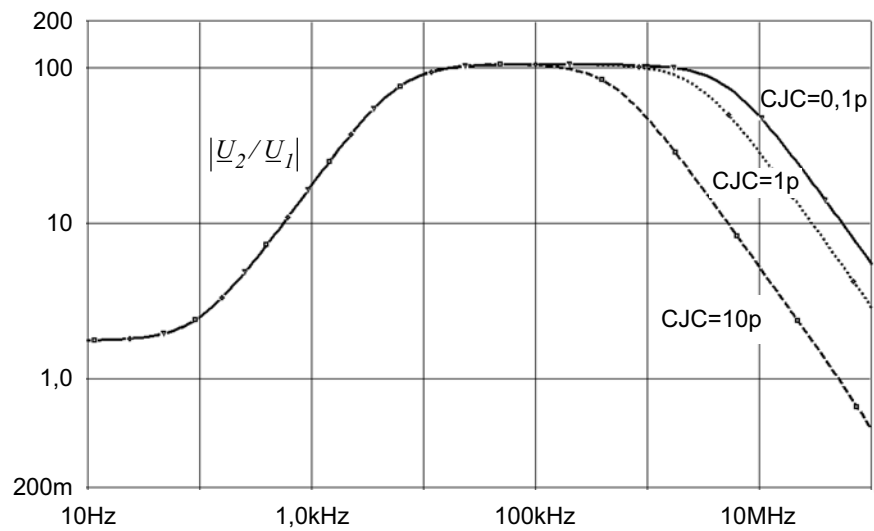


Bild 5.3-8: Frequenzgang der Spannungsverstärkung mit C_{JC} als Parameter

Der Eingangswiderstand (ohne R_1 und R_2) ist bei mittleren Frequenzen gegeben durch $r_b + (\beta_0 + 1)r_e$. Bei tiefen Frequenzen wirkt R_3 bzw. R_E als Seriengegenkopplung, man erhält damit einen Eingangswiderstand mit dem Abschätzwert von ca. $r_b + (\beta_0 + 1)(r_e + R_E)$. Bei höheren Frequenzen verbleibt nur noch der Basisbahnwiderstand r_b als Eingangswiderstand (Bild 5.3-9).

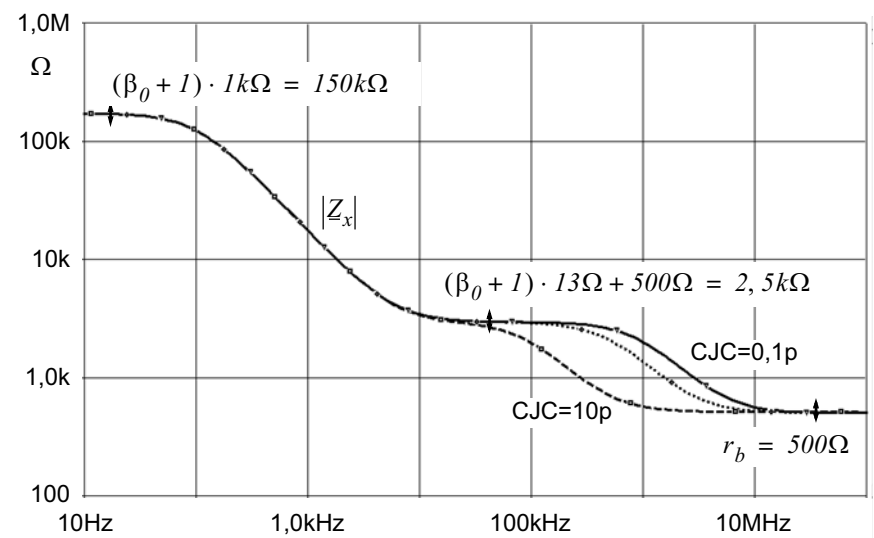


Bild 5.3-9: Eingangswiderstand (ohne R_1 und R_2) der Emittergrundschaltung mit Abschätzwerten

Für die Bestimmung des Ausgangswiderstands ist eine besondere Messschaltung erforderlich (Bild 5.3-10). Sie muss bei „ausgeschalteter“ Signalspannung am Eingang so ausgelegt werden, dass der gegebene Arbeitspunkt nicht verändert wird. Der Signalspannung an Knoten 2 wird ein DC-Wert von $7V$ überlagert.

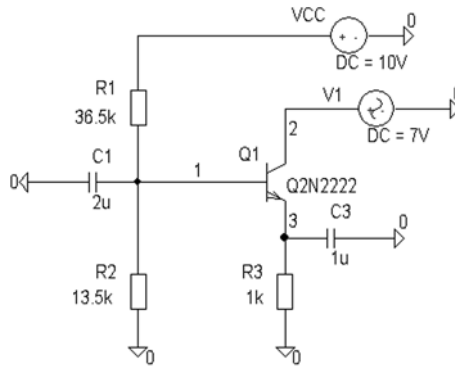


Bild 5.3-10: Messschaltung zur Bestimmung des Ausgangswiderstands

Experiment 5.3-2: Emitterlsch_out

Bei tiefen Frequenzen wirkt die Seriengegenkopplung, die den Innenwiderstand am Ausgang hochohmiger macht, bei mittleren Frequenzen ist der Ausgangswiderstand etwa gleich dem „Early“-Widerstand r_o . Bereits oberhalb einigen $100kHz$ wird im Beispiel der Innenwiderstand der spannungsgesteuerten Stromquelle zunehmend niederohmiger als r_o . Bei einem Lastwiderstand von ca. $1,8k\Omega$ ist dann der Innenwiderstand der Stromquelle nicht mehr vernachlässigbar. Der zunehmend niederohmige Innenwiderstand vermindert dann die Verstärkung des Verstärkerelementes. Bild 5.3-11 zeigt das Ergebnis des wirksamen Innenwiderstandes am Ausgang des Transistors mit den Abschätzwerten. Je niederohmiger der Basisbahnwiderstand r_b ist, um so hochohmiger ist der Innenwiderstand der Stromquelle über einen größeren Frequenzbereich am Ausgang des Transistors bei gegebener Sperrschichtkapazität C_c .

Rauschanalyse: Ermöglicht man im Simulation Profile des Experiments 6.3-1 der Schaltung von Bild 5.3-6 die Rauschanalyse, so erhält man im Ergebnis die äquivalente spektrale Rauschspannung am Ausgang (VONoise) und die auf den Eingang umgerechnete wirksame spektrale Rauschspannung (VINOise). Die Rauschzahl F bei einer bestimmten Frequenz (z.B. bei $f = 10kHz$) ergibt sich mit $R_G = R1 || R2 = 10k\Omega$ und mit der entsprechenden äquivalenten spektralen Rauschspannung VINOise am Eingang aus:

$$F = \frac{V_{INOise}^2}{4 \cdot k \cdot T \cdot R_G}; \quad (5.3-6)$$

Das logarithmische Maß der Rauschzahl in dB ist $10 \log F$. Bild 5.3-12 zeigt das Ergebnis der Rauschanalyse der Schaltung in Bild 5.3-6.

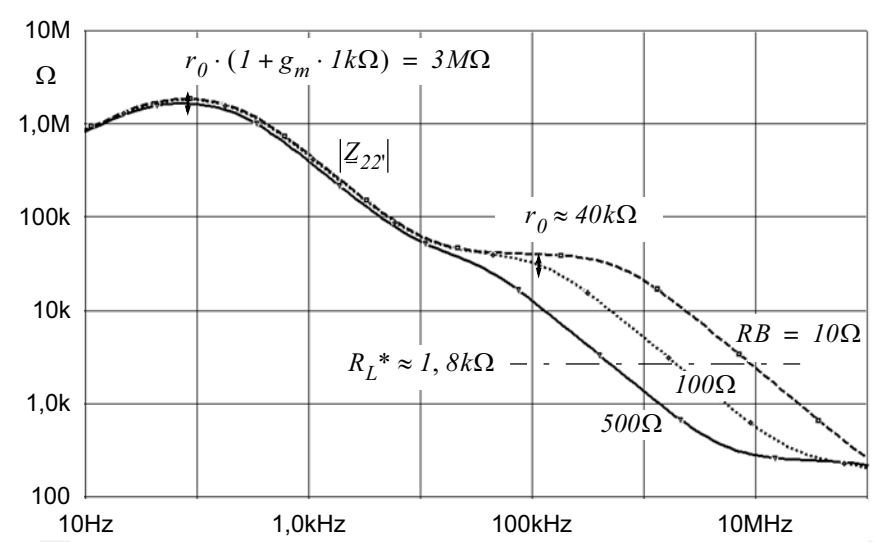


Bild 5.3-11: Ausgangswiderstand bei der Emitttergrundschtung mit RB als Parameter

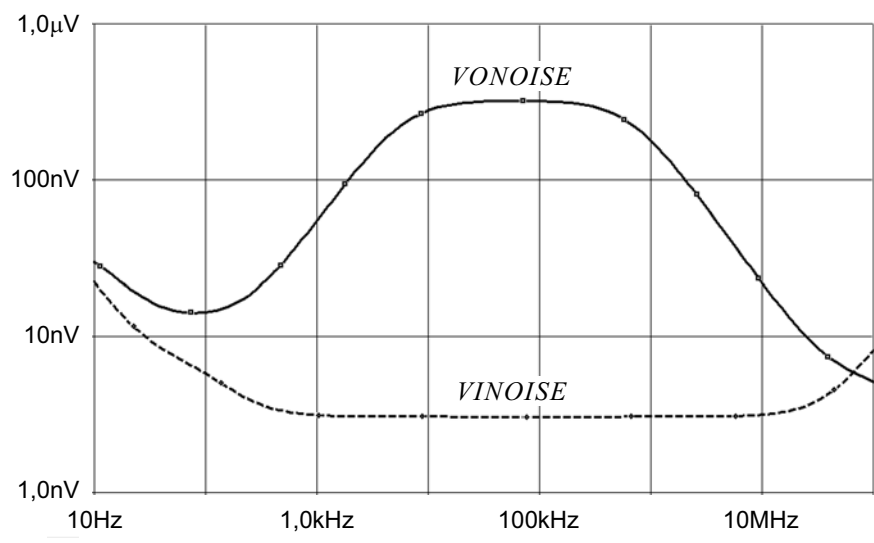


Bild 5.3-12: Äquivalente spektrale Rauschspannung am Ausgang (V_{NOISE}) und wirk-same äquivalente spektrale Rauschspannung (V_{INOISE}) am Eingang der Verstärkerschtung nach Bild 5.3-6

Zusammenfassung: Bei Ansteuerung an der Basis ergibt sich im mittleren Frequenzbereich ein „mittel“-hochohmiger Eingangswiderstand mit $(\beta_0 + 1) \cdot r_e + r_b$. Die innere Verstärkung beträgt etwa $g_m \cdot R_L^*$. Der Transistor arbeitet am Ausgang als spannungsgesteuerte Stromquelle. Der Innenwiderstand der Stromquelle am Ausgang des Transistors ist näherungsweise durch den „Early-Widerstand“ r_0 gegeben, wenn die steuernde Quelle hinreichend niederohmig ist. Bei höheren Frequenzen vermindert sich die Verstärkung im wesentlichen aufgrund des Einflusses der Sperrschichtkapazität C_c . Sie macht sich um so mehr bemerkbar, je hochohmiger der Bahnwiderstand r_b ist.

5.3.2 RC-Verstärker in Basisgrundschtaltung

Eingehend behandelt werden Verstärkerelemente in Basisgrundschtaltung (Bild 5.3-13) und deren Unterschiede zur Emitttergrundschtaltung (Bild 5.3-1). Die Ansteuerung des RC-Verstärkers erfolgt im Arbeitspunkt am Emittter von Q_1 mit $\underline{U}_I$. Das Ausgangssignal $\underline{U}_2$ wird am Kollektor abgenommen.

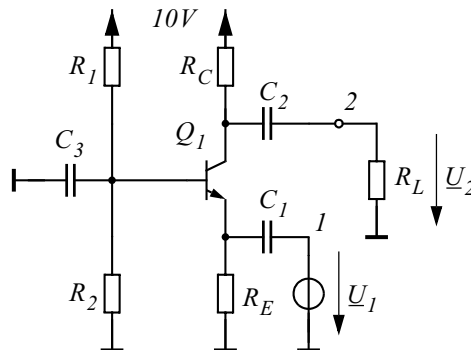


Bild 5.3-13: RC-Verstärker mit Ansteuerung am Emittter: Basisgrundschtaltung

Für die DC-Analyse hat sich gegenüber dem Beispiel in Bild 5.3-1 nichts geändert. Es gelten dieselben Überlegungen wie im vorhergehenden Abschnitt.

AC-Analyse bei mittleren Frequenzen: Bei mittleren Frequenzen stellen wiederum die Koppelkapazitäten und Abblockkapazitäten einen Kurzschluss dar. Im Betriebsfrequenzbereich mit $1/(\omega C_3) \ll R_1 \parallel R_2$ und $1/(\omega C_1) \ll Z_x$ erhält man das AC-Ersatzschaltbild in Bild 5.3-14.

Bezüglich der Verstärkung und des Eingangswiderstands ergeben sich für die Basisgrundschtaltung die nachstehenden Abschätzungen. Grundsätzlich ist näherungsweise:

$$\underline{U}_I \approx I_e \cdot r_e + I_b \cdot r_b = I_e \cdot (r_e + r_b/(\beta_0 + 1)); \quad (5.3-7)$$

Damit wirkt der Basisbahnwiderstand umgerechnet auf den Eingang mit $r_b/(\beta_0 + 1)$. Wegen des hohen Eingangsstroms I_e muss der Wert des Basisbahnwiderstands um $1/(\beta_0 + 1)$ reduziert werden, um dieselbe Spannung am Bahnwi-

derstand zu erhalten.

$$\boxed{\frac{\underline{U}_2}{\underline{U}_x} = g_m \cdot R_L^* \approx \frac{I, 8k\Omega}{13\Omega} \approx 140; \quad \frac{\underline{U}_x}{\underline{U}_I} = \frac{r_e}{r_e + r_b/(\beta_0 + 1)};}$$

$$\boxed{Z_x = r_e + \frac{r_b}{(\beta_0 + 1)} \approx 18\Omega;}$$
(5.3-8)

Es ergibt sich dieselbe Verstärkung wie bei der Emittergrundschtung. Allerdings ist der Eingangswiderstand deutlich niederohmiger (siehe Bild 5.3-19). Die Signalquelle am Eingang wird somit erheblich stärker belastet.

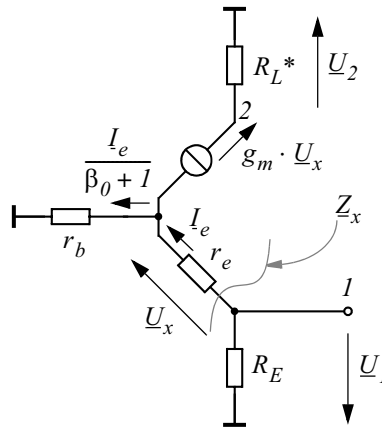


Bild 5.3-14: AC-Ersatzschaltbild bei Speisung am Emitter – Basisgrundschtung

AC-Analyse bei höheren Frequenzen: Die Diffusionskapazität $C_{b'e}$ schließt zunehmend bei höheren Frequenzen $\underline{U}_{b'e}$ kurz, so dass von $\underline{U}_I$ nach $\underline{U}_x$ ein Tiefpassverhalten gegeben ist. Bild 5.3-15 zeigt das AC-Ersatzschaltbild bei höheren Frequenzen. Am Ausgang ist ebenfalls ein Tiefpassverhalten gegeben, es gilt:

$$\boxed{\frac{\underline{U}_2}{\underline{U}_x} = g_m \cdot R_L^* \cdot \frac{1}{1 + j\omega C_c R_L^*};}$$
(5.3-9)

Der „Miller“-Effekt – bei der Emitterschaltung gegeben durch $C_c(1 + g_m R_L^*)$ – macht sich hier in der Weise wie bei Ansteuerung an der Basis nicht bemerkbar, da die Eingangsspannung im wesentlichen an $r_e \parallel 1/j\omega C_{b'e}$ abfällt (bei niederohmigem Quellwiderstand). Insofern sollte das Verstärkerelement breitbandiger werden. Allerdings verändert sich der Innenwiderstand am Ausgang bei sehr niederohmiger Ankopplung der Signalquelle am Emitter nicht gegenüber der Darstellung des Ergebnisses in Bild 5.3-11. Der Frequenzgang des wirksamen Innenwiderstandes am Ausgang des Transistors (siehe Bild 5.3-21) bestimmt auch hier im wesentlichen den Frequenzgang der Verstärkung bei höheren Frequenzen. Der wirksame Innenwiderstand am Ausgang sollte deutlich hochohmiger sein, als der Lastwider-

stand. Ein Quellwiderstand R_G wirkt hinsichtlich des Innenwiderstandes am Ausgang auch in Basisschaltung als „Seriengegenkopplung“ (siehe seriengegekoppelter Transistor). Bei niederohmiger „innerer“ Basis (r_b klein) und zusätzlich durch „Seriengegenkopplung“ am Emitter mit einem Quellwiderstand R_G der Signalquelle ($r_b/(\beta_0 + 1)$ niederohmig gegenüber $r_e \parallel 1/j\omega C_{b'e} + R_G$) wird der Frequenzgang des Innenwiderstandes am Ausgang breitbandiger hochohmig. Ist der Basisbahnwiderstand r_b hinreichend niederohmig, wie im Originalmodell des Transistors Q2N2222 gegeben, so ergibt sich eine signifikant höhere Bandbreite des Verstärkungsfrequenzgangs. Bild 5.3-17 zeigt den Verstärkungsfrequenzgang der Basisschaltung bei niederohmigem Bahnwiderstand ($r_b = 10\Omega$) und mit der Sperrschichtkapazität CJC als Parameter. In Bild 5.3-18 ist der Verstärkungsfrequenzgang dargestellt mit dem Bahnwiderstand r_b als Parameter.

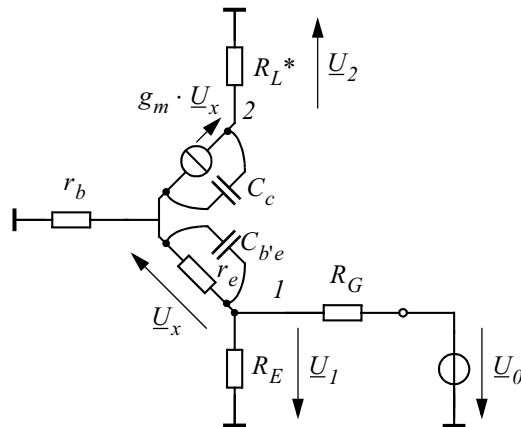


Bild 5.3-15: AC-Analyse bei höheren Frequenzen – Basisgrundschaltung

Experiment 5.3-3: Basislsch

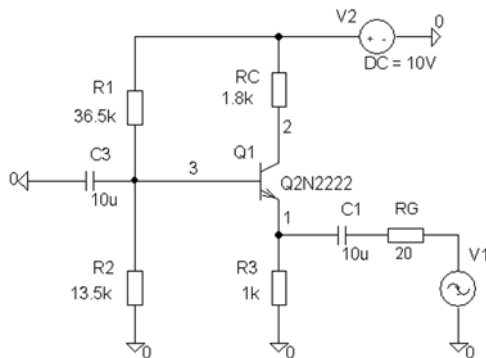


Bild 5.3-16: Messschaltung für Ansteuerung an Emitter – Basisschaltung

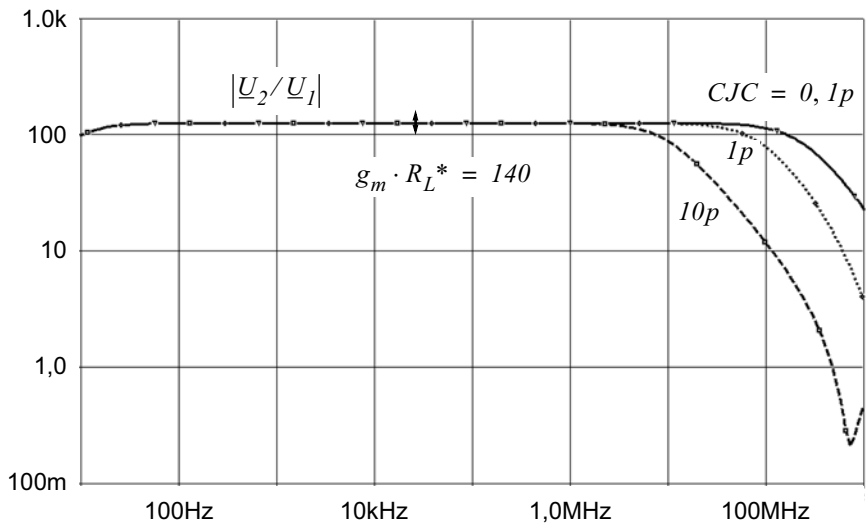


Bild 5.3-17: Basisgrundsaltung – Frequenzgang der Spannungsverstärkung mit dem Originalmodell Q2N2222 mit $r_b = 10\Omega$ und CJC als Parameter

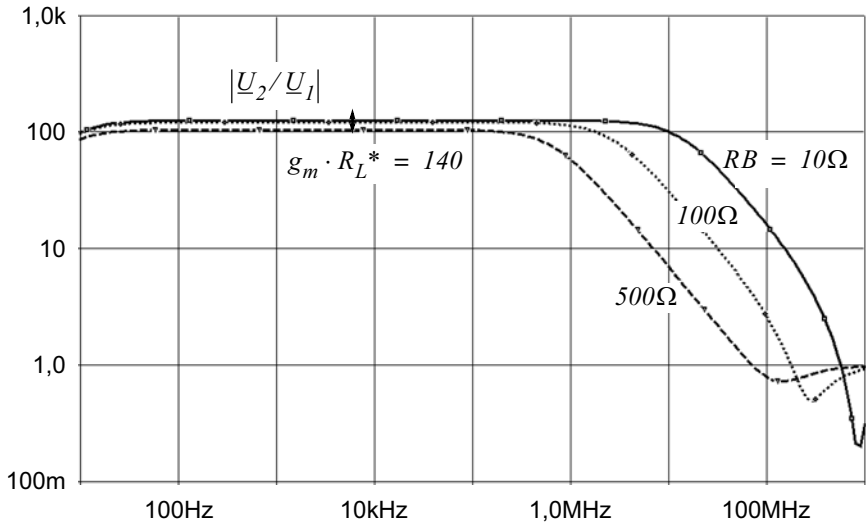


Bild 5.3-18: Basisgrundsaltung – Frequenzgang der Spannungsverstärkung mit dem Originalmodell Q2N2222 mit $CJC = 7,3pF$ und RB als Parameter

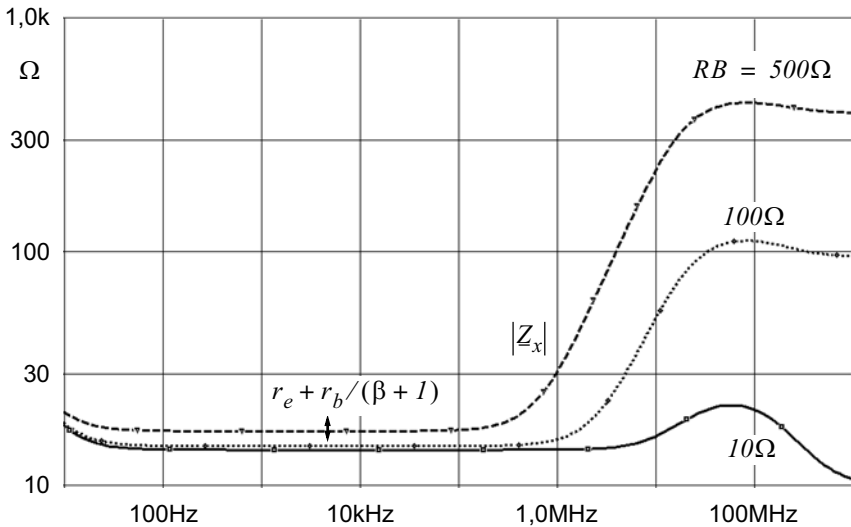


Bild 5.3-19: Basisgrundschaltung – Frequenzgang des Eingangswiderstands bei Ansteuerung am Emittor mit dem Originalmodell Q2N2222 und R_B als Parameter

Zusammenfassung: Bei Ansteuerung am Emittor ergibt sich ein niederohmiger Eingangswiderstand mit $r_e + r_b / (\beta_0 + 1)$. Die Verstärkung beträgt etwa $g_m \cdot R_L^*$. Der Transistor arbeitet am Ausgang als spannungsgesteuerte Stromquelle. Der Innenwiderstand der Stromquelle ist bei mittleren Frequenzen näherungsweise durch den „Early-Widerstand“ r_0 unter Berücksichtigung der Seriengegenkopplung durch den Innenwiderstand R_G der Signalquelle gegeben. Bei höheren Frequenzen macht sich die Sperrschichtkapazität C_c am Ausgang durch ein Tiefpassverhalten bemerkbar.

Innenwiderstand am Ausgang: Nach Untersuchung des Verstärkungsfrequenzgangs und des Eingangswiderstands soll nunmehr der Innenwiderstand am Ausgang der Verstärkerstufe in Basisschaltung näher betrachtet werden, bei einem angenommenen Quellwiderstand $R_G = 20\Omega$ der Signalquelle. Der Quellwiderstand R_G der Signalquelle wirkt dabei als Seriengegenkopplung, er macht den Innenwiderstand der Stromquelle des Transistors am Ausgang hochohmiger. In Bild 5.3-20 ist zum Vergleich der Ausgangswiderstandswert (hier: $1,8k\Omega$) eingetragen. Die Eckfrequenz der Ausgangsspannung wird erreicht, wenn der kapazitive Innenwiderstand gleich dem Lastwiderstand (im Beispiel von Bild 5.3-16: $1,8k\Omega$) ist. Das folgende Experiment untersucht den Innenwiderstand am Ausgang der Basisgrundschaltung bei verschiedenen Bahnwiderständen. Die Testschaltung zeigt Bild 5.3-20, das Ergebnis ist in Bild 5.3-21 dargestellt. Mit zunehmend niederohmigem Bahnwiderstand wird der Innenwiderstand am Ausgang breitbandig hochohmiger.

Experiment 5.3-4: Basislsch_out – Untersuchung des Innenwiderstands am Ausgang der Basisschaltung.

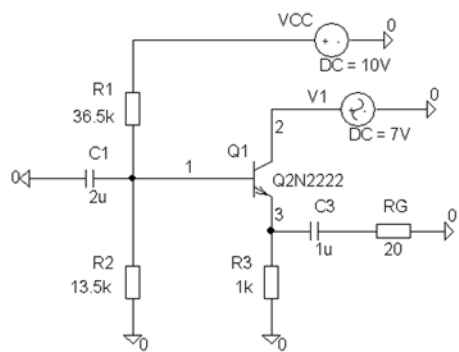


Bild 5.3-20: Testbench für die Ermittlung des Innenwiderstands am Ausgang der Basisschaltung

Zusammenfassung: Der Ausgangswiderstand der Basisschaltung (Innenwiderstand am Ausgang) unterscheidet sich von dem von der Emitterschaltung nur dahingehend, dass bei der Basisschaltung der Generatorwiderstand der steuernden Signalquelle als Seriengegenkopplung wirkt, was den Ausgangswiderstand breitbandiger hochohmiger macht. Bei der Emitterschaltung wirkt der Generatorwiderstand im Sinne einer Erhöhung des Bahnwiderstands, was einer Erniedrigung des Ausgangswiderstands entspricht.

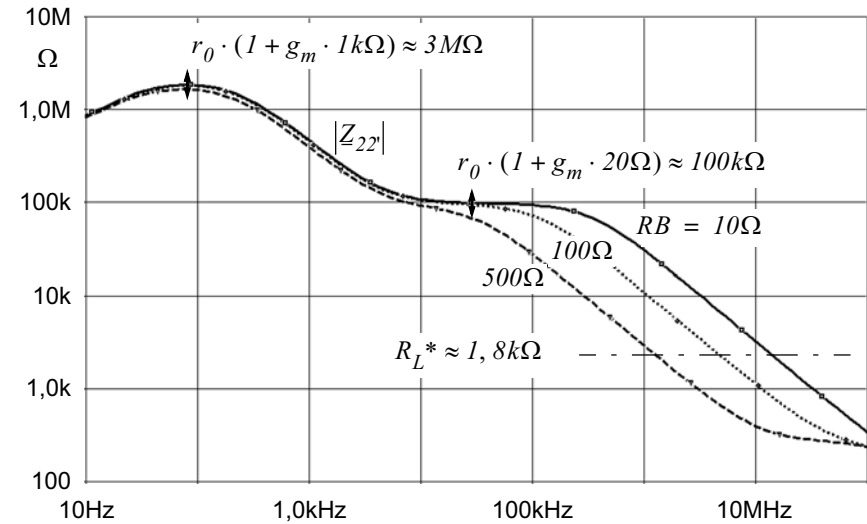


Bild 5.3-21: Basisschaltung – Innenwiderstand am Ausgang mit R_B als Parameter bei einem Innenwiderstand der Signalquelle mit $R_G = 20\Omega$

5.3.3 Emitterfolger

Emitterfolger wirken als Impedanztransformator bzw. als „Leistungsverstärker“ mit Spannungsverstärkung in der Größenordnung von 1. Beim Emitterfolger wird das Signal $\underline{U}_1$ an der Basis von Q_1 im vorgegebenen Arbeitspunkt eingekoppelt. Die Auskoppelung des Ausgangssignals $\underline{U}_2$ erfolgt am Emitter.

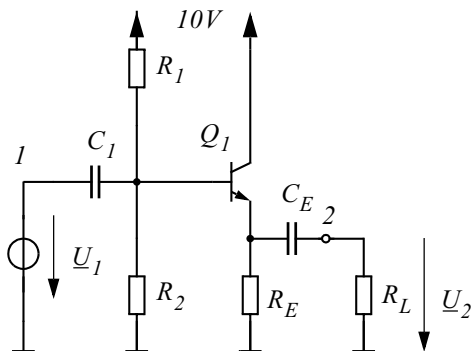


Bild 5.3-22: Kollektorgrundschtung – Emitter-Folger

Auch hier ändert sich betreffs der DC-Analyse nichts gegenüber der Schaltung in Bild 5.3-1. Das Ergebnis der DC-Analyse kann vom ersten Abschnitt übernommen werden.

AC-Analyse bei mittleren Frequenzen: Im mittleren Frequenzbereich stellen die Koppelkapazitäten C_1 und C_2 wiederum einen Kurzschluss dar. Mit der Näherung $1/(\omega C_1) \ll R_1 \parallel R_2 \parallel \{r_b + (\beta_0 + 1)(r_e + R_E \parallel R_L)\}$, sowie $1/(\omega C_2) \ll R_L$ erhält man folgende Abschätzergebnisse für die Spannungsverstärkung, für den Eingangswiderstand und für den Innenwiderstand am Ausgang.

$$\frac{\underline{U}_2}{\underline{U}_1} = \frac{(\beta_0 + 1)(R_E \parallel R_L)}{r_b + (\beta_0 + 1)(r_e + R_E \parallel R_L)} \approx 1; \quad (5.3-10)$$

$$Z_{I1'} = r_b + (\beta_0 + 1)(r_e + R_E \parallel R_L); \quad Z_{22'} \approx r_e + \frac{r_b}{(\beta_0 + 1)};$$

Mit Berücksichtigung des in Bild 5.3-22 nicht skizzierten Innenwiderstandes R_G der steuernden Quelle bestimmt sich der Innenwiderstand am Ausgang wie folgt:

$$Z_{22'} = r_e + \frac{(r_b + R_1 \parallel R_2 \parallel R_G)}{(\beta_0 + 1)}; \quad (5.3-11)$$

Ohne Berücksichtigung des „Early“-Widerstandes r_0 liegt dem Emitterfolger die in Bild 5.3-23 skizzierte Ersatzanordnung zugrunde. Deutlich zeigt sich dabei die Hochohmigkeit des Eingangskreises (vergl. Bild 5.3-25 unten).

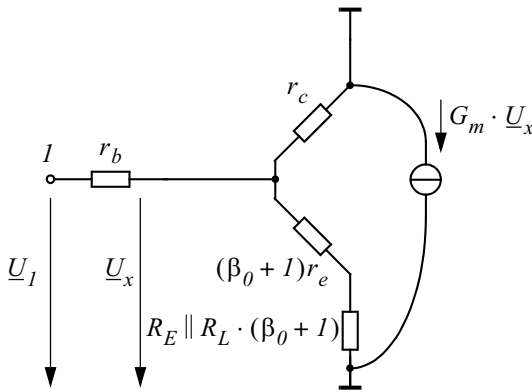


Bild 5.3-23: AC-Ersatzschaltbild für den Emitterfolger

Im folgenden Experiment wird der Emitterfolger im Frequenzbereich und im Zeitbereich untersucht. Die zugrundeliegende Testschaltung zeigt Bild 5.3-24. Das Ergebnis bezüglich des Übertragungsverhaltens und des Eingangswiderstands ist in Bild 5.3-25 dargestellt. Die getroffenen Abschätzwerte werden gut bestätigt. Das Aussteuerverhalten im Zeitbereich zeigt Bild 5.3-28. Darauf wird noch näher eingegangen. In einem weiteren Experiment erfolgt die Ermittlung des Innenwiderstands am Ausgang des Emitterfolgers.

Experiment 5.3-5: Kollektor1sch – AC-Analyse mit dem Simulation Profile „AC“ zur Bestimmung von Verstärkung und Eingangswiderstand; TR-Analyse mit dem Simulation Profile „TR“ zur Transientenanalyse der Aussteuerbarkeit.

Experiment 5.3-6: Kollektor1sch_out – AC-Analyse mit dem Simulation Profile „AC“ zur Bestimmung des Ausgangswiderstands.

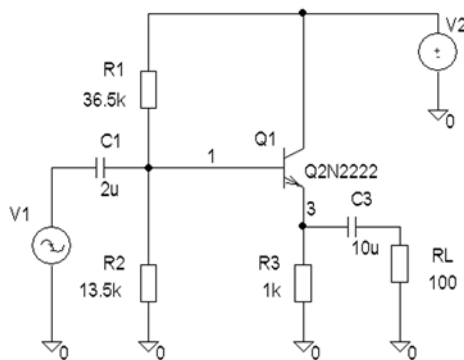


Bild 5.3-24: Messschaltung für Emitterfolger

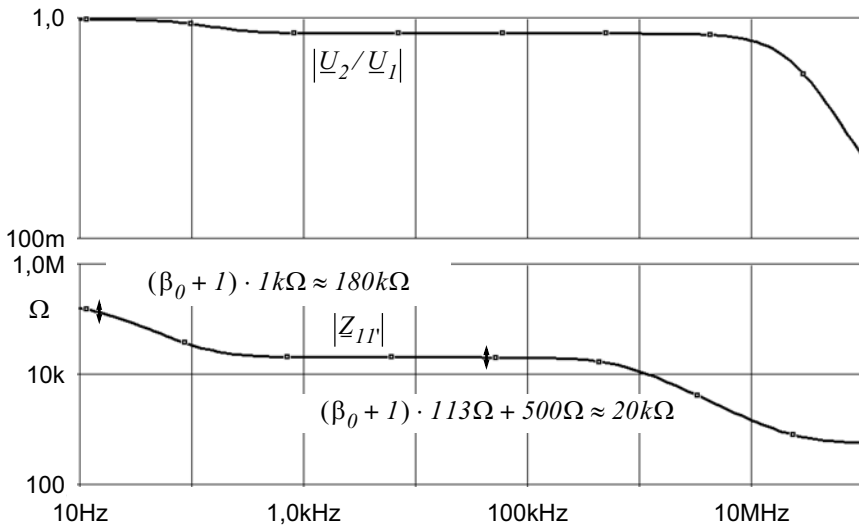


Bild 5.3-25: Verstärkungsfrequenzgang und Eingangswiderstand des Emitterfolgers

Der Innenwiderstand am Ausgang des Emitterfolgers ist in Bild 5.3-26 dargestellt. Es zeigt sich insbesondere bei mittleren Frequenzen ein sehr niederohmiges Verhalten. Im unteren Frequenzbereich geht die Wirkung der Abblockkapazität am Basisanschluss verloren, der Innenwiderstand wird hochohmiger. Im oberen Frequenzbereich schließt die Diffusionskapazität $C_{b'e}$ die Emitter-Basis Diode kurz. Die Transformationswirkung des Bahnwiderstandes $r_b/(\beta + 1)$ geht verloren. Es verbleibt dann nur noch der Bahnwiderstand r_b .

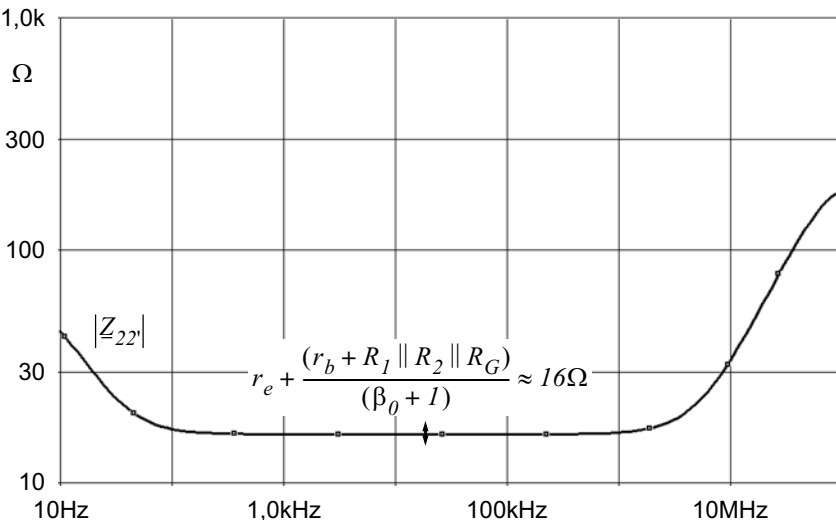


Bild 5.3-26: Ausgangswiderstand des Emitterfolgers

Ein Problem stellt die Aussteuerbarkeit dar. Im Arbeitspunkt ergibt sich als maximale Aussteuerbarkeit bei $1/(\omega C_2) \ll R_L$:

$$\frac{(U_{RE}^{(A)} - \Delta u_{2,max})}{R_E} = \frac{\Delta u_{2,max}}{R_L}; \quad (5.3-12)$$

$$\Delta u_{2,max} = U_{RE}^{(A)} \cdot \frac{R_L \parallel R_E}{R_E};$$

Zum zeitlichen Momentanwert der maximal negativen Aussteuerung fließt der Strom $(\Delta u_{2,max})/R_L$. Im Grenzfalle (Übergang zum Sperrbetrieb) ist am Emitter des Transistors $I_E = 0$. Dann fließt an R_E der Strom $(U_{RE}^{(A)} - \Delta u_{2,max})/R_E$. Daraus erhält man die Bedingung für die größtmögliche Aussteuerung. Zur Untersuchung der maximalen Aussteuerbarkeit ist eine TR-Analyse durchzuführen. Interessant ist der zeitliche Momentanwert bei größtmöglicher negativer Signalspannung. Ist der Lastwiderstand zu niederohmig, so geht der Transistor in den Sperrzustand über mit dem Grenzwert $I_E = 0$. Bild 5.3-27 veranschaulicht den Sachverhalt. In einem Experiment soll die getroffene Abschätzung bestätigt werden. Im konkreten Beispiel ist $U_{RE}^{(A)} = 2V$. Mit den im Experiment gegebenen Werten beträgt die maximale Aussteuerbarkeit $0,2V$ gemäß Gl. 5.3-12, was durch das Simulationsergebnis in Bild 5.3-28 bestätigt wird.

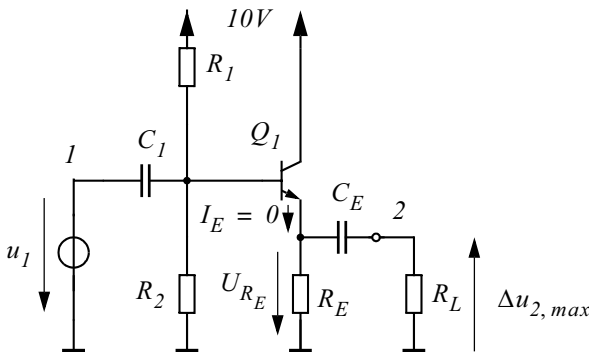


Bild 5.3-27: Zur maximalen Aussteuerbarkeit des Emitterfolgers

Zusammenfassung: Der Emitterfolger weist einen hochohmigen Eingangswiderstand mit $(\beta_0 + 1) \cdot (R_L + r_e)$ auf. Die Verstärkung beträgt etwa gleich 1. Der Transistor arbeitet am Ausgang als gesteuerte Spannungsquelle. Der Innenwiderstand am Ausgang an der Schnittstelle zur Last hin ist ca. $r_e + (r_b + R_B)/(\beta_0 + 1)$. Die Aussteuerbarkeit des Emitterfolgers ist begrenzt. Sie hängt ab von der Stromergiebigkeit des Transistors, bestimmt durch den Arbeitspunkt. Bei zu großen negativen zeitlichen Momentanwerten geht der Transistor ab einer bestimmten Größe des Laststroms in den Sperrzustand über. Es zeigt sich ein Begrenzungseffekt.

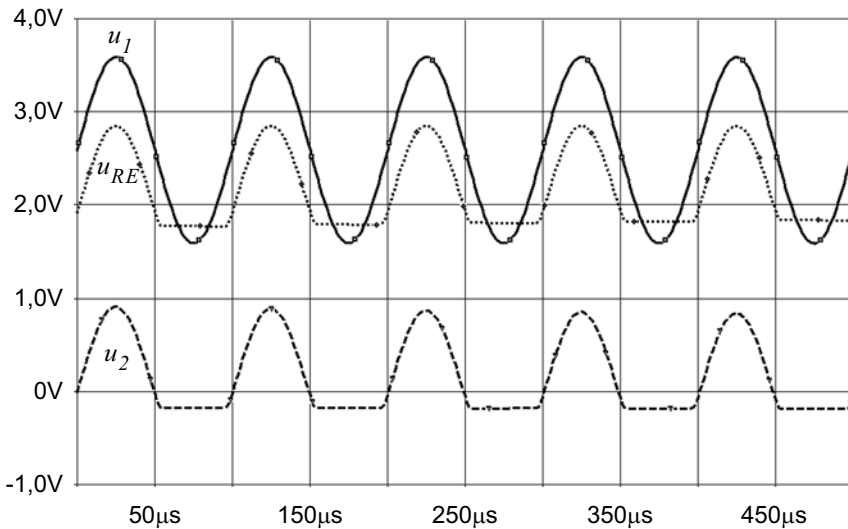
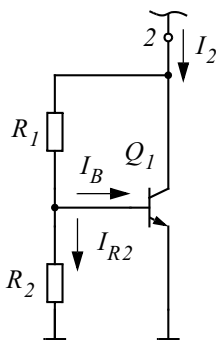


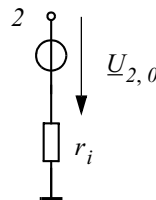
Bild 5.3-28: Ergebnis zur Analyse der Aussteuerbarkeit des Emitterfolgers

5.3.4 Der Bipolartransistor als Spannungsquelle

Spannungsquellen werden vielfach als Funktionsprimitiv in Funktionsschaltungen verwendet. Im Gleichspannungsfall liegt eine Spannungsquelle mit niederohmigem Innenwiderstand vor. Wechsellspannungsmäßig wirkt nur der niederohmige Innenwiderstand der Spannungsquelle. Ein parallelgegengekoppelter Bipolartransistor (Bild 5.3-29) weist das Verhalten einer Spannungsquelle auf.



Die Schaltung wirkt als Spannungsquelle



Voraussetzung: $I_B \ll I_{R_2}$; $I_2 > \frac{U_2}{(R_1 + R_2)}$

Bild 5.3-29: Der Bipolartransistor als Spannungsquelle

Für die Funktionsgrundsaltung lässt sich ein Makromodell in Form einer Spannungsquelle mit Innenwiderstand angeben. Die Ersatzspannung der Spannungsquelle beträgt:

$$U_{2,0} = 0,7V \cdot \left(1 + \frac{R_1}{R_2}\right); \quad (5.3-13)$$

Die Bestimmung des Innenwiderstandes r_i erfolgt durch AC-Analyse. Die Ersatzschaltung für die Änderungsanalyse zeigt Bild 5.3-30.

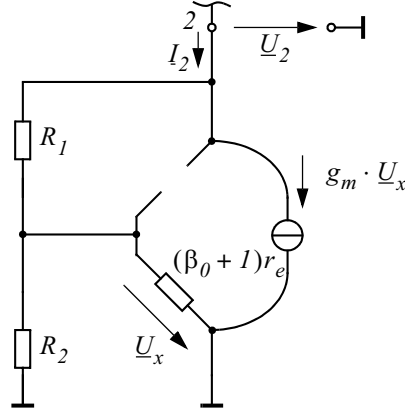


Bild 5.3-30: Zur Bestimmung des Innenwiderstandes r_i eines parallelgegekoppelten Transistors

Für den Innenwiderstand des parallelgegekoppelten Transistors ergibt sich:

$$\underline{U}_x = \underline{U}_2 \cdot \frac{R_2}{R_2 + R_1}; \quad I_2 = \frac{\underline{U}_2}{R_2 + R_1} + g_m \cdot \underline{U}_2 \cdot \frac{R_2}{R_2 + R_1};$$

$$\boxed{r_i = \frac{\underline{U}_2}{I_2} = \frac{1}{g_m} \cdot \frac{R_1 + R_2}{R_2} \parallel (R_1 + R_2) \approx \frac{1}{g_m} \cdot \left(1 + \frac{R_1}{R_2}\right);} \quad (5.3-14)$$

Bei $R_1 = R_2$ ist der Innenwiderstand näherungsweise gleich $2/g_m$. Die Steilheit ist durch den Arbeitspunkt festgelegt. Im konkreten Beispiel ist der Arbeitspunkt so, dass $r_e = 26\Omega$ ist. Der Innenwiderstand ist demnach $r_i = 52\Omega$. Die Testschaltung für die Bestimmung des Innenwiderstands am Ausgang des parallelgegekoppelten Transistors zeigt Bild 5.3-31. Das Ergebnis ist in Bild 5.3-32 dargestellt, es bestätigt die getroffene Abschätzung.

Zusammenfassung: Durch geeignete Parallelgegenkopplung wirkt der Transistor am Ausgang als Spannungsquelle mit niederohmigem Innenwiderstand. Die Leerlaufspannung der Spannungsquelle wird bestimmt durch das Verhältnis der Widerstände R_1 und R_2 . Der Innenwiderstand der Spannungsquelle ist näherungsweise $(1/g_m) \cdot (1 + R_1/R_2)$. Derartige Funktionsschaltungen sind u.a. hilfreich bei der Arbeitspunkteinstellung.

Experiment 5.3-7: Spgqu

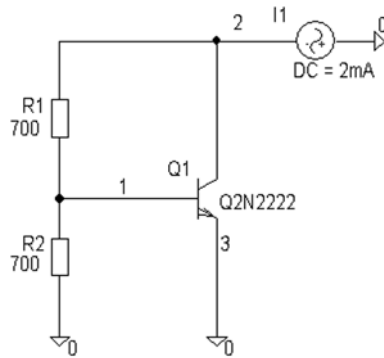


Bild 5.3-31: Testschaltung für den Transistor betrieben als Spannungsquelle

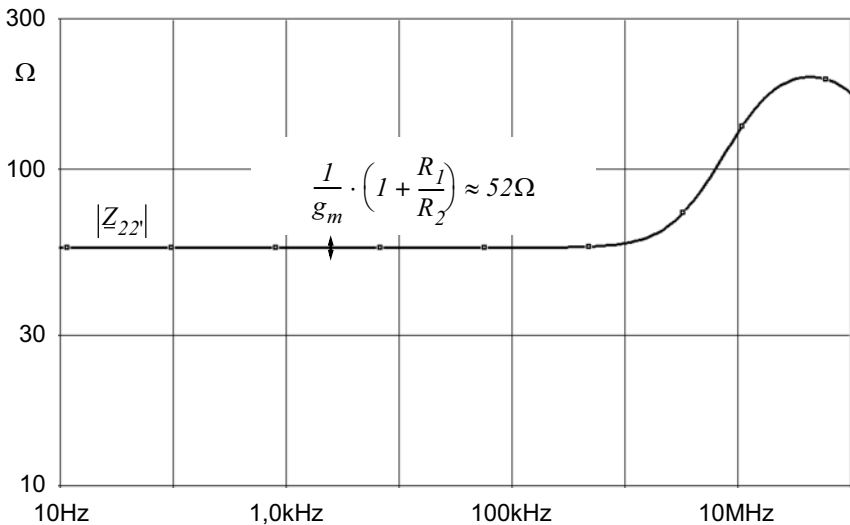
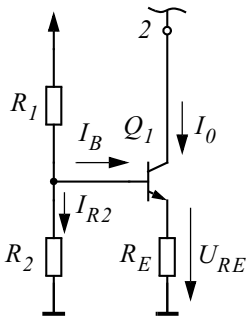


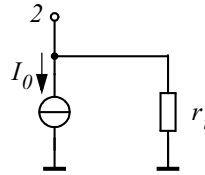
Bild 5.3-32: Ergebnis des Innenwiderstands der Spannungsquelle

5.3.5 Der Bipolartransistor als Stromquelle

Stromquellen werden als Funktionsprimitive in Funktionsschaltungen u.a. zur Arbeitspunkteinstellung eingesetzt. Grundsätzlich stellt der Bipolartransistor im Normalbetrieb eine Stromquelle dar. Das Verhalten einer Stromquelle wird durch Seriengegenkopplung verbessert (siehe Abschnitt 5.1.7). Bild 5.3-33 zeigt den Bipolartransistor betrieben als Stromquelle mit Angabe eines Makromodells für das funktionale Verhalten. Das Makromodell wird charakterisiert durch den Konstantstrom I_0 und durch den Innenwiderstand r_i .



Die Schaltung wirkt als Spannungsquelle



Voraussetzung: $I_B \ll I_{R_2}$; $U_{RE} > 1,5V$;

die Mindestspannung beträgt: $U_2 > U_{RE} + 1V$;

Bild 5.3-33: Der Bipolartransistor als Stromquelle

Der Konstantstrom der Ersatzstromquelle des Makromodells für den Bipolartransistor als Stromquelle gemäß Bild 5.3-33 ergibt sich aus:

$$I_0 = \frac{U_{RE}}{R_E}; \quad (5.3-15)$$

Die Bestimmung des Innenwiderstandes erfolgt wiederum durch AC-Analyse (Änderungsanalyse). Der Ausgangswiderstand eines seriengegekoppelten Transistors ist bei $r_0 \rightarrow \infty$ mit $R_B = R_1 || R_2$ nur unter Berücksichtigung des Widerstandes r_c näherungsweise (siehe Abschnitt 5.1.7):

$$\boxed{r_i \approx \frac{r_c}{\beta_0 + 1}; \text{ bei } R_B \rightarrow \infty;} \quad \boxed{r_i \approx r_c; \text{ bei } R_B \rightarrow 0;} \quad (5.3-16)$$

Der Ausgangswiderstand aufgrund von r_c ist bei niederohmigem Abschluss der Basis näherungsweise gleich r_c ; bei hochohmigem Abschluss liegt der Grenzwert bei $r_c/(\beta_0 + 1)$. Man beachte, dass bei Frequenzen ab einigen $100kHz$ der Widerstand r_c durch $1/j\omega C_c$ zu ersetzen ist. Ein hochohmiger Ausgangswiderstand ist damit nur mit niederohmigem Abschluss der Basis zu erreichen.

Als nächstes wird der Ausgangswiderstand eines seriengegekoppelten Transistors bei $r_c \rightarrow \infty$ nur unter Berücksichtigung des „Early“-Widerstandes r_0 betrachtet; dazu gilt folgende Herleitung gemäß Bild 5.3-34 mit Annahme von Näherungen:

$$\begin{aligned} I_2 + g_m \cdot \underline{U}_x &= \left(\underline{U}_2 - \underline{U}_x \cdot \frac{(\beta_0 + 1)r_e + R_B}{(\beta_0 + 1)r_e} \right) / r_0; \\ I_2 &= \underline{U}_x \cdot \frac{(\beta_0 + 1)r_e + R_B}{(\beta_0 + 1)r_e} / R_E + \underline{U}_x \cdot \frac{1}{(\beta_0 + 1)r_e}; \\ \underline{U}_x &= I_2 \cdot (\beta_0 + 1)r_e \cdot \frac{1}{1 + \frac{(\beta_0 + 1)r_e + R_B}{R_E}} = I_2 \cdot (\beta_0 + 1)r_e \cdot \frac{R_E}{R_E + (\beta_0 + 1)r_e + R_B} \approx I_2 \cdot R_E; \\ \boxed{\underline{U}_2 / I_2 &\approx R_E + r_0 \cdot (1 + g_m \cdot R_E) \approx r_0 \cdot (1 + g_m \cdot R_E);} \end{aligned} \quad (5.3-17)$$

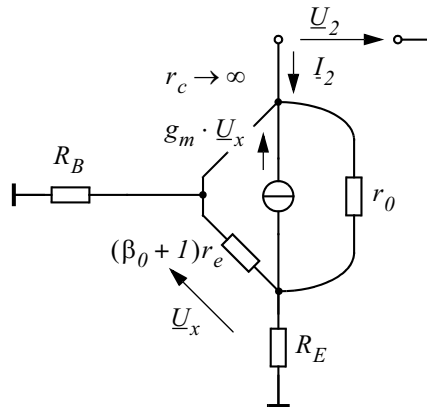


Bild 5.3-34: Ausgangswiderstand bei $r_c \rightarrow \infty$; betrachtet wird der Einfluß von r_o

Als Ergebnis der Betrachtung erhält man näherungsweise bei nicht zu stark wirkender Gegenkopplung mit $R_E \ll (\beta_0 + 1) \cdot r_e$ (siehe auch Abschnitt 5.1.7):

$$r_i \approx r_o(I + g_m R_E); \quad (5.3-18)$$

Die Seriengegenkopplung mit R_E erhöht nur unter Einfluss des „Early-Widerstandes“ den Ausgangswiderstand auf etwa $r_o(I + g_m R_E)$, wenn die Basis hinreichend niederohmig abgeschlossen ist. Bei starker Gegenkopplung mit $R_E \gg (\beta_0 + 1) \cdot r_e$ nimmt der Innenwiderstand am Ausgang den Wert $r_o(I + \beta_0)$ an.

Das nachstehende Experiment untersucht den Innenwiderstand des Transistors betrieben als Stromquelle, gemäß Testschaltung in Bild 5.3-35. Das Simulationsergebnis mit den Abschätzwerten ist in Bild 5.3-36 dargestellt. Der hochohmige Innenwiderstand der Stromquelle wird durch das Simulationsergebnis bestätigt. Im betrachteten Beispiel beträgt der „Early-Widerstand“ etwa $40 \text{ k}\Omega$.

Experiment 5.3-8: Stromquelle

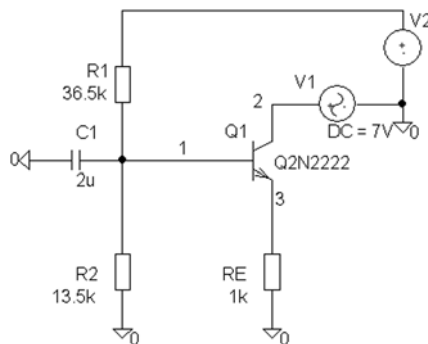


Bild 5.3-35: Messschaltung zur Bestimmung des Innenwiderstandes der Stromquelle

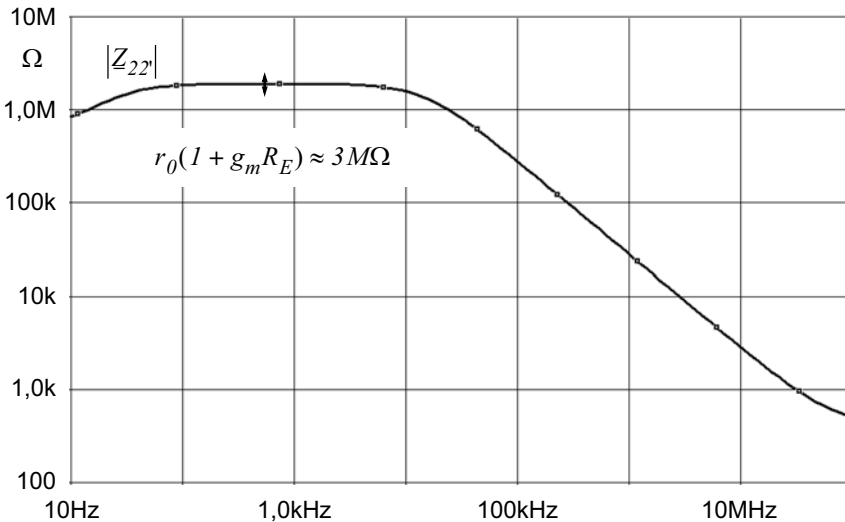


Bild 5.3-36: Simulationsergebnis des Innenwiderstandes

Zusammenfassung: Durch geeignete Seriengegenkopplung wirkt der Transistor am Ausgang als Stromquelle mit hochohmigem Innenwiderstand. Die Seriengegenkopplung macht den Innenwiderstand am Ausgang hochohmiger, als er vergleichsweise ohne Gegenkopplung wäre. Damit wird allgemein die Wirkung der Seriengegenkopplung (siehe Abschnitt 4.2.4) bestätigt.

5.3.6 Darlingtonstufen

Bei der Darlingtonstufe sind die Basis-Emitter-Strecken zweier Transistoren in Reihe geschaltet, die Ausgänge liegen parallel. Die Darlingtonstufe wirkt wie ein „neuer“ Transistor mit veränderten Eigenschaften. Die Stromverstärkung des neuen Transistors ist näherungsweise gleich dem Produkt der Stromverstärkungen der Einzeltransistoren. Wie sich zeigt, ist die am Ausgang wirksame Steilheit des neuen Transistors etwa gleich der Steilheit des stromführenden Transistors. In Bild 5.3-37 ist die Grundstruktur einer Darlingtonstufe mit Beschaltung zur Arbeitspunkteinstellung dargestellt.

DC-Analyse: Vorgegeben wird die Spannung $U_{R2} = 3,4V$ durch den Spannungsteiler an der Basis von $Q2$, damit an R_{E1} mit $U_{RE1} = 2V$ eine hinreichende Spannung abfällt (Seriengegenkopplung zur Stabilisierung des Arbeitspunktes). Mit $I_{R2} \gg I_{B,Q2}$ werden die erforderlichen $3,4V$ über R_1 und R_2 so eingestellt, dass der Querstrom ausreichend groß ist, um eine von den Änderungen des Basisstroms von $Q2$ unabhängige Spannung zu erhalten. Im Beispiel wird folgende Dimensionierung gewählt: $R_1 = 660k\Omega$ und $R_2 = 340k\Omega$. Damit erhält man die nachstehend aufgeführten Arbeitspunktströme für die Darlingtonstufe im ge-

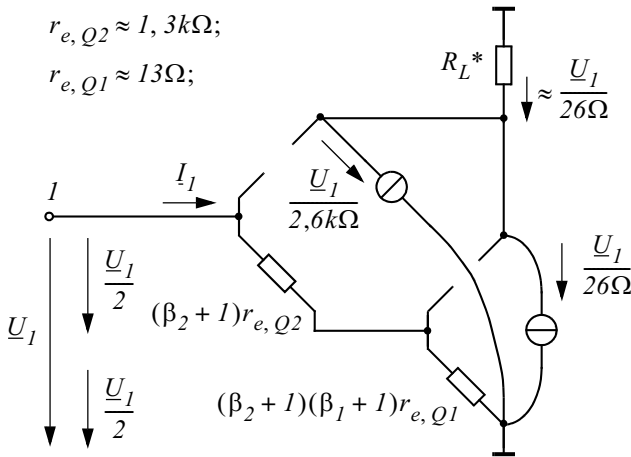


Bild 5.3-38: AC-Analyse bei AC-Kurzschluß an R_{E1} :

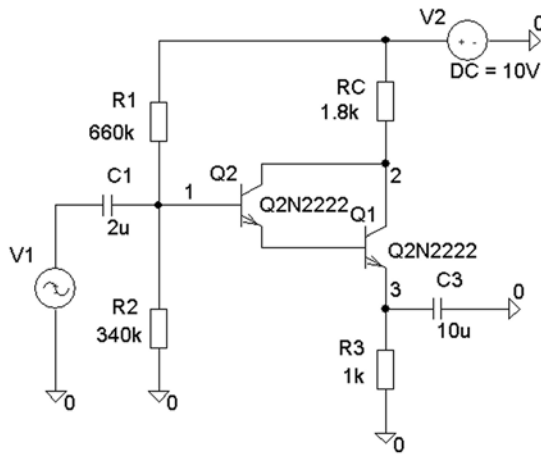


Bild 5.3-39: Messschaltung für die Darlingtonstufe

Zusammenfassung: Die Darlingtonstufe weist einen Eingangswiderstand von etwa $((\beta_0 + 1) \cdot r_{e,Q1} + r_{e,Q2}) \cdot (\beta_0 + 1)$ auf. Sie wirkt als „neuer“ Transistor mit der Steilheit des stromführenden Transistors Q1. Die Steuerspannung des stromführenden Transistors ist etwa halb so groß wie die Eingangsspannung. Damit ist die Verstärkung näherungsweise $(g_{m,Q1} \cdot R_L^*) / 2$. Die Stromverstärkung der Darlingtonstufe ist etwa $(\beta_0 + 1) \cdot \beta_0$. Die Darlingtonstufe wird immer dann verwendet, wenn ein „neuer“ Transistor mit hoher Stromverstärkung benötigt wird.

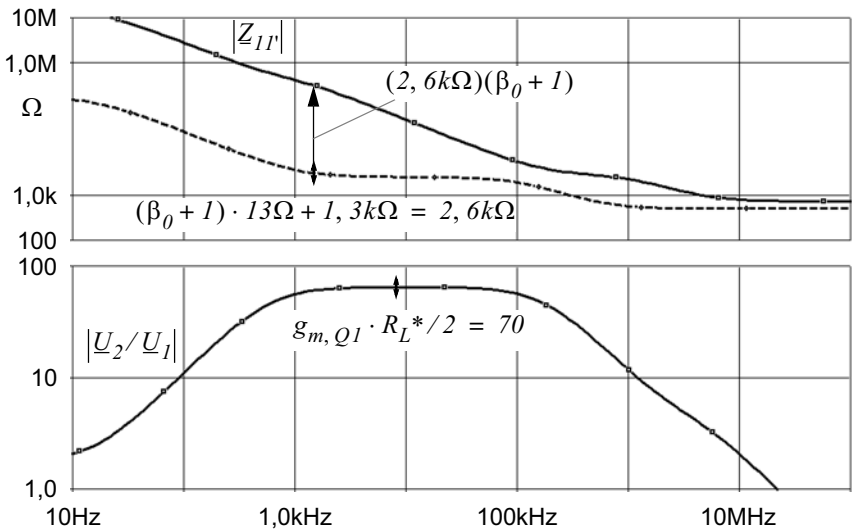


Bild 5.3-40: Eingangswiderstand und Verstärkung der Darlingtonstufe

Weitere Varianten der Darlingtonstufe sind zum Vergleich in Bild 5.3-41 dargestellt (idealisierte Ströme ohne Berücksichtigung von I_0). Ein Problem weist nämlich die Darlingtonstufe prinzipiell auf. Wenn der Ausgangstristor $Q1$ übersteuert wird, so steht kein signifikanter Ausräumstrom an der Basis von $Q1$ zur Verfügung. Damit ergibt sich eine hohe Speicherzeit (siehe Kap. 5.4). Zur Verbesserung ist in Bild 5.3-41b) eine Stromquelle I_0 an der Basis von $Q1$ eingefügt. Sie stellt keine Belastung für das AC-Verhalten dar. Allerdings wird durch diese Maßnahme der Arbeitspunkt von $Q2$ verändert. $Q2$ zieht einen um den Stromquellenstrom höheren Arbeitspunktstrom. Dies reduziert seinen differentiellen Widerstand $r_{e,Q2}$, was insbesondere den Eingangswiderstand beeinflusst und vermindert. Eine weitere Möglichkeit ist das Einfügen eines Ableitwiderstandes anstelle der Stromquelle, der aber AC-mäßig eine Belastung darstellt. In beiden Fällen führt diese Maßnahme dazu, dass der Transistor $Q2$ einen höheren Ruhestrom zieht. Die hälftige Aufteilung der Eingangsspannung (Bild 5.3-38) auf die Basis-Emitterstrecken von $Q2$ und $Q1$ ist nicht mehr gegeben. Der größere Teil der Eingangsspannung fällt am Steuerkreis von $Q1$ ab. Die Aussage, dass die Steilheit der Darlingtonstufe vom stromführenden Transistor $Q1$ bestimmt wird, ändert sich nicht.

Die Variante der Darlingtonstufe in Bild 5.3-41b) ist insbesondere bei Leistungsverstärkern interessant. Mit dieser Variante lässt sich aus dem stromführenden npn-Leistungstransistor durch Vorschaltung eines weniger strombelasteten pnp-Transistors gemäß der Skizze, eine insgesamt als pnp-Leistungstransistor wirkende Anordnung erzeugen. In der Betrachtung der Ströme in Bild 5.3-41 wird für beide Transistoren gleiche Stromverstärkung angenommen. Real ist die Stromverstärkung aber abhängig vom Strom.

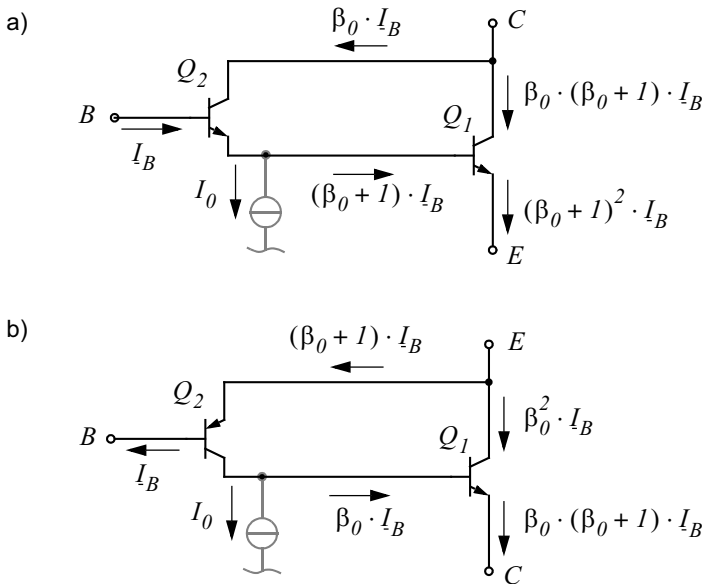


Bild 5.3-41: Darlington-Stufen: a) Ersatztransistor ist vom npn-Typ; b) Ersatztransistor ist vom pnp-Typ; bei den Stromangaben ist der Ableitstrom I_0 unberücksichtigt

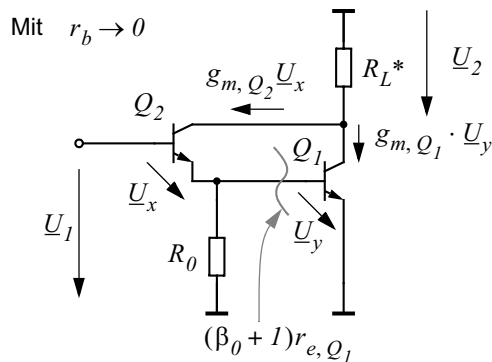


Bild 5.3-42: AC-Analyse der Darlingtonstufe mit Ableitwiderstand R_0

Betrachtet wird nunmehr das Kleinsignalverhalten der Darlingtonstufe mit Ableitwiderstand R_0 an der Basis von Q_1 . Für die Ausgangsspannung erhält man gemäß der Ersatzschaltung in Bild 5.3-42:

$$\frac{U_x}{U_1} = \frac{r_{e,Q_2}}{r_{e,Q_2} + R_0 \parallel (\beta_0 + 1) \cdot r_{e,Q_1}}; \quad \frac{U_y}{U_1} = \frac{R_0 \parallel (\beta_0 + 1) \cdot r_{e,Q_1}}{r_{e,Q_2} + R_0 \parallel (\beta_0 + 1) \cdot r_{e,Q_1}};$$

Damit ergibt sich für die Ausgangsspannung:

$$\underline{U}_2 = \{g_{m,Q_2} \cdot \underline{U}_x + g_{m,Q_1} \cdot \underline{U}_y\} R_L; \quad (5.3-21)$$

Bei genügend großem R_0 ist wiederum $\underline{U}_y = \underline{U}_1/2$ und $\underline{U}_2 = \{g_{m,Q_1} \cdot \underline{U}_y\} R_L^*$. Die allgemeine Aussage, dass die Darlingtonstufe am Ausgang im wesentlichen die Eigenschaften des stromführenden Transistors übernimmt, wird auch hier bestätigt.

5.3.7 Kaskode-Schaltung

Die Kaskode-Schaltung (Bild 5.3-43) vermeidet den „Miller“-Effekt. Damit ist die Verstärkerschaltung deutlich breitbandiger als vergleichsweise ein Verstärker in Emitttergrundschaltung. Die Kaskode-Schaltung besteht aus zwei hintereinander geschalteten Transistoren.

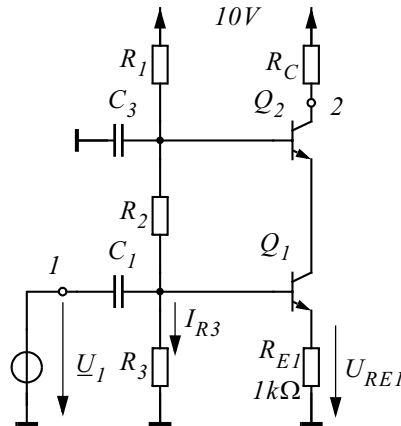


Bild 5.3-43: Kaskode-Schaltung: Arbeitspunkteinstellung

DC-Analyse: Um einen stabilen Arbeitspunkt zu erhalten, wird wiederum $U_{RE1} = 2V$ gewählt, damit ist $I_{C,Q1} = 2mA = I_{C,Q2}$. Der Querstrom I_{R3} sollte deutlich größer als der Basisstrom von $Q1$ sein, im Beispiel also größer als $0,2mA$. Für die Dimensionierung der Widerstände des Basisspannungsteilers ergibt sich: $R_3 = 5,4k\Omega$; $R_2 = 2k\Omega$; $R_1 = 12,6k\Omega$. Bei der gewählten Dimensionierung erhält man für die Kollektor-Emitter Spannung von $Q1$: $U_{CE,Q1} = 1V$. Aus der nachfolgenden AC-Analyse folgt, dass die Verstärkung von $Q1$ gering ist, somit ergibt sich kein Problem hinsichtlich der Aussteuerbarkeit von $Q1$. Wohl aber ist auf eine hinreichende Aussteuerbarkeit von $Q2$ zu achten. Die verfügbare Versorgungsspannung ist gleich der Versorgungsspannung, vermindert um den Spannungsabfall an R_{E1} plus $U_{CE,Q1}$. Für größtmögliche Aussteuerbarkeit von $Q2$ sollte im Beispiel $R_{C,opt} = 3V/2mA = 1,5k\Omega$ sein.

AC-Analyse: Für die AC-Analyse ergibt sich das Ersatzschaltbild nach Bild 5.3-44. Die Verstärkung von $Q1$ ist ca. 1. Damit wirkt sich der „Miller“-Effekt bezüglich $C_{c,Q1}$ deutlich weniger aus. Die 2. Stufe wird als Basis-Stufe betrieben. Auch hier wirkt sich der Miller-Effekt bezüglich $C_{c,Q2}$ nicht aus. Für die Spannungsverstärkung und den Eingangswiderstand der Kaskodestufe erhält man:

$$\frac{\underline{U}_2}{\underline{U}_X} = g_m \cdot R_L^*;$$

(5.3-22)

$$\underline{Z}_{in} = R_2 \parallel R_3 \parallel (r_b + (\beta_0 + 1)r_e);$$

Die Kaskodestufe übernimmt damit am Eingang bezüglich des Eingangswiderstandes die Eigenschaften der Emittergrundschtung, bezüglich des Ausgangs übernimmt sie die Eigenschaften der Basisgrundschtung. Im Prinzip liegt eine Basisgrundschtung vor, bei Vermeidung des Nachteils betreffs des niederohmigen Eingangs der Basisgrundschtung.

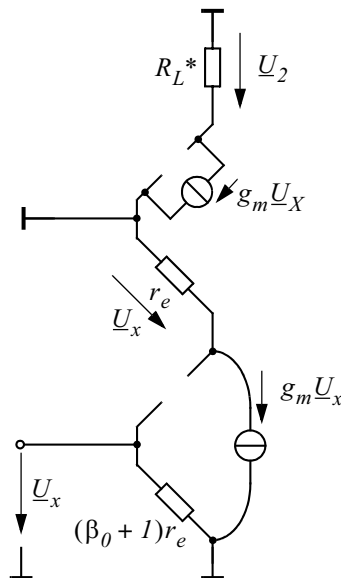


Bild 5.3-44: AC-Analyse bei AC-Kurzschluß an R_{E1} und an Basis von $Q2$

Die dem folgenden Experiment zugrundeliegende Testschaltung ist in Bild 5.3-45 dargestellt. Das Simulationsergebnis mit den Abschätzwerten betreffs des Frequenzgangs des Eingangswiderstands und der Verstärkung der Kaskode-Schaltung zeigt Bild 5.3-46.

Experiment 5.3-10: Kaskode1

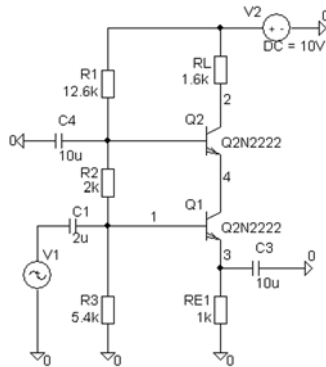


Bild 5.3-45: Testschaltung für die Kaskode-Schaltung

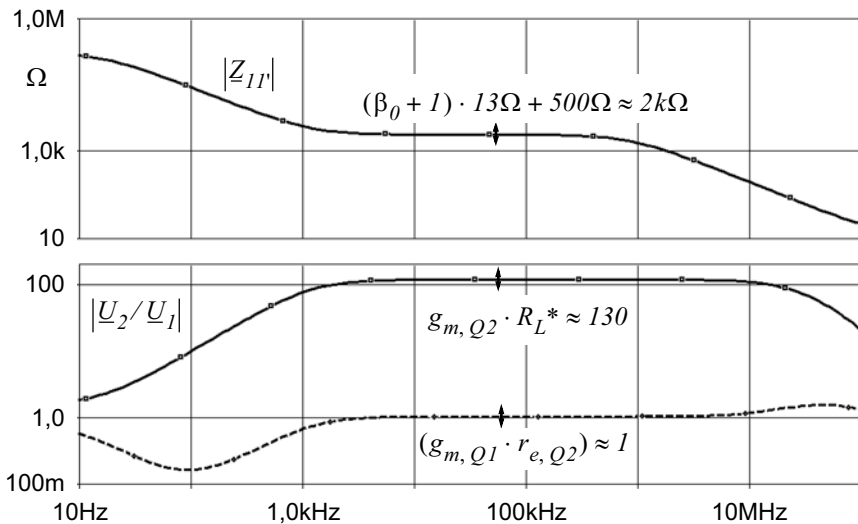


Bild 5.3-46: Eingangswiderstand und Spannungsverstärkung der Kaskode-Schaltung

Zusammenfassung: Die Kaskode-Schaltung übernimmt am Eingang die Eigenschaften des an der Basis angesteuerten Transistors und übernimmt am Ausgang die Eigenschaften des am Emmitter angesteuerten Transistors. Damit ist wie bei Ansteuerung am Emmitter (Basisgrundsaltung) der „Miller“-Effekt eliminiert. Es ergibt sich eine breitbandigere Verstärkung. Wegen der Stromquelle (Transistor Q_1) im Emmitterpfad des Ausgangstransistors Q_2 unterliegt dieser einer starken Seriengegenkopplung. Dies führt dazu, dass der Innenwiderstand am Kollektorausgang von Q_2 sehr hochohmig wird (näherungsweise $r_o(1 + \beta_o)$, siehe Abschnitt 5.1.7 bzw. Abschnitt 5.3.5).

5.3.8 Verstärker mit Stromquelle als Last

Verstärker mit einer aktiven Stromquelle als Last ermöglichen hochohmige Lastkreise, was zu hohen Verstärkungen bei größtmöglicher Aussteuerung führt. Bild 5.3-47 zeigt ein konkretes Realisierungsbeispiel eines verstärkenden Transistorelements Q_1 mit einer Stromquelle im Lastkreis. Um einen stabilen Arbeitspunkt bei größtmöglicher Aussteuerung zu erhalten, ist es zweckmäßig den Arbeitspunktstrom eines Bipolartransistors Q_1 über eine Stromquelle am Ausgangskreis einzuprägen. Neben der Vorteile für das DC-Verhalten ergeben sich auch signifikante Vorteile für das AC-Verhalten. AC-mäßig liegt am Ausgangsknoten eine hochohmige Last vor wegen des hochohmigen Innenwiderstands der Laststromquelle. Allerdings muss die DC-Ausgangsspannung an Knoten 2 festgelegt werden, da der verstärkende Transistor Q_1 als Stromquelle auf eine Laststromquelle mit Q_2 arbeitet. Durch die Parallelgegenkopplung mit R_2 und R_1 von Q_1 wird die DC-Ausgangsspannung definiert. Nachteilig ist, dass R_2 den Ausgang AC-mäßig belastet.

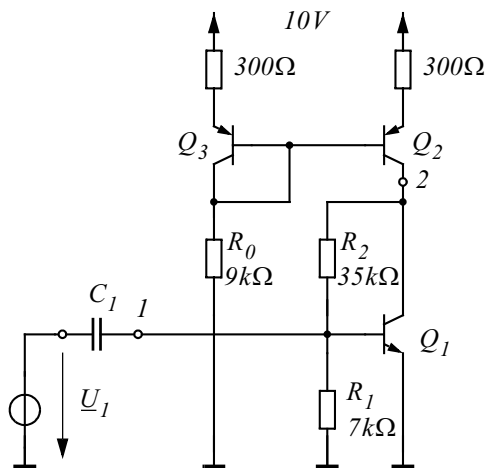


Bild 5.3-47: Verstärker mit Q_1 und mit Stromquelle (Q_2 und Q_3) als Lastkreis

DC-Analyse: In der Beispielschaltung erhält man aufgrund von R_0 an Q_3 einen Arbeitspunktstrom $I_{C,Q3} \approx 1\text{mA}$. Bei gleichen Steuerspannungen der seriengengekoppelten Transistoren Q_2 und Q_3 wird $U_{BE,Q2} = U_{BE,Q3}$. Auch ohne Seriengengekopplung ist wegen $U_{BE} = U_T \cdot \ln(I_C/I_S)$, bei gleichen Transistoren mit demselben Sättigungssperrestrom $I_{S,Q3} = I_{S,Q2}$ der Kollektorstrom von Q_3 gleich dem von Q_2 . Damit wird $I_{C,Q3} = I_{C,Q2}$, wenn die Transistoren im Normalbetrieb arbeiten. Im betrachteten Beispiel ist der Arbeitspunktstrom von Q_1 gegeben durch $I_{C,Q1} = 0,9\text{mA}$. Die Spannung an Knoten 2 wird: $U_{CE,Q1} = 4,2\text{V}$. Die Parallelgegenkopplung von Q_1 mit R_2 und R_1 ist notwendig, um U_{CE} von Q_1 geeignet einstellen zu können.

Als nächstes gilt es, die Ausgangs-Aussteuerbarkeit zu betrachten. Aufgrund der gegebenen Beschaltung ist dann $U_{EC,Q2} = U_B - U_{CE,Q1}$. Damit ergibt sich im Aus-

gangskreis das in Bild 5.3-48 skizzierte Lastverhalten bezüglich der Aussteuerbarkeit. Deutlich erkennt man das Stromquellenverhalten des Lastkreises, verbunden mit einer hinreichenden Aussteuerbarkeit.

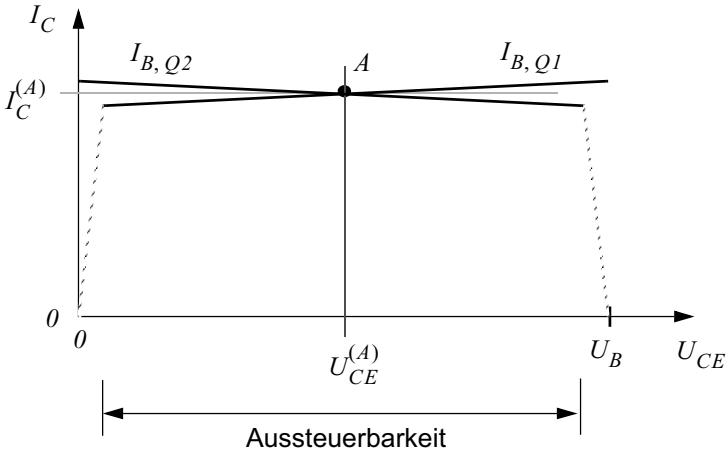


Bild 5.3-48: Zur Aussteuerbarkeit von $Q1$ mit Laststromquelle gegeben durch $Q2$

AC-Analyse: Für das AC-Verhalten (Bild 5.3-49) wirkt die Laststromquelle von $Q2$ im Arbeitspunkt nur mit ihrem Innenwiderstand. Aufgrund der Seriengegenkopplung (im Beispiel mit 300Ω) von $Q2$ und $Q3$ ist der Innenwiderstand von $Q2$ hochohmiger als ohne Gegenkopplung. Allerdings wird der Ausgangsknoten 2 durch die notwendige Parallelgegenkopplung mit $R2$ zusätzlich belastet. Die Seriengegenkopplung mit 300Ω macht aber die Laststromquelle unempfindlicher gegen Störungen der Transistoren $Q2$ und $Q3$. In einem Experiment mit der Testschaltung gemäß Bild 5.3-50 soll das Verhalten näher betrachtet werden.

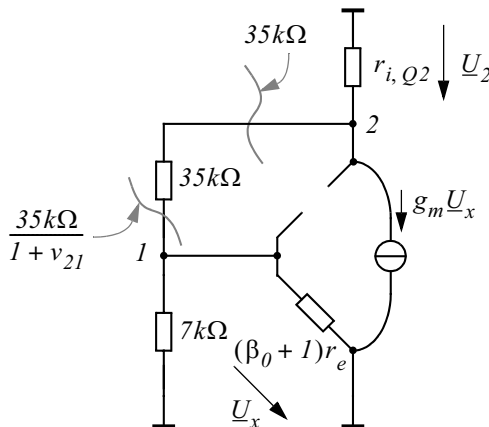
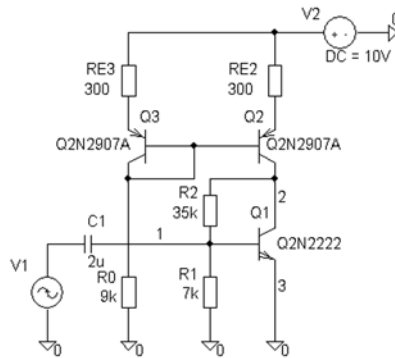
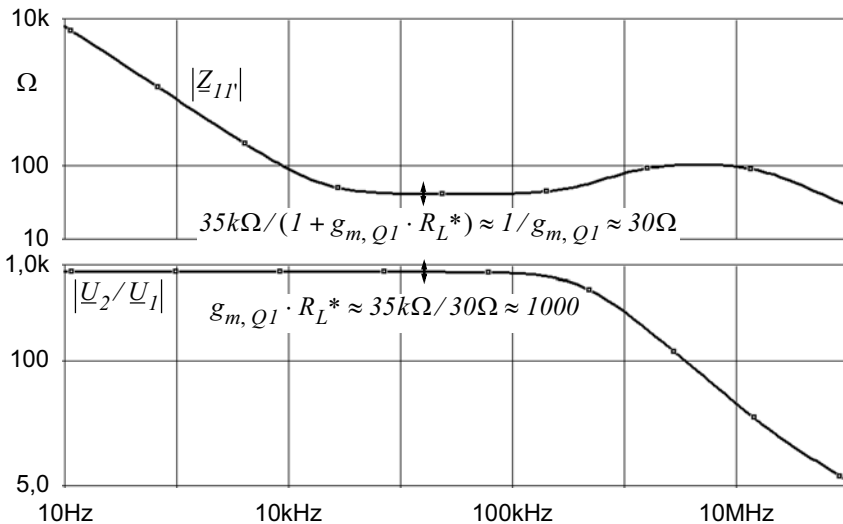


Bild 5.3-49: AC-Analyse eines Verstärkers mit Stromquelle als Lastkreis

Experiment 5.3-11: Verstärker mit Laststromquelle**Bild 5.3-50:** Testschaltung für Transistor mit Laststromquelle

Im Experiment wird der Eingangswiderstand und der Frequenzgang der Spannungsverstärkung untersucht (Ergebnis in Bild 5.3-51). Wegen der Seriengegenkopplung von $Q2$ mit 300Ω kann der Innenwiderstand $r_{i,Q2}$ von $Q2$ als ausreichend hochohmig gegenüber $R2$ angenommen werden. Damit wird der Ausgang von $Q1$ bei mittleren Frequenzen mit $R2$ und seinem eigenen Innenwiderstand r_o belastet. Dieser Lastwiderstand bestimmt die Verstärkung bei mittleren Frequenzen. Hinsichtlich des Eingangswiderstandes gilt die „Transimpedanzbeziehung“ für $R2$. Damit wird die Signalquelle an Knoten 1 relativ niederohmig belastet.

**Bild 5.3-51:** Eingangswiderstand und Spannungsverstärkung für den Transistor mit Laststromquelle

Zusammenfassung: Eine Laststromquelle für ein Verstärkerelement bewirkt eine große Aussteuerbarkeit und einen hochohmigen Lastwiderstand, was eine hohe Verstärkung zur Folge hat. Aufgrund der Parallelgegenkopplung ergibt sich ein niederohmiger Eingangswiderstand. Die Parallelgegenkopplung ist notwendig, um die DC-Spannung am Ausgang festzulegen.

5.4 Schalteranwendungen des Bipolartransistors

Der Bipolartransistor lässt sich als elektronisch gesteuerter Schalter verwenden. In der Regel wird der Transistor zwischen den zwei Zuständen „gesperrt“ und „gesättigt“ geschaltet. Im Sperrzustand ist der Kollektorausgang hochohmig, im Sättigungszustand niederohmig. Bipolartransistoren als Schalter sind Funktionsprimitive u.a. in Digitalanwendungen.

5.4.1 Spannungsgesteuerter Schalter

Zunächst sei die Anwendung als einfacher spannungsgesteuerter Schalter betrachtet. Dabei wird bei geschlossenem Schalter S das Bezugspotenzial auf den Ausgang geschaltet (Transistor ist gesättigt; niederohmig). Über den Kollektorwiderstand R_C fließt ein Querstrom. Bei offenem Schalter S (Transistor ist gesperrt; hochohmig) liegt die Versorgungsspannung über den Kollektorwiderstand R_C am Ausgang. Damit ergeben sich bei geeigneter Ansteuerung zwei Schaltzustände. Bild 5.4-1 zeigt das Grundprinzip des Bipolartransistors als Querschalter mit dem Kollektor als Ausgang und mit Ansteuerung an der Basis.

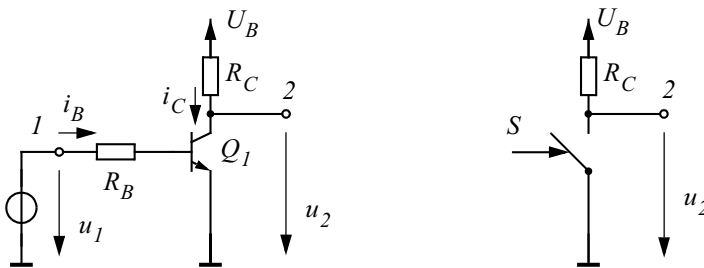


Bild 5.4-1: Transistor als Querschalter

Die Ansteuerung des Schalttransistors $Q1$ erfolgt mit einer pulsformigen Signalquelle. Im folgenden wird nur der Schaltzustand bei $u_1 = U_{1, \text{ein}}$ bzw. $u_1 = U_{1, \text{aus}}$ betrachtet (stationärer Zustand). Der Bipolartransistor als Querschalter kennt demnach zwei Zustände:

- Transistor ist gesperrt: $U_{1, \text{aus}}$ so, dass $U_{BE} < U_{BES}$;
- Transistor ist gesättigt: $U_{1, \text{ein}}$ so, dass $I_C = I_{C\bar{U}}$.

Der größtmögliche Kollektorstrom ist für den gesättigten Transistor bei der Schaltungsanordnung von Bild 5.4-1:

$$I_{C\ddot{U}} = (U_B - U_{CE, sat}) / R_C \quad (5.4-1)$$

wobei $U_{CE, sat}$ mit typisch $0,1V$ vernachlässigbar klein ist. Der Strom $I_{C\ddot{U}}$ stellt sich bei genügend großem Basisstrom ein, gemäß der Bedingung:

$$(U_{I, ein} - 0,7V) / R_B = I_B > I_{C\ddot{U}} / B \quad (5.4-2)$$

Im Sättigungsbetrieb muss der Basisstrom deutlich größer sein, als der vergleichbare Basisstrom, wenn der Transistor im Normalbetrieb wäre. Man definiert einen Übersteuerungsfaktor, der für die gegebene Schaltung sich folgendermaßen bestimmt:

$$\ddot{u} = \frac{I_B}{I_{B, normal}} = \frac{(U_{I, ein} - 0,7V) / R_B}{(I_{C\ddot{U}} / B)}; \quad (5.4-3)$$

Der Übersteuerungsfaktor $\ddot{u}$ stellt das Verhältnis zwischen dem bei Übersteuerung (Transistor ist gesättigt) tatsächlich fließenden Basisstrom I_B zu dem „fiktiven“ Basisstrom $I_{C\ddot{U}}/B$ dar. Dabei ist $I_{C\ddot{U}}/B$ der Basisstrom, der sich einstellen würde, wenn der Transistor im Normalbetrieb betrieben wäre. Bild 5.4-2 veranschaulicht die Verhältnisse bei Übersteuerung des Transistors an einem konkreten Beispiel. Bei Übersteuerung ist der Transistor am Ausgang niederohmig (ca. 10Ω mit induktiver Komponente). Die beispielhafte Ermittlung des Übersteuerungsfaktors $\ddot{u}$ und des Übersteuerungsstroms $I_{C\ddot{U}}$ lässt sich verallgemeinern.

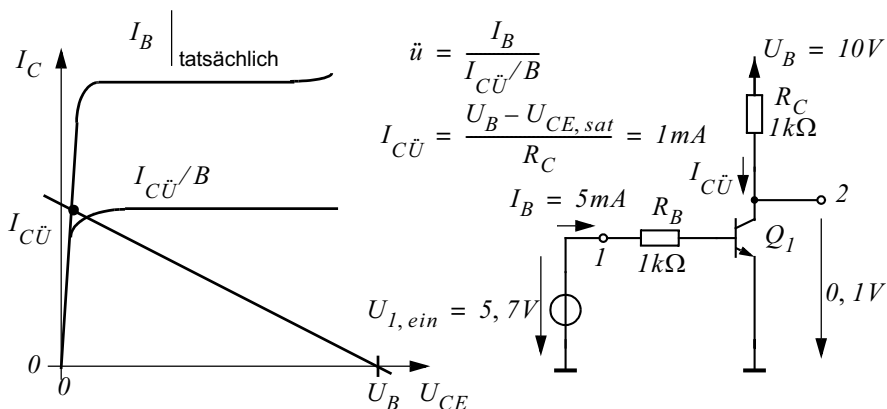


Bild 5.4-2: Transistor übersteuert (gesättigt)

Als nächstes soll der Sperrbetrieb des Transistors genauer betrachtet werden. Bild 5.4-3 zeigt die Ströme an den Anschlüssen des Transistors im Sperrbetrieb. Bei genügend kleiner Spannung $U_{I, aus}$ mit $U_{BE} < U_{BES}$ bzw. negativer Spannung am Eingang geht der Transistor in den Sperrbereich über, er wird dann sehr hochohmig am Ausgang (ca. $M\Omega$ mit kapazitiver Komponente). Der Sperrstrom des Transistors ist näherungsweise ca. I_{CB0} .

Das Schaltverhalten des Transistors in der Testschaltung von Bild 5.4-1 ist in Bild 5.4-4 dargestellt. Dazu wird der Transistor mit einer pulsformigen Signalquelle angesteuert.

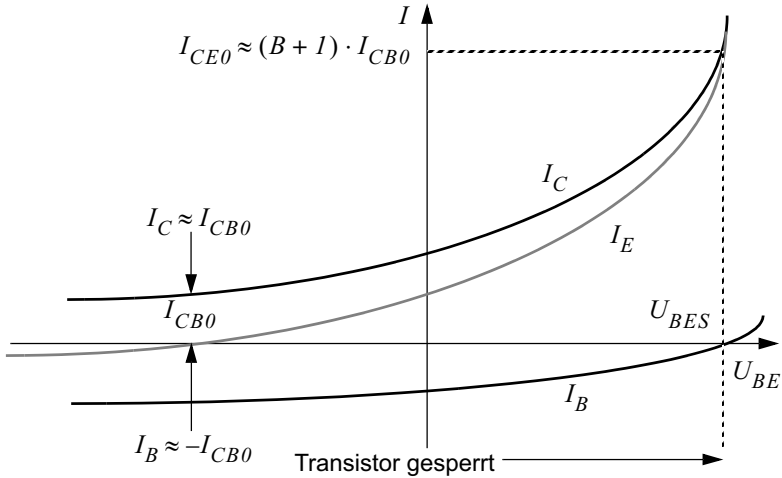


Bild 5.4-3: Zum Übergang in den Sperrbereich eines Bipolartransistors

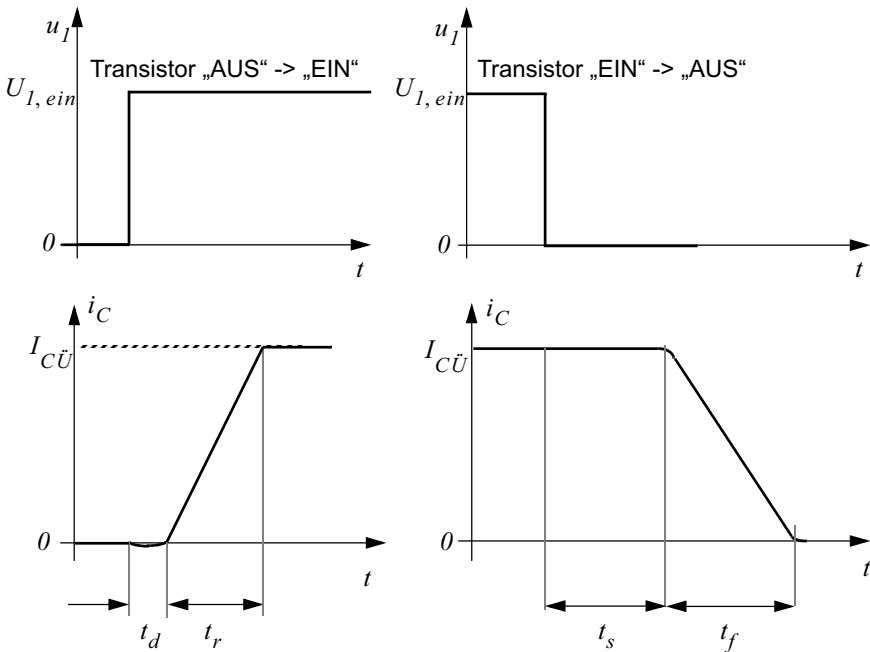


Bild 5.4-4: Zum Schaltverhalten des Transistors

Im Beispiel von Bild 5.4-1 ist bei $U_{I,aus} = 0$ der Transistor gesperrt. Wird die Eingangsspannung auf $U_{I,ein} = 5,7V$ geschaltet, so geht der Transistor in den Sättigungszustand über. Dies geschieht jedoch nicht abrupt. Nach einer Einschaltverzögerung t_d und über die Anstiegszeit t_r erhöht sich der Kollektorstrom bis auf $I_{CÜ}$. Für die Anstiegszeit t_r gilt näherungsweise:

$$t_r \sim \ln \frac{\ddot{u} - 0,1}{\ddot{u} - 0,9}; \quad (5.4-4)$$

Je größer der Übersteuerungsfaktor $\ddot{u}$ ist, um so kürzer ist die Anstiegszeit t_r .

Beim Übergang vom Sättigungsbetrieb in den Sperrbetrieb macht sich die Speicherzeit t_s bemerkbar. Der Kollektorstrom muss von $I_{CÜ}$ auf ca. I_{CB0} abklingen. Die Emitter-Basis Diode ist jedoch mit Überschussladungen (Minoritätsträger in der Basis) „überschwemmt“, die erst ausgeräumt werden müssen. Obwohl die Ansteuerspannung bereits zurückgenommen wurde, bleibt die Schwellspannung von $0,7V$ an der Emitter-Basis Diode solange stehen, bis die Überschussladungen ausgeräumt sind. Man definiert einen Ausräumfaktor a .

$$a = I_{B,aus} / (I_{CÜ} / B); \quad (5.4-5)$$

Im obigen Beispiel ist

$$a = (0,7V / R_B) / (I_{CÜ} / B); \quad (5.4-6)$$

Für die Speicherzeit und die Abfallzeit erhält man näherungsweise

$$t_s \approx \tau_s \cdot \ln \frac{a + \ddot{u}}{a + 0,9}; \quad (5.4-7)$$

$$t_f \sim \ln \frac{a + 0,9}{a + 0,1};$$

Je größer der Ausräumfaktor a ist, um so kleiner ist die Speicherzeit t_s ; der Übersteuerungsfaktor erhöht die Speicherzeit. Man findet den Parameter τ_s als Kenngröße eines Schalttransistors im Datenblatt.

Zusammenfassung: Das Schaltverhalten wird bestimmt durch den Übersteuerungsfaktor $\ddot{u}$ und durch den Ausräumfaktor a . Die Speicherzeit t_s hängt von beiden Größen ab. Ein Problem stellt der Ausräumstrom dar, um die überschüssigen Ladungsträger beim Übergang vom Sättigungsbetrieb zum Sperrbetrieb abführen zu können. Um die Speicherzeit zu verringern, gilt es den Ausräumstrom signifikant zu erhöhen. Im Beispiel der Darlingtonstufe in Bild 5.3-42 hilft ein Basisableitwiderstand den Ausräumstrom zu verbessern, wenn der stromführende Transistor übersteuert wird. Mit einem Kondensator parallel zu R_B in Bild 5.4-1 wird beim Abschaltvorgang von $U_{I,ein}$ nach $U_{I,aus} = 0$ der Kondensator kurzzeitig kurzgeschlossen und damit auch der Ausräumstrom erhöht.

Ein weiteres Beispiel für den Transistor in einer Anwendung als Schalter mit Basisableitwiderstand R_B zeigt Bild 5.4-5. Zur Erhöhung des Ausräumstroms ist eine Hilfsspannungsquelle U_{BB} eingeführt.

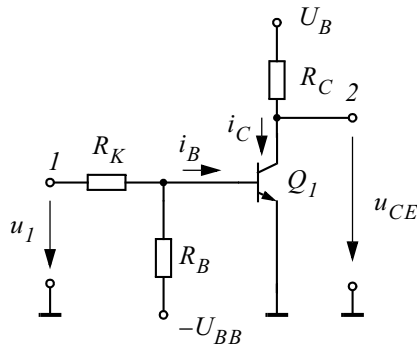


Bild 5.4-5: Transistorschalter mit Basisableitwiderstand

Im konkreten Beispiel (Bild 5.4-5) ist der Übersteuerungsfaktor und der Ausräumfaktor bei Ansteuerung mit $u_I = U_{I, \text{ein}}$ bzw. mit $u_I = U_{I, \text{aus}} = 0$ gemäß Bild 5.4-4:

$$\ddot{u} = \frac{(U_{I, \text{ein}} - U_{BE})/R_K - (U_{BB} + U_{BE})/R_B}{I_{C\ddot{u}}/B}; \quad (5.4-8)$$

$$a = \frac{U_{BE}/R_K + (U_{BB} + U_{BE})/R_B}{I_{C\ddot{u}}/B};$$

Durch eine negative Hilfsspannung U_{BB} wird der Ausräumstrom erhöht und damit die Speicherzeit t_s verkürzt.

Im nachstehenden Experiment erfolgt die nähere Untersuchung des Schaltverhaltens des Transistors. Bild 5.4-7 zeigt das Ergebnis der TR-Analyse.

Experiment 5.4-1: Querschalter1

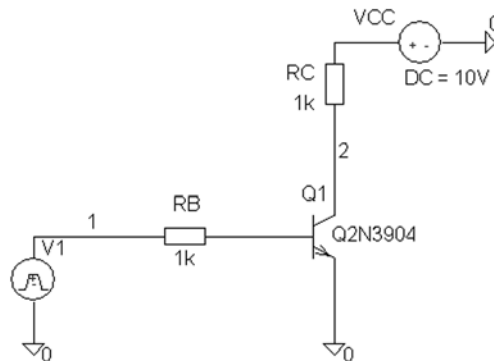


Bild 5.4-6: Testschaltung_1 für das Schaltverhalten des Bipolartransistors

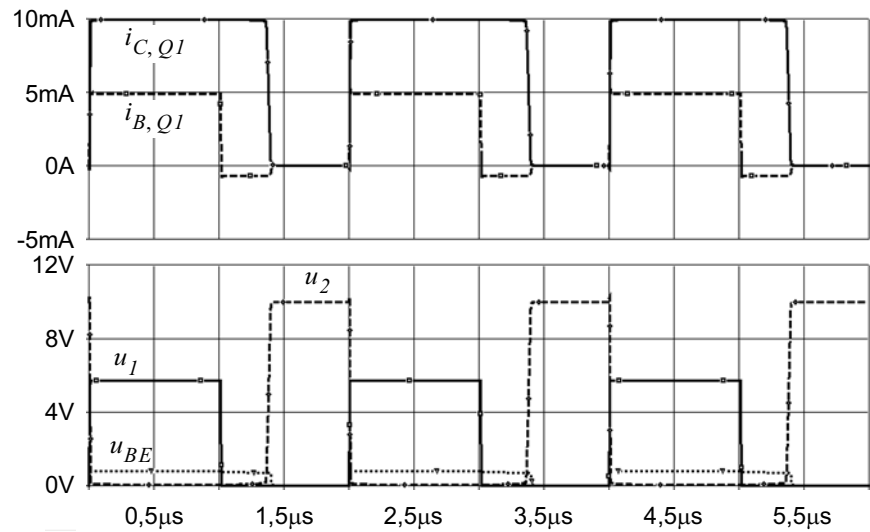


Bild 5.4-7: Simulationsergebnis der Testschaltung_1 mit $U_{I,ein} = 5,7V$ auf $U_{I,aus} = 0V$

Im Beispiel von Bild 5.4-6 beträgt der maximale Kollektorstrom $I_{C\ddot{U}}$ ca. $10mA$, der maximale Basisstrom bei Übersteuerung ist bei $U_{I,ein} = 5,7V$ ca. $5mA$ und der Ausräumstrom liegt bei $0,7mA$. Wird die Eingangsspannung von $U_{I,ein} = 5,7V$ auf $U_{I,aus} = -2V$ geschaltet (Bild 5.4-8), so erhöht sich der Ausräumstrom auf $2,7mA$. Entsprechend verringert sich die Speicherzeit (vergl. Bild 5.4-7 und Bild 5.4-8).

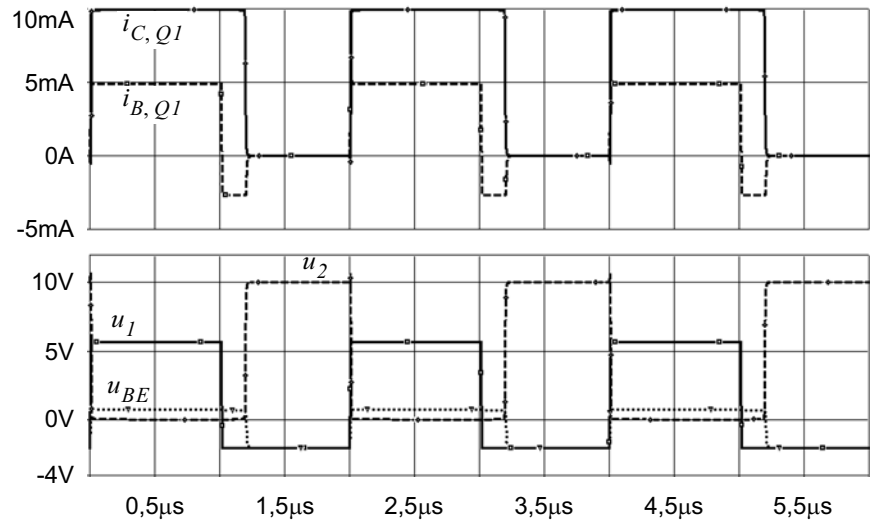


Bild 5.4-8: Simulationsergebnis der Testschaltung_1 mit $U_{I,ein} = 5,7V$ auf $U_{I,aus} = -2V$

Ein weiteres Beispiel zeigt eine Schaltungsvariante (Bild 5.4-9) mit einer negativen Hilfsspannung. Die Signalquelle muss dabei keine negative Amplitude aufweisen. Das Ergebnis des folgenden Experiments ist in Bild 5.4-10 dargestellt.

Experiment 5.4-2: Querschalter2

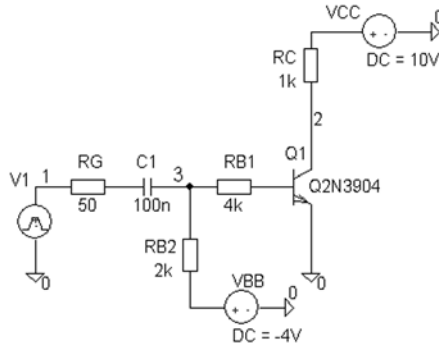


Bild 5.4-9: Testschaltung_2 für das Schaltverhalten des Bipolartransistors

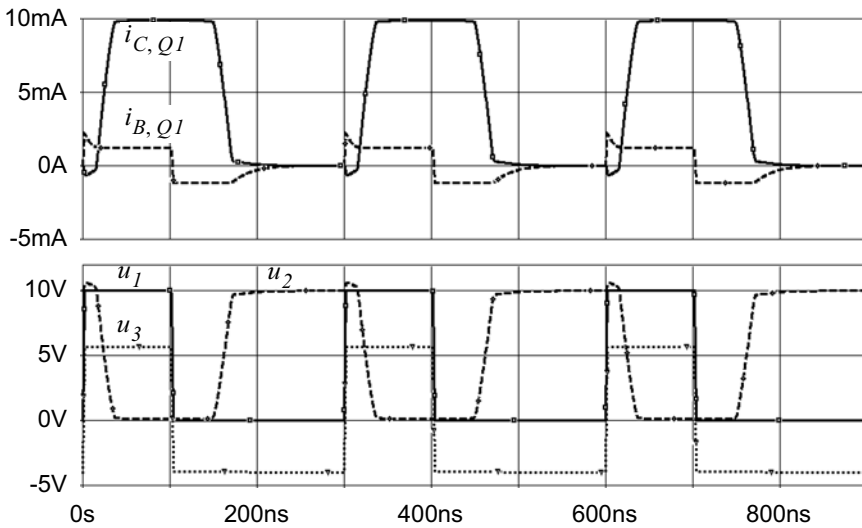


Bild 5.4-10: Simulationsergebnis der Testschaltung_2 mit $U_{I, \text{ein}} = 10\text{V}$ auf $U_{I, \text{aus}} = 0\text{V}$

5.4.2 Gegentaktschalter

In der digitalen TTL-Schaltkreistechnik (TTL: Transistor-Transistor-Logik) wird der Bipolartransistor als Gegentaktschalter verwendet. Die TTL-Schaltkreistechnik wird zunehmend von der CMOS-Schaltkreistechnik abgelöst. Das TTL-Grundgatter enthält einen Multi-Emitter-Bipolartransistor als Steuerkreis der auf einen Gegentaktschalter arbeitet. Der Multi-Emitter-Transistor kann durch parallel ge-

geschaltete Transistoren dargestellt werden. Bei Eingangsspannungen $U_I > 2V$ ist der Multi-Emitter-Transistor als Steuerkreis im inversen Betrieb, bei Eingangsspannungen $U_I < 0,8V$ im Sättigungsbetrieb. Bild 5.4-11 zeigt einen TTL-Inverter mit Q_1 als Steuerkreis und nachfolgendem Gegentaktschalter.

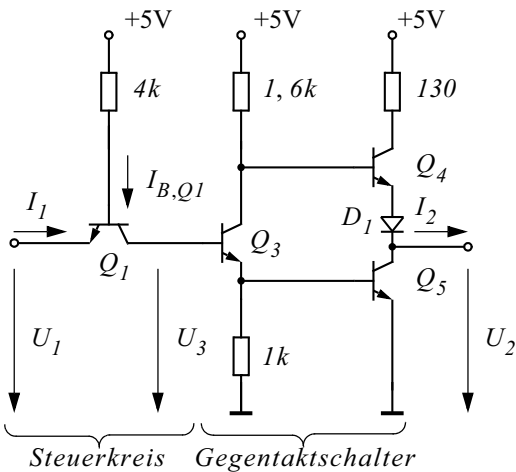


Bild 5.4-11: TTL-Inverter mit Steuerkreis und Gegentaktschalter

Tabelle 5.4 - 1: TTL-Schaltung – Zustände der Transistoren

U_I	Q_1	Q_3	Q_4	Q_5
0V	gesättigt	gesperrt	normal	gesperrt
$> 2V$	invers	gesättigt	gesperrt	gesättigt

Tabelle 5.4 - 2: TTL-Schaltung – Innere Ströme und Spannungen

U_I	I_1	$I_{B,Q3}$	U_3	U_2
0V	$\approx -1mA$	≈ 0	≈ 0	$\approx 3,6V$
$> 2V$	$\approx B_R \cdot 0,75mA$	$\approx 0,75mA$	$\approx 1,4V$	≈ 0

Die inverse Stromverstärkung B_R vom Multi-Emitter-Transistor ist ca. 0,05. Damit ergibt sich bei $U_I > 2V$ ein Eingangsstrom von ca. $I_1 \approx 40\mu A$. In diesem Fall ist der Sättigungsstrom von Q_3 : $I_{C,Q3} \approx 4,3V/1,6k\Omega \approx 2,6mA$. Es verbleiben an Basisstrom für Q_5 etwa $2mA$, was ausreicht um den Transistor Q_5 hinreichend zu übersteuern.

Zunächst sollen durch DC-Analyse die statischen Verhältnisse betrachtet werden (Bild 5.4-12). Dazu wird ein Laststrom von $0,1mA$ angenommen, bei einer Eingangsspannung von $U_I = 0V$; bei $U_I > 2V$ möge der Laststrom $-1mA$ betragen. In den folgenden Experimenten erfolgt eine DC-Analyse für das TTL-Grundgatter. Der Multi-Emitter-Transistor wird durch zwei an Basis und Kollektor parallelgeschaltete Transistoren $Q1$ und $Q2$ dargestellt.

Experiment 5.4-3: TTL1_0

Experiment 5.4-4: TTL1_1

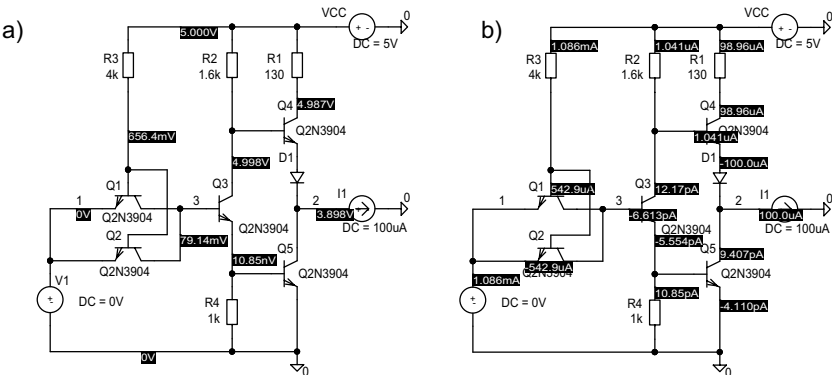


Bild 5.4-12: DC-Analyse eines TTL-Gatters mit "0" Ansteuerung und $100\mu A$ Laststrom; a) Knotenspannungen, b) Zweigströme

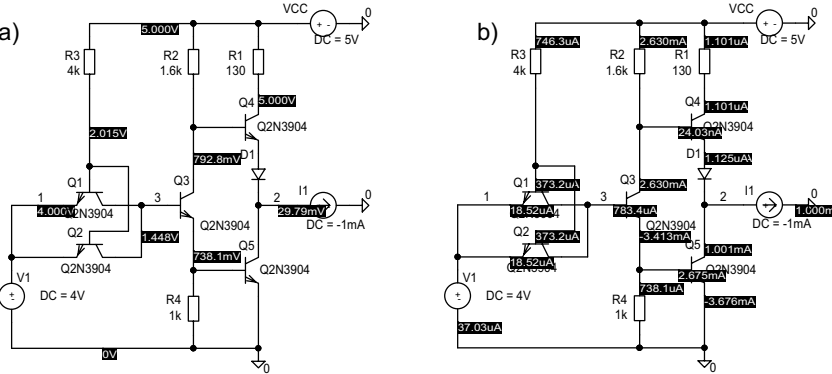


Bild 5.4-13: DC-Analyse eines TTL-Gatters mit "1" Ansteuerung und $1mA$ Laststrom; a) Knotenspannungen, b) Zweigströme

In einem weiteren Experiment erfolgt die Untersuchung eines TTL-Gatters bei Beschaltung mit einem nachfolgenden TTL-Inverter (Bild 5.4-14) bei dynamischem Betrieb im Zeitbereich.

Experiment 5.4-5: TTL2

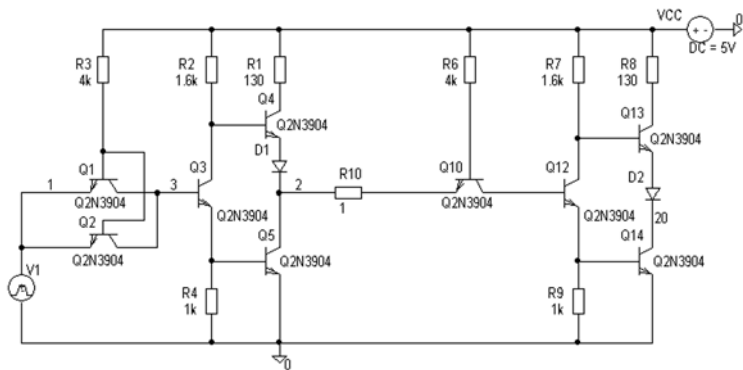


Bild 5.4-14: TTL-Gatter mit Ansteuerung und Lastgatter

Das Simulationsergebnis (Bild 5.4-15) des dynamisch betriebenen TTL-Gatters zeigt eine Abweichung vom idealisierten Verhalten. Um die realen Verhältnisse nachzubilden werden genauere Modelle benötigt, die gegebene Prozesseigenschaften berücksichtigen. Da es hier nur um ein Grundverständnis geht, möge auf eine genauere Abbildung der Prozesseigenschaften verzichtet werden.

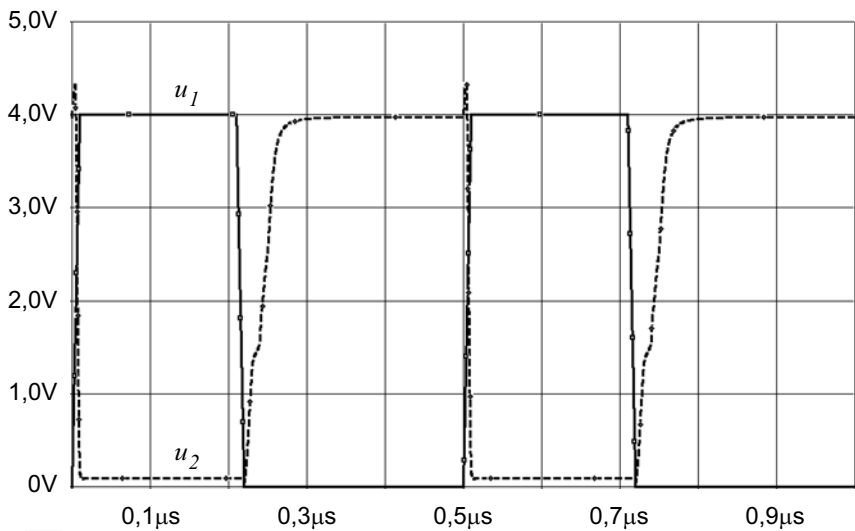


Bild 5.4-15: Simulationsergebnis des dynamisch betriebenen TTL-Gatters

5.5 Beispiele von Funktionsschaltungen

In einigen ausgewählten Beispielen soll die Vorgehensweise bei der Schaltungsentwicklung an konkreten praktischen Aufgabenstellungen vorgestellt werden. Eine Schaltungsentwicklung erfolgt prinzipiell in vier Schritten: 1. Schritt: Auswahl einer geeigneten Schaltung für die gegebene Problemstellung in Form einer Spezifikation; 2. Schritt: Verstehen der Schaltung durch Abschätzen des Schnittstellenverhaltens, des Transferverhaltens und allgemein der Eigenschaften der Schaltung anhand vereinfachter Modelle; Anpassung der Dimensionierung, so dass gestellte Forderungen erfüllt werden; 3. Schritt: Genaueres Betrachten der Schaltung durch Simulation, u.a. Schnittstellen, dynamisches Verhalten, Aussteuer Grenzen; 4. Schritt: Aufbau und messtechnische Verifikation anhand einer Testbench. Beim praktischen Aufbau ist insbesondere auf die Aufbautechnik, die Auslegung des Masse-/Versorgungssystems, der notwendigen Abblockmaßnahmen, Entkopplungsmaßnahmen und Schirmmaßnahmen zu achten.

5.5.1 Logarithmischer Verstärker

Logarithmische Verstärker verstärken gemäß der Logarithmusfunktion kleine Signale sehr stark und große Signalamplituden schwach. Durch Ausnutzung der exponentiellen Übertragungskennlinie eines Bipolartransistors im Rückkopplungspfad eines Linearverstärkers entsteht ein logarithmischer Verstärker. Bild 5.5-1 zeigt das Prinzipschaltbild der Anordnung.

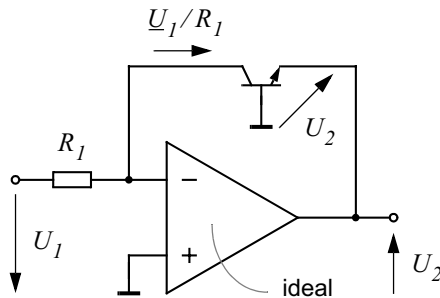


Bild 5.5-1: Logarithmischer Verstärker

Bei hinreichend großer Verstärkung des Linearverstärkers gilt für die Anordnung des logarithmischen Verstärkers:

$$\frac{U_I}{R_I} = I_S \cdot \exp\left(\frac{U_2}{U_T}\right);$$

$$\frac{U_2}{U_T} = \ln \frac{U_I/R_I}{I_S} = \log_{(10)} \left(\frac{U_I/R_I}{I_S} \right) / \log_{(10)}(e);$$

(5.5-1)

Damit ergibt sich ein logarithmischer Zusammenhang zwischen der Eingangsspannung und der Ausgangsspannung. Im folgenden Experiment soll die Testschaltung (Bild 5.5-2) verifiziert werden.

Experiment 5.5-1: LogVerst

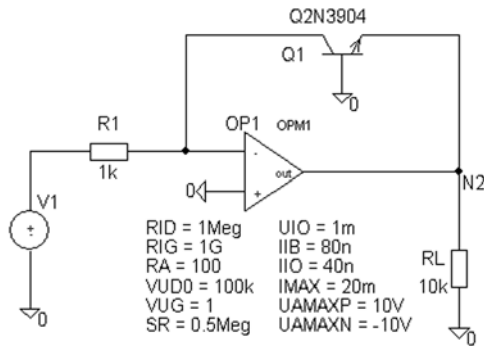


Bild 5.5-2: Testschaltung für logarithmischen Verstärker

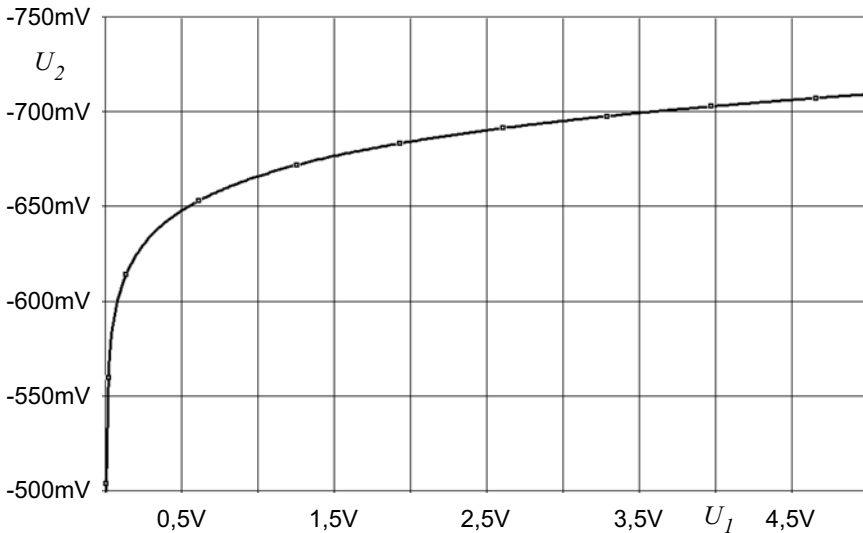


Bild 5.5-3: Simulationsergebnis für DC-Sweep des logarithmischen Verstärkers

Das Simulationsergebnis der Testschaltung in Bild 5.5-3 zeigt den „logarithmischen Zusammenhang“ zwischen der Ausgangsspannung und der Eingangsspannung. Für kleine Spannungen U_1 ergibt sich ein großes $\Delta U_2 / \Delta U_1$, mit zunehmender Eingangsspannung verringert sich die Verstärkung $\Delta U_2 / \Delta U_1$.

5.5.2 Optischer Empfänger

Gemäß dem in Kap. 2 vorgestellten optischen Empfänger soll nunmehr eine konkrete Schaltung dimensioniert und analysiert werden. Eine Variante eines optischen Empfängers besteht aus einem Transimpedanzverstärker. Die Schaltungsanordnung wurde bereits bei der Arbeitspunkteinstellung im vorigen Abschnitt behandelt (Bild 5.2-14). Nach der dort durchgeführten DC-Analyse soll nun eine AC-Analyse der Schaltung vorgenommen werden. Der Schaltung liegt das in Bild 5.5-4 skizzierte AC-Ersatzschaltbild zugrunde. Die Photodiode arbeitet als eine von der einfallenden Lichtleistung gesteuerte Stromquelle. Der Strom der Stromquelle sei proportional der einfallenden Lichtleistung. Im ermittelten Arbeitspunkt ergibt sich die skizzierte Ersatzanordnung mit der angegebenen Steilheit der Einzeltransistoren. Die Kapazität C am äußeren Emittterwiderstand von $Q1$ möge den Widerstand von 500Ω im betrachteten Frequenzbereich kurzschließen. Die innere Verstärkung von Knoten 1 nach Knoten 3 erhält man aus:

$$v_{41} = g_{m,Q1} \cdot RC1 = 330; \quad v_{34} = 1; \quad v_{31} = 330; \quad (5.5-2)$$

Wegen der Transimpedanzbeziehung ist der Eingangswiderstand von RF an Knoten 1, wirksam gegen Masse:

$$RF/(1 + v_{31}) = 12\Omega; \quad (5.5-3)$$

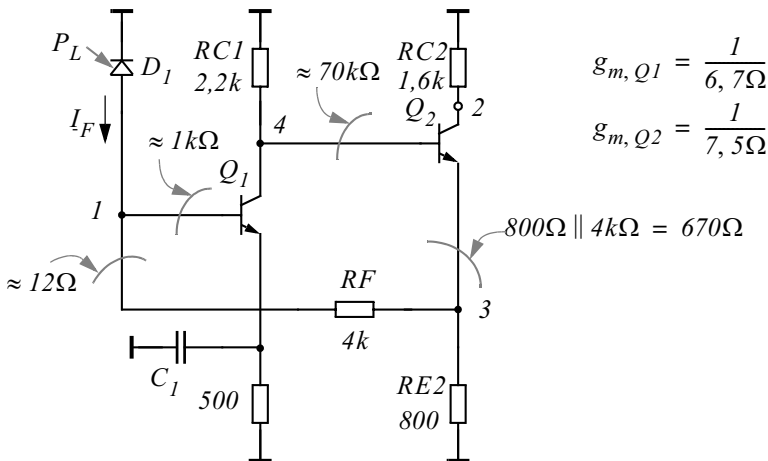


Bild 5.5-4: AC-Ersatzschaltbild des optischen Empfängers

Die niederohmige Impedanz von $RF/(1 + v_{31})$ führt dazu, dass der Photostrom I_F über RF fließt und dort die Ausgangsspannung bei genügend großer Verstärkung des Geradeausverstärkers bildet. Für den optischen Empfänger erhält man demnach das in Bild 5.5-5 skizzierte Makromodell mit dem Verstärker vom Eingang (Knoten 1) zum Ausgangsknoten 3, der Rückkopplung mit RF und der Ansteuerung mit der als Stromquelle arbeitenden Photodiode.

Bei genügend großer innerer Verstärkung des Geradeausverstärkers ist die Ausgangsspannung an Knoten 3:

$$\underline{U}_3 = I_F \cdot RF \quad (5.5-4)$$

Die Ausgangsspannung an Knoten 2 ist etwa doppelt so groß wie die an Knoten 3, da durch $RC2$ und durch $RE2$ in etwa derselbe Strom fließt. Somit ist die Spannung an $RC2$ doppelt so groß wie an $RE2$. Allerdings sind die beiden Spannungen um 180° phasenverschoben.

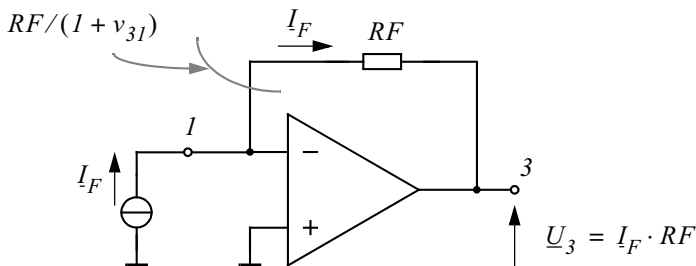


Bild 5.5-5: Makromodell des optischen Empfängers

Die optische Empfängerschaltung soll gemäß Testschaltung in Bild 5.5-6 in folgendem Experiment untersucht werden.

Experiment 5.5-2: OptischerEmpf_AC

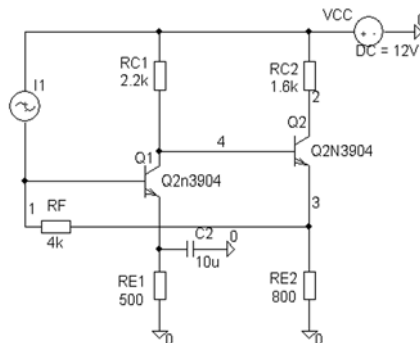


Bild 5.5-6: Testschaltung für den optischen Empfänger

Mit guter Näherung werden die Abschätzwerte durch das Simulationsergebnis in Bild 5.5-7 bestätigt. Bei tiefen Frequenzen wirkt $RE1$ als Gegenkopplung, die Verstärkung von Knoten 1 nach Knoten 3 reduziert sich dann dementsprechend; die Transimpedanzbeziehung geht bei tiefen Frequenzen verloren. Damit funktioniert der optische Empfänger erst ab einer unteren Eckfrequenz gegeben durch die Abblockkapazitäten.

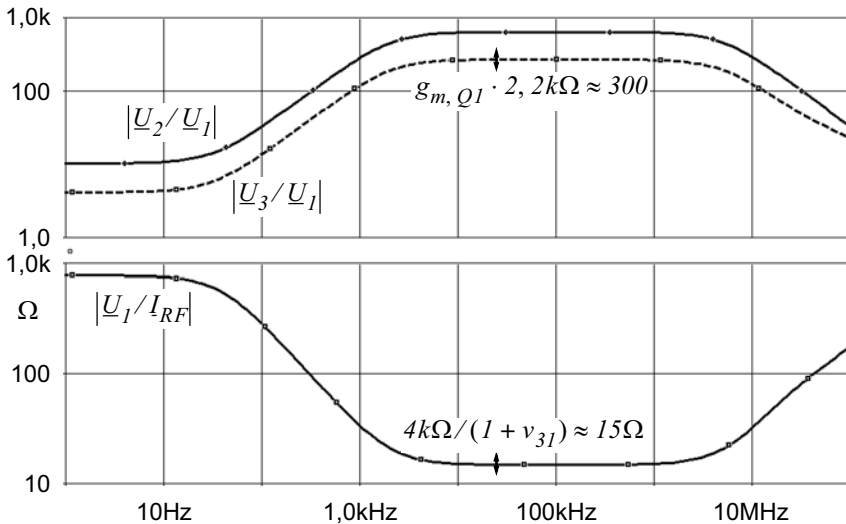


Bild 5.5-7: Simulationsergebnis des optischen Empfängers

5.5.3 AM/FM-modulierbarer Oszillator

Es soll ein AM/FM-modulierbarer Oszillator für $f_0 = 1\text{ MHz}$ (Mittelwelle) realisiert und eingehend untersucht werden. Gegeben ist ein Schaltungsvorschlag. Der Schaltungsvorschlag besteht aus vier Funktionsprimitiven:

- ☐ Frequenzbestimmender Resonanzkreis, hier als LC -Resonator ausgeführt;
- ☐ Verstärker, hier als Spannungsfolger ausgeführt;
- ☐ Amplitudenbegrenzer, hier als Parallelbegrenzer mit steuerbarer Spannungsquelle ausgeführt;
- ☐ Treiberstufe, hier als Emitterfolger im A-Betrieb ausgeführt.

Neben den sogenannten „Resonanzkreis“-Oszillatoren gibt es die „Laufzeit“-Oszillatoren und die „Negativ-Impedanz“-Oszillatoren (z.B. mit Tunneldiode). „Resonanzkreis“-Oszillatoren weisen alle als frequenzbestimmendes Element einen Resonanzkreis auf. Dies kann u.a. ein RC -Resonator, ein LC -Resonator, ein Quarz-Element, ein SAW-Resonator (SAW: Surface Acoustic Wave) oder ein Leitungsresonator sein. Den Schaltungsvorschlag zeigt Bild 5.5-8. Die Schaltung enthält links mit $Q3$ und $D1$ den steuerbaren Amplitudenbegrenzer. Den eigentlichen Resonator bilden $L1$ parallel zu $C1$ und der Serienschaltung aus $C2$, $C3$ und $C4$. Das Verstärkerelement besteht aus $Q1$ mit der Beschaltung für einen geeigneten Arbeitspunkt. Die Rückkopplungsschleife wirkt über Knoten 4 nach Knoten 6 hin zu Knoten 5. Mit $R3$ lässt sich die Schleifenverstärkung beeinflussen. Der Transistor $Q2$ stellt als Emitterfolger eine Treiberstufe dar, der einen niederohmigen Lastwiderstand „treiben“ kann.

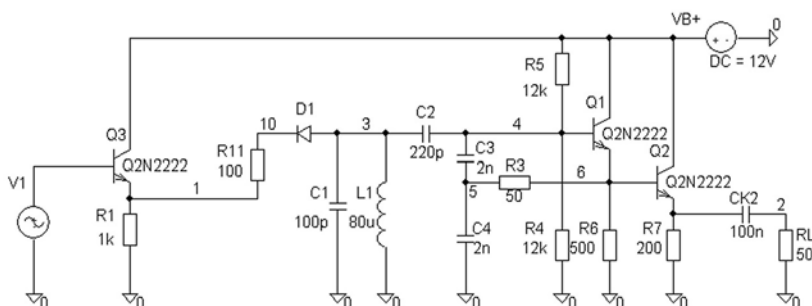


Bild 5.5-8: Schaltungsvorschlag für einen AM/FM-modulierbaren Oszillator

Resonator: Als erstes ist der frequenzbestimmende Resonator bestehend aus $C1$, $L1$, $C2$, $C3$ und $C4$ geeignet zu dimensionieren und zu untersuchen. Die belastete Güte des Resonators sollte mit $R3$ möglichst besser ca. 10 betragen. Dazu ist darauf zu achten, dass der Kennwiderstand des Resonators unter ca. $1k\Omega$ liegt. Die Spule kann beispielsweise mit einem Ringkern mit 9mm Durchmesser und einem A_L -Wert von $30nH/N^2$ ausgeführt werden. Als Spulendraht ist zweckmäßigerweise ein Kupferlackdraht mit 0,3mm Durchmesser zu verwenden.

In einem Experiment ist der Resonator bestehend aus $C1$, $L1$, $C2$, $C3$ und $C4$ inclusive Belastung mit $R3$ bei Speisung mit einer „Stromquelle“ an Knoten 3 zu untersuchen. Bild 5.5-9 zeigt eine dafür geeignete Testanordnung. Es stellt sich die Frage: Wie wirkt der Resonator bei der Resonanzfrequenz hinsichtlich der Abgriffe an Knoten 4 und Knoten 5? Der Resonator mit den kapazitiven Abgriffen an Knoten 4 und Knoten 6 stellt einen Resonanztransformator dar. Der kapazitive Teiler aus $C2$, $C3$ und $C4$ wirkt bei der Resonanzfrequenz wie ein ohmscher Spannungsteiler. In Bild 5.5-10 ist das Ergebnis der AC-Analyse dargestellt. Die Spannungsverhältnisse von Knoten 3 nach Knoten 4 bzw. Knoten 5 entsprechen dem Verhältnis der kapazitiven Widerstände bei der Resonanzfrequenz (Bild 5.5-11).

Experiment 5.5-3: BJT-Anwend Osz-Resonator-tb1

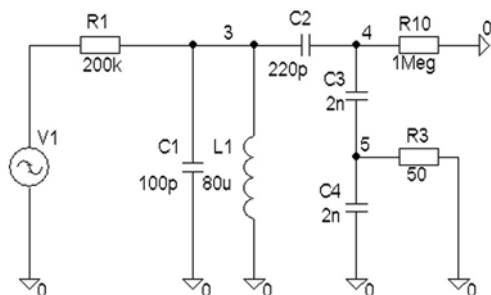


Bild 5.5-9: Testanordnung zur Untersuchung des Resonators

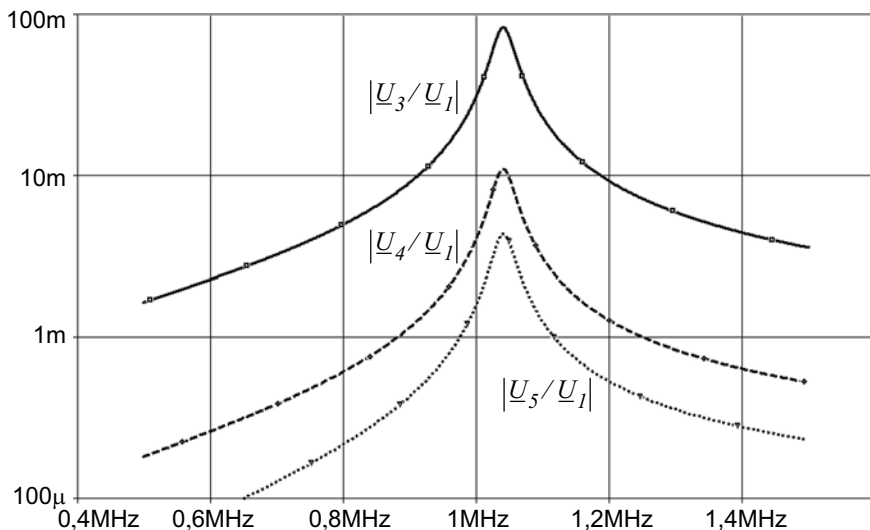


Bild 5.5-10: LC-Resonator mit kapazitivem Spannungsteiler (Resonanztransformator)

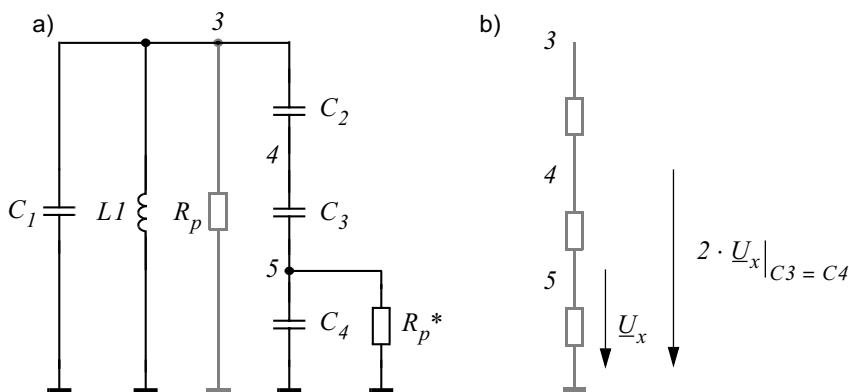
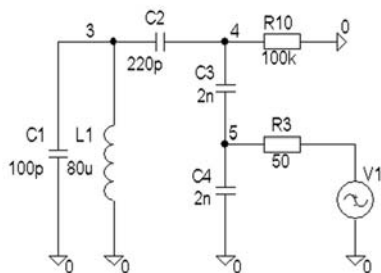
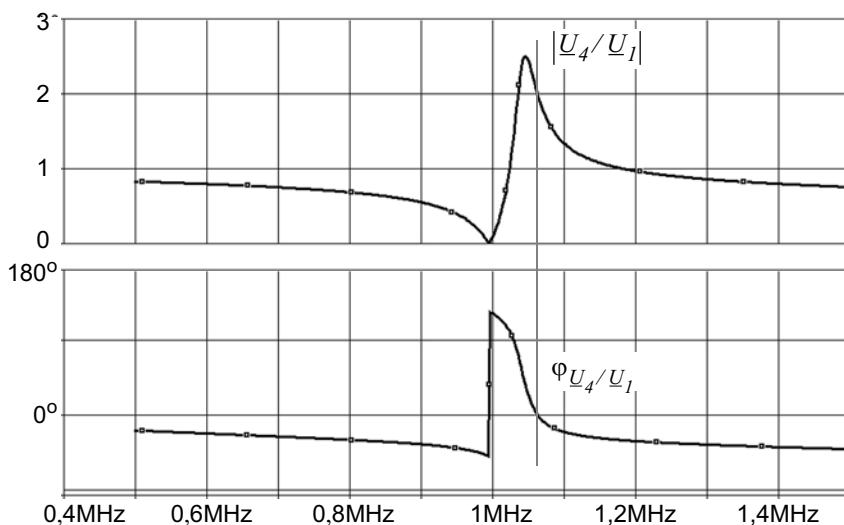


Bild 5.5-11: Resonanztransformator; a) Resonator, b) Spannungsaufteilung bei Resonanz

Im nächsten Experiment wird der Resonator mittels einer Spannungsquelle über R_3 am Fußpunkt gespeist. In Bild 5.5-12 ist eine dafür geeignete Testbench dargestellt. Es soll dabei der Spannungsverlauf an Knoten 4 nach Betrag und Phase ermittelt werden. Das Ergebnis zeigt Bild 5.5-13. An Knoten 4 ergibt sich eine Spannungsüberhöhung. Bei etwa $1,07\text{MHz}$ ist die Spannung an Knoten 4 größer als am Fußpunkt von Knoten 5, wobei die Spannungen an beiden Knoten phasengleich sind. Das heißt, bei Einspeisung eines Signals an Knoten 5 erhält man am Knoten 4 eine größere und phasengleiche Spannung. Dieses Teilergebnis ist wichtig für die Analyse der Schleifenverstärkung.

Experiment 5.5-4: BJT-Anwend_Osz-Resonator-tb2**Bild 5.5-12:** Testanordnung des LC-Resonators bei Speisung am Fusspunkt**Bild 5.5-13:** Ergebnis der Testanordnung des LC-Resonators bei Speisung am Fusspunkt

Untersuchung der offenen Rückkopplungsschleife: Als nächstes ist die Schleifenverstärkung des Oszillators mittels AC-Analyse in einem Experiment zu ermitteln und zu untersuchen. Für die gewünschte Schwingfrequenz des Oszillators muss die Schwingbedingung (siehe Abschnitt 4.2.1) erfüllt sein. Bild 5.5-14 zeigt eine Testanordnung zur Untersuchung der Schleifenverstärkung. Dazu wird an der offenen Schleife am Eingang des Verstärkerelements eingespeist. Das Ergebnis in Bild 5.5-15 weist aus, dass die Schwingbedingung nach Betrag und Phase bei ca. $1,07\text{MHz}$ erfüllt ist.

Experiment 5.5-5: BJT-Anwend_Osz-Schleifenverst-tb1

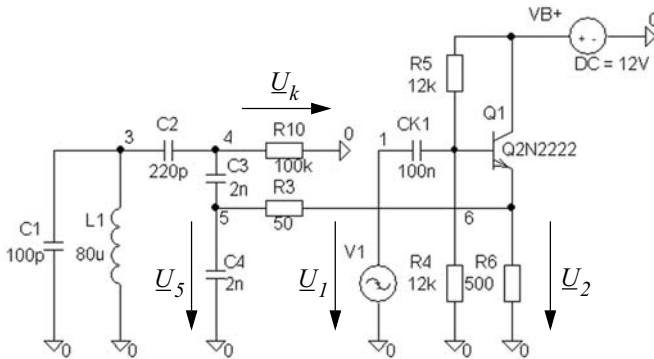


Bild 5.5-14: Testanordnung zur Untersuchung der Schleifenverstärkung

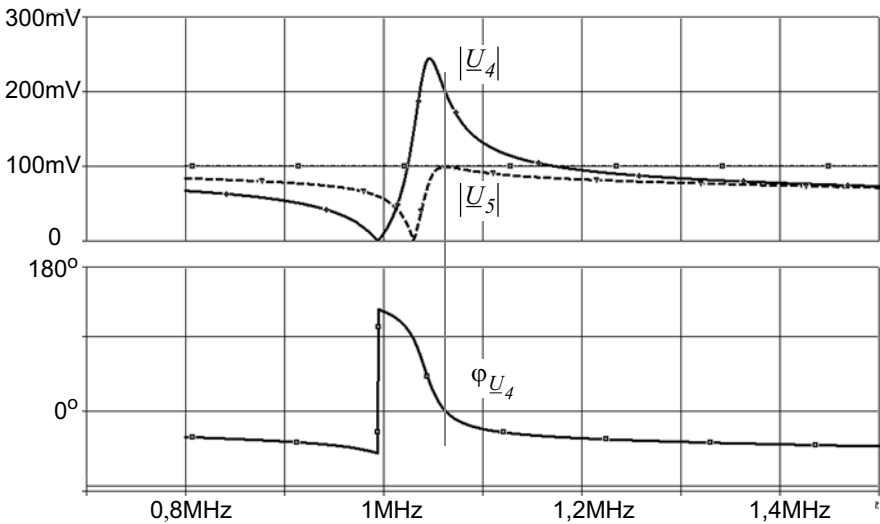


Bild 5.5-15: Ergebnis der Testanordnung zur Untersuchung der Schleifenverstärkung

Betriebsverhalten des Oszillators: Nach den Voruntersuchungen gilt es, das Betriebsverhalten des Oszillators zu bestimmen. Zunächst wird die Oszillatorschaltung mit einem nicht gesteuerten, idealisierten Amplitudenbegrenzer mittels TR-Analyse untersucht (Bild 5.5-17). Die Amplitude des Oszillators wird mit dem Begrenzer so eingestellt, dass der Spitzenwert an Knoten 3 ca. $2,7V$ beträgt. Damit der Oszillator anschwingt ist für die Spule $L1$ ein Vorstrom von $0,1mA$ vorzusehen. Damit erzwingt man einen transienten Ausgleichsvorgang.

Ohne Amplitudenbegrenzer würde das Verstärkerelement als Begrenzer wirken. Im Beispiel erhält man für die Verstärkung des Verstärkerelements von Knoten 4

nach Knoten 5 ca. $v_u = 1$. Die Schleifenverstärkung ist gemäß Bild 5.5-15 bei der Frequenz, wo die Schwingbedingung erfüllt ist ca. $k \cdot v_u \approx 2$; d.h. $k = 2$.

Bild 5.5-16 verdeutlicht den Begrenzungsvorgang mit den Begrenzungseigenschaften des Verstärkerelements. Ist beispielsweise $U_1 = 10mV$ am Verstärkereingang, so erhält man am Ausgang $U_2 = 10mV$. Das Rückkopplungsnetzwerk erzeugt dann eine phasengleiche Rückkopplungsspannung von $20mV$, die wiederum am Eingang des Verstärkers wirkt, der dann am Ausgang $U_2 = 20mV$ erzeugt. Die Amplitude steigt, bis sich aufgrund der Begrenzerwirkung des Verstärkers ein stabiler Betriebspunkt einstellt. In diesem Fall wirkt der Verstärker als amplitudenbegrenzendes Element.

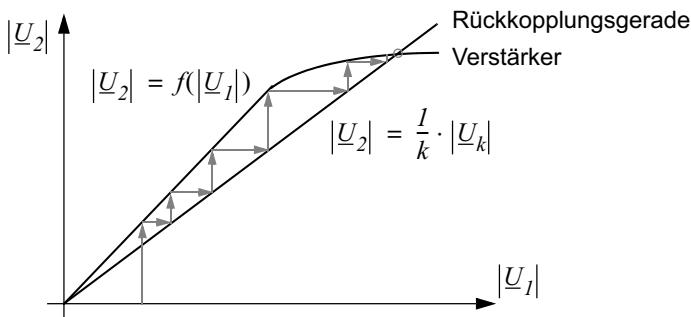


Bild 5.5-16: Oszillator mit dem Verstärker als Begrenzer (ohne äußeren Begrenzer)

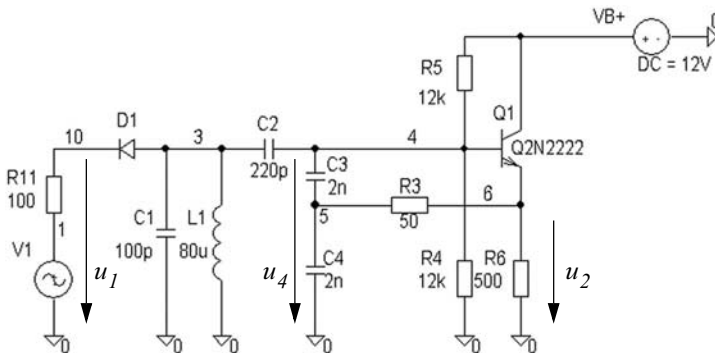


Bild 5.5-17: Testanordnung für den Oszillator mit einem Festwertbegrenzer

Experiment 5.5-6: BJT-Anwend_Osz-Gesamtverh-tb1

Im Beispiel wird über die Diode $D1$ ein mit $V1$ steuerbares äußeres Begrenzelement verwendet. Die Spannung an Knoten 3 kann nicht größer werden, als durch $u_1 + 0,7V$ gegeben. Gemäß Bild 5.4-11 wird die Spannung von Knoten 3 nach Knoten 4 bzw. Knoten 5 herunter geteilt.

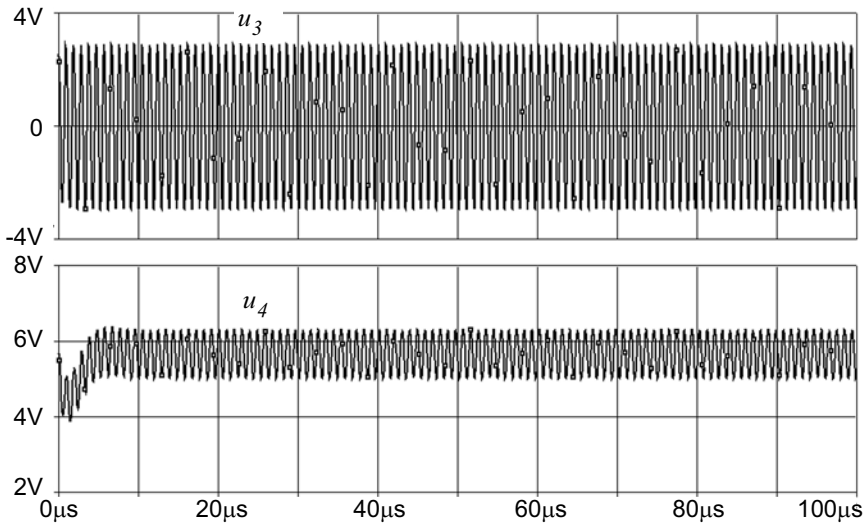


Bild 5.5-18: Ergebnis der Testanordnung in Bild 5.5-17

Das Ergebnis der Untersuchung der Testanordnung von Bild 5.5-17 ist in Bild 5.5-18 dargestellt. Es zeigt den transienten Einschwingvorgang. Nach dem Abklingen des Einschwingvorgangs ergibt sich eine Schwingfrequenz mit konstanter Amplitude.

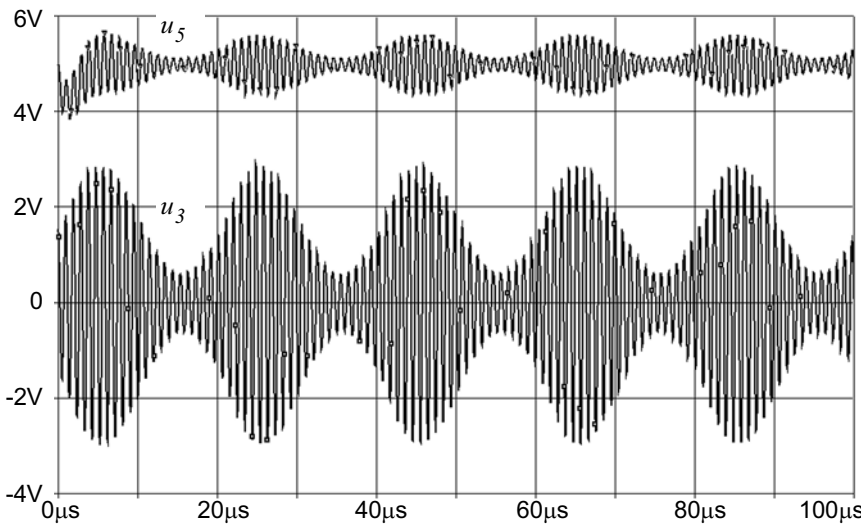


Bild 5.5-19: Ergebnis der Testanordnung in Bild 5.5-17

Als nächstes wird im nachstehenden Experiment der Amplitudenbegrenzer mit einem Modulationssignal u_I an Knoten I gesteuert. Damit erhält man ein amplitudenmoduliertes Signal am Ausgang des Oszillators. Das Ergebnis kann aus Bild 5.5-19 entnommen werden. In Bild 5.4-8 ist die steuernde Spannungsquelle durch einen Spannungsfolger mit $Q3$ ersetzt.

Experiment 5.5-7: BJT-Anwend_Osz-Gesamtverh-tb2

Experiment 5.5-8: BJT-Anwend_Osz-Gesamtverh-tb3

Um einen FM-modulierbaren Oszillator zu erhalten, muss die Kapazität CI durch eine steuerbare Varaktordiode ersetzt werden. Damit lässt sich die Schwingfrequenz spannungsgesteuert verändern.

Das Beispiel soll die Systematik der Untersuchung einer Schaltung aufzeigen. Die Vorgehensweise der Aufteilung einer Schaltung in Funktionsprimitive und deren Untersuchung mit geeigneten Testanordnungen lässt sich auf andere Funktionsschaltungen übertragen.

6 Funktionsschaltungen mit FETs

Die bereits eingeführten Funktionsschaltungen mit BJTs werden um Funktionsprimitive und Funktionsschaltungen mit Feldeffekttransistoren (FETs) erweitert. Nach Erläuterung des Aufbaus, der Wirkungsweise und der wesentlichen Eigenschaften von Feldeffekttransistoren, sowie möglicher Beschaltungen zur Arbeitspunkteinstellung, geht es um die Vorstellung und Erläuterung wichtiger Funktionsschaltungen mit Feldeffekttransistoren für verschiedene Anwendungsgebiete. Ein Hauptanliegen ist dabei die Ermittlung der Eigenschaften zur Charakterisierung und Einteilung der behandelten Funktionsschaltungen.

6.1 Eigenschaften von Feldeffekttransistoren

Grundsätzlich unterscheidet man zwischen Sperrschicht-Feldeffekttransistoren (JFET) und Isolierschicht-Feldeffekttransistoren (MOSFET). In einer zusammenfassenden Darstellung wird eingeführt in den physikalischen Aufbau und in daraus ableitbare Modelle für Feldeffekttransistoren.

Ähnlich wie der Bipolartransistor stellt der Feldeffekttransistor im geeigneten Arbeitspunkt betrieben eine spannungsgesteuerte Stromquelle dar. Im Rückblick auf Kap. 4 ergeben sich Verstärkereigenschaften gemäß dem in Bild 6.1-1 dargestellten Modell.

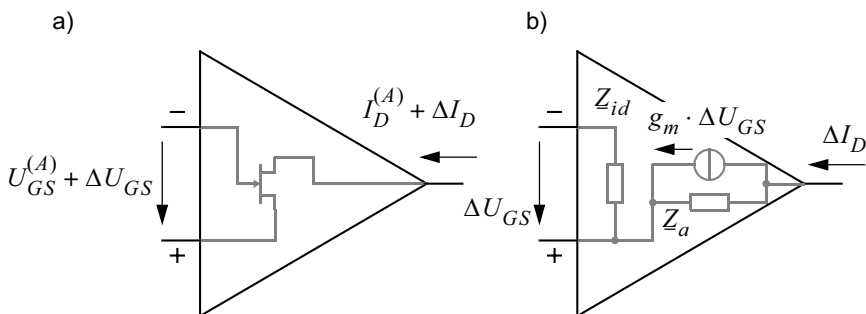


Bild 6.1-1: Der Feldeffekttransistor als Verstärkerelement: a) Arbeitspunkt plus Änderung im Arbeitspunkt; b) Änderungsanalyse im Arbeitspunkt

6.1.1 Eigenschaften von Sperrschicht-Feldeffekttransistoren

Behandelt wird der physikalische Aufbau, das Kennlinienverhalten, Modelle und Modellparameter für Sperrschichtfeldeffekttransistoren. Das nachstehende Bild 6.1-2 zeigt das Symbol eines N-Kanal bzw. eines P-Kanal JFET mit der physikalischen Ersatzanordnung. Die äußeren Anschlüsse sind Gate (G), Source (S) und Drain (D). Die physikalische Ersatzanordnung besteht aus der Gate-Source-Diode, der Gate-Drain Diode und einer spannungsgesteuerten Stromquelle. Der Feldeffekt erfordert, dass in einer konkreten Anwendung beide Dioden gesperrt sind. Die Gate-Source-Spannung U_{GS} muss also immer so gerichtet sein, dass die zugehörige Diodenstrecke gesperrt ist. Gleiches gilt für die Gate-Drain-Diode, ansonsten ist der, der gesteuerten Stromquelle zugrundeliegende Feldeffekt, nicht wirksam. Zur Ausbildung des eigentlichen Feldeffekts (Verstärkereigenschaft im „Stromquellen“-Betrieb) muss zudem die Drain-Source-Spannung U_{DS} hinreichend groß sein.

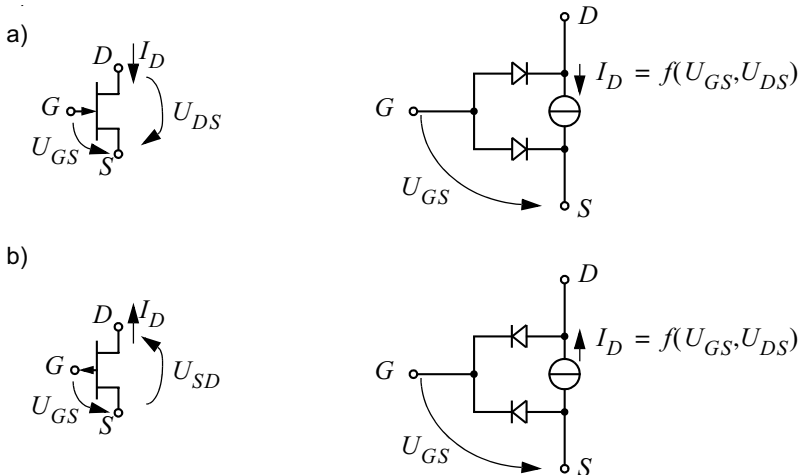


Bild 6.1-2: Symbol und physikalische Ersatzanordnung a) eines N-Kanal JFET und b) eines P-Kanal JFET

Zum besseren Verständnis wird der stark vereinfachte schematische physikalische Aufbau eines N-Kanal JFET betrachtet. Der Feldeffekttransistor besteht aus zwei pn-Übergängen, nämlich zwischen Gate und Source, sowie zwischen Gate und Drain. Das Gebiet zwischen Source und Drain wird mit „Kanalgebiet“ gekennzeichnet. Der Feldeffekt beruht auf der Steuerung der Raumladungszonen (RLZ) im Kanalgebiet auf Basis der gesperrten pn-Übergänge. Bild 6.1-3 zeigt den physikalischen Aufbau und die idealisierte Kanalzone zwischen Gate und Drain mit Ausbildung einer Raumladungszone. Die Schwellspannung oder Abschnürspannung U_p ist diejenige Sperrspannung zwischen Gatezone und Kanalzone, ab der sich die Raumladungszonen über die gesamte Kanallänge berühren, der Feldeffekttransistor ist gesperrt.

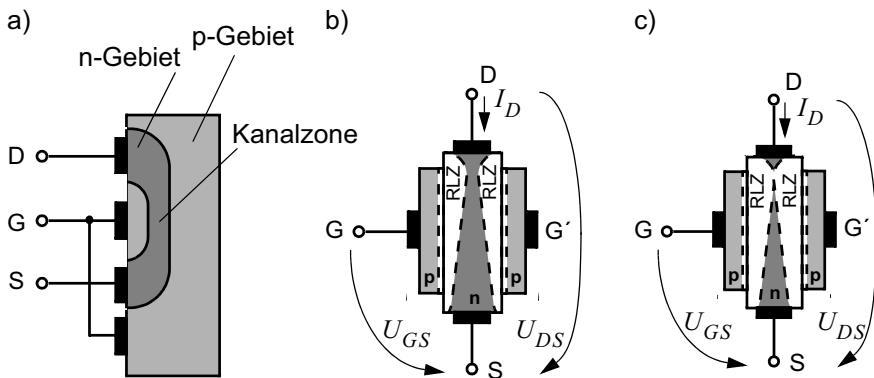


Bild 6.1-3: Physikalischer Aufbau des N-Kanal JFET: a) prinzipieller Aufbau; b) idealisierter symmetrischer Aufbau mit den Raumladungszonen zur Leitfähigkeitssteuerung des N-Kanals im Widerstandsbetrieb; c) Abschnürbetrieb – „Stromquellenbetrieb“

Ein wesentliches Kennzeichen des Feldeffekttransistors ist, dass stets beide Diodenstrecken (siehe Bild 6.1-2) gesperrt sein müssen, um eine Raumladungssteuerung bewirken zu können. Je nach Größe der Steuerspannung U_{GS} und der Drain-Source-Spannung U_{DS} ergeben sich verschiedene Betriebsarten des Feldeffekttransistors.

Sperrbetrieb liegt dann vor, wenn die Steuerspannung U_{GS} beim N-Kanal JFET kleiner als eine, dem Feldeffekttransistor eigene Schwellspannung U_p ist. Es bilden sich dann breite Raumladungszonen, die sich über die gesamte Kanallänge berühren. Es entsteht kein leitender Kanal. Die Kanalzone ist voll bedeckt durch die Raumladungszonen. Der Transistor ist gesperrt.

Widerstandsbetrieb oder „Linearbereich“ (siehe Bild 6.1-3b)) ist dann gegeben, wenn bei $U_{GS} > U_p$ die Raumladungszonen nicht so weit greifen, dass sie sich berühren. Es entsteht ein leitfähiger „Widerstands“-Kanal zwischen Source und Drain, dessen Breite durch die Steuerspannung U_{GS} und durch die Spannung U_{DS} bestimmt wird und damit steuerbar ist.

Abschnürbetrieb liegt dann vor, wenn sich die Raumladungszonen nur in einem Punkt, dem Abschnürpunkt, berühren. Bei gegebener Steuerspannung U_{GS} und größer werdender Spannung U_{DS} wird bei $U_{DS} = U_{DSP}$ ein Punkt erreicht, bei dem sich die Raumladungszonen (siehe Bild 6.1-3c)) berühren, der Kanal ist abgeschnürt. Man spricht dann von Abschnürbetrieb oder „Stromquellen“-Betrieb. Erhöht man U_{DS} über den Abschnürpunkt U_{DSP} hinaus die Spannung mit $U_{DS} > U_{DSP}$ so erhöht sich der Drainstrom nicht weiter, er bleibt ab dem Abschnürpunkt konstant („Konstant“-Stromquelle).

Die Tab. 6.1-1 zeigt die wichtigsten Parameter eines N-Kanal JFET. Als erstes zu nennen ist die Schwellspannung U_p . Nur wenn die Steuerspannung U_{GS} größer als die Schwellspannung U_p ist, kommt überhaupt ein Stromfluss zustande. Der

Stromfluss selbst wird durch den Transkonduktanzkoeffizienten β charakterisiert. Dieser Koeffizient bestimmt die Stromergiebigkeit eines Feldeffekttransistors. Für die gesperrten pn-Übergänge gelten die üblichen Beziehungen wie für eine Diodenstrecke. Wesentlich dabei ist der Transportsättigungssperrstrom I_S und der Rekombinationssperrstrom I_{GSS} mit den entsprechenden Emissionskoeffizienten N bzw. NR . Mit dem Parameter λ wird der Effekt der Kanallängenmodulation festgelegt. Auf diesen Effekt wird später noch näher eingegangen. Die Raumladungszonen der gesperrten pn-Übergänge weisen eine Sperrschichtkapazität auf.

Tabelle 6.1 - 1: Parameter eines N-Kanal Feldeffekttransistors

Name	typ. Wert	Bedeutung	Spice-Parameter
U_p	$U_p = -4V$	Schwellspannung	VTO, VTOTC
β	$\beta = 1mA/V^2$	Transkonduktanz, Stromergiebigkeit	BETA = $\beta/2$; BETATCE
I_S	$I_S = 10^{-15} A$	Sättigungssperrstrom; legt indirekt die Schwellspannung in Flussrichtung fest: typ. 0,7 V	IS, XTI, N
I_{GSS}	$I_{GSS} = .. nA$	Gate-Sperrstrom	ISR, NR
λ	$\lambda = 10^{-4}$	Kanallängenmodulation	LAMDBDA = λ
C_{GS}, C_{GD}	$.. pF$	Sperrschichtkapazitäten	CGS,CGD, M, PB

Mit der äußeren Beschaltung wird der Arbeitspunkt und damit der Betriebsbereich des Feldeffekttransistors festgelegt. Die Betriebsbereiche hängen ab von der angelegten Steuerspannung U_{GS} und von der Spannung U_{DS} . Zur Definition der Betriebsbereiche eines N-Kanal JFET gilt:

Tabelle 6.1 - 2: Betriebsbereiche eines N-Kanal JFET

Sperrbereich	$0 > U_{GS} - U_p$
„Widerstandsbereich“	$0 < U_{DS} < U_{GS} - U_p = U_{DSP}$
Abschnürbereich	$0 < U_{GS} - U_p < U_{DS}$

In jedem Fall muss die Steuerspannung U_{GS} beim N-Kanal JFET größer sein als U_p um einen Stromfluss zu bewirken. U_{DSP} ist bei gegebener Steuerspannung U_{GS} diejenige Spannung U_{DS} , ab der sich der Abschnürbetrieb einstellt; betrifft U_{DSP}

siehe Bild 6.1-5. Zur Unterscheidung zwischen N-Kanal und P-Kanal gilt grundsätzlich (siehe Bild 6.1-2):

- ☐ N-Kanal: Drainstrom fließt in das Bauteil am Drainanschluss!
- ☐ P-Kanal: Drainstrom fließt aus dem Bauteil am Drainanschluss!

Hinsichtlich der Parameter unterscheiden sich P-Kanal FETs von N-Kanal FETs lediglich im Vorzeichen der Schwellspannung U_p .

In integrierter Technik müssen gegenüber dem physikalischen Aufbau nach Bild 6.1-3 noch zusätzlich isolierende pn-Übergänge vorgesehen werden. Damit ergibt sich der in Bild 6.1-4 skizzierte planare Aufbau eines N-Kanal JFET mit isolierenden pn-Übergängen.

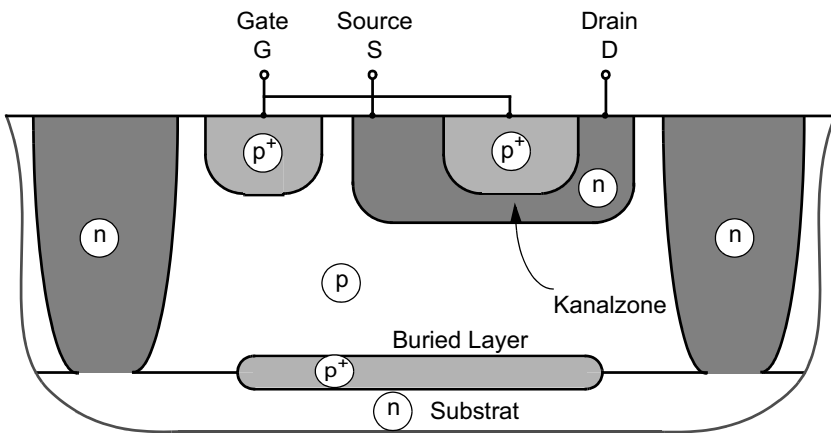


Bild 6.1-4: Typischer Aufbau eines planaren N-Kanal JFET

Das Verhalten des Drainstroms I_D in Abhängigkeit von der Steuerspannung U_{GS} und der Ausgangsspannung U_{DS} ist durch den Zusammenhang in Gl.(6.1-1) bis Gl.(6.1-3) gegeben. Der Zusammenhang stellt sich in der Form $I_D = f(U_{GS}, U_{DS})$ dar. Graphisch veranschaulicht wird das Verhalten durch die

- ☐ Übertragungskennlinie: $I_D = f_1(U_{GS})$ mit $U_{DS} = \text{const}$ bzw. durch das
- ☐ Ausgangskennlinienfeld: $I_D = f_2(U_{DS})$ mit $U_{GS} = \text{const}$. Die Kennlinien des N-Kanal JFET sind in Bild 6.1-5 schematisch veranschaulicht.

Für die Gleichungen des „Widerstands“-Bereichs (Gl.(6.1-2)) und für den Abschnürbereich (Gl.(6.1-3)) gibt es zwei Darstellungsarten. Neben der Darstellung mit I_{DS} als Parameter (siehe Bild 6.1-5a)) steht gleichberechtigt die Form mit β als Parameter. Der Zusammenhang zwischen I_{DS} und β ist aus Gl.(6.1-4) zu entnehmen.

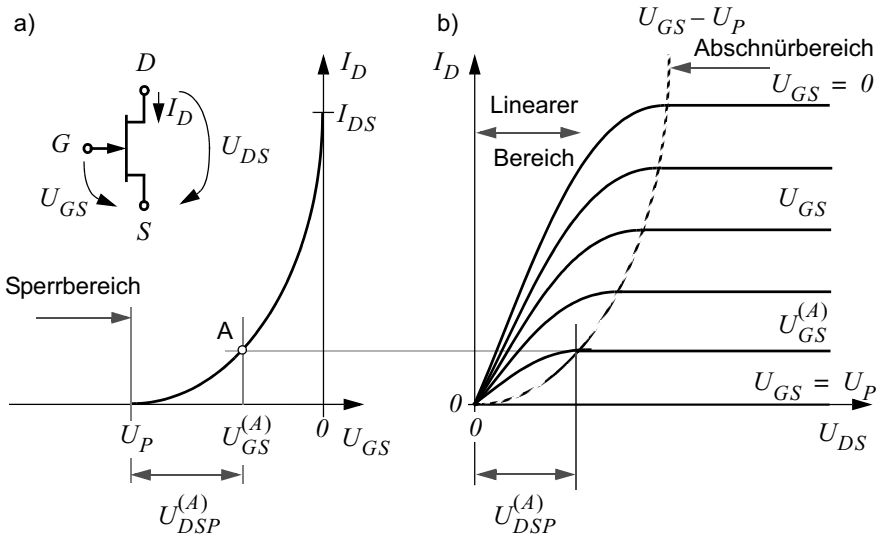


Bild 6.1-5: Kennlinien des N-Kanal JFET; a) Übertragungskennlinie; b) Ausgangskennlinien mit Arbeitspunkt A

Für die Modellkennlinien eines N-Kanal-JFET gilt:

Sperrbereich: $U_{GS} < U_P$

$$I_D = 0; \quad (6.1-1)$$

Widerstands-Bereich: $U_{GS} > U_P$ und $U_{DS} < (U_{GS} - U_P) = U_{DSP}$

$$I_D = \begin{cases} I_{DS} \cdot \left\{ 2 \cdot \left(\frac{U_{GS}}{U_P} - 1 \right) \cdot \frac{U_{DS}}{U_P} - \left(\frac{U_{DS}}{U_P} \right)^2 \right\}; \\ \beta \cdot \left\{ (U_{GS} - U_P) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right\}; \end{cases} \quad (6.1-2)$$

Abschnürbereich: $U_{GS} > U_P$ und $U_{DSP} = (U_{GS} - U_P) < U_{DS}$

$$I_D = \begin{cases} I_{DS} \cdot \left(\frac{U_{GS}}{U_P} - 1 \right)^2 \cdot (1 + \lambda \cdot U_{DS}); \\ \frac{\beta}{2} \cdot (U_{GS} - U_P)^2 \cdot (1 + \lambda \cdot U_{DS}); \end{cases} \quad (6.1-3)$$

Beim P-Kanal JFET kehrt sich das Vorzeichen von U_{GS} , U_{DS} , I_D um. Gleiches gilt für U_P . Die Vorzeichenumkehr von I_D kann durch Änderung des Zählpfeils aufgehoben werden. Ansonsten bleiben die Gleichungen und nicht vorzeichenabhängigen Parameter gleich. Bild 6.1-6 zeigt schematisch die Kennlinien des P-Kanal JFET. Wie bereits dargelegt, wird die Stromergiebigkeit eines FET definiert durch den Parameter β . Die Stromergiebigkeit wird gemessen bei $U_{GS} = 0$. In diesem Fall erhält man für den Drainstrom $I_D = I_{DS}$. Es gilt:

$$I_{DS} = \frac{\beta}{2} \cdot U_P^2; \quad (6.1-4)$$

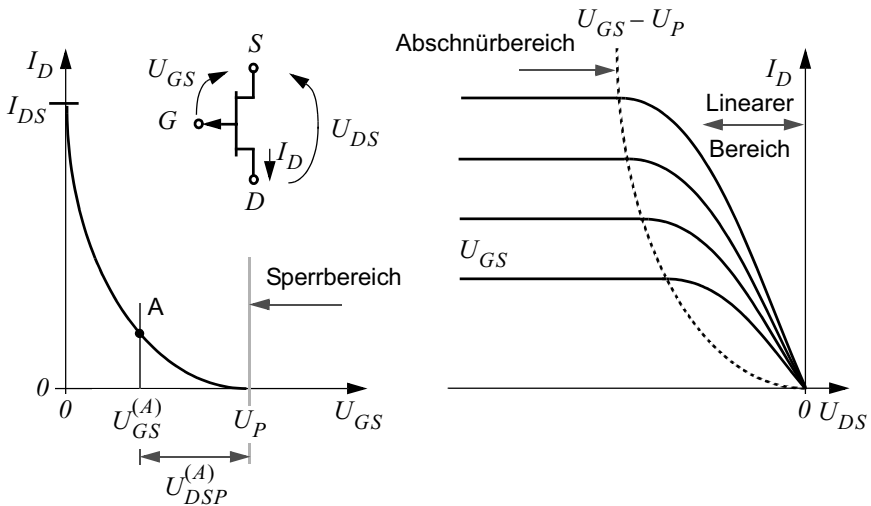


Bild 6.1-6: Kennlinien des P-Kanal JFET mit positiv gezähltem Drainstrom

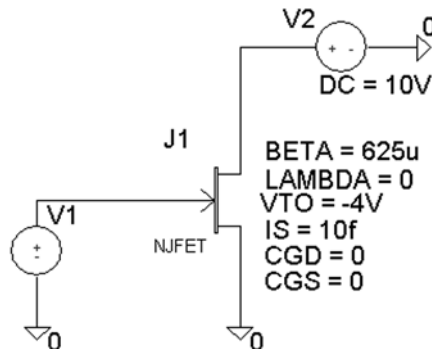


Bild 6.1-7: Testschaltung zur Ermittlung der Kennlinien eines N-JFET

In den nachstehenden Experimenten werden die Kennlinien eines N-JFET bzw. eines P-JFET ermittelt. Die Testschaltung hierzu zeigt Bild 6.1-7.

Experiment 6.1-1: NJ_Uebertr_Kennl

Experiment 6.1-2: NJ_Ausg_Kennl

Experiment 6.1-3: PJ_Uebertr_Kennl

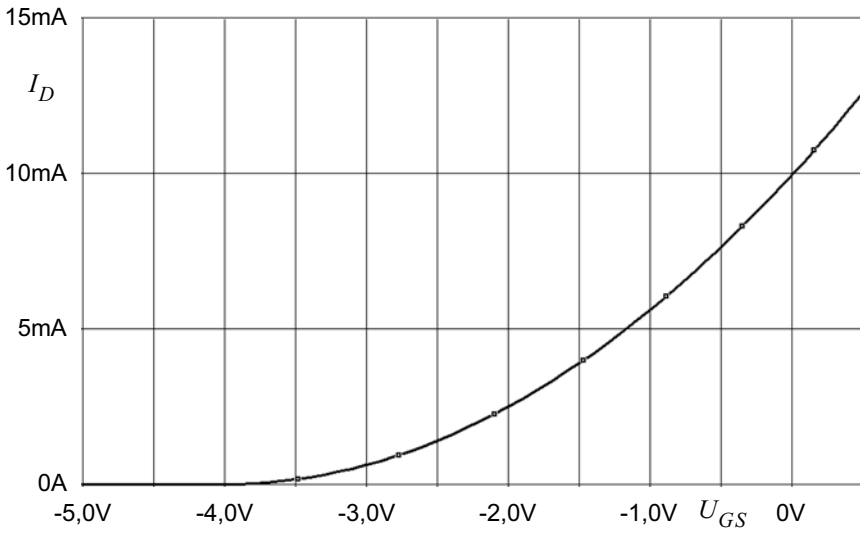


Bild 6.1-8: Modell-Kennlinien eines N-Kanal JFET – Übertragungskennlinie

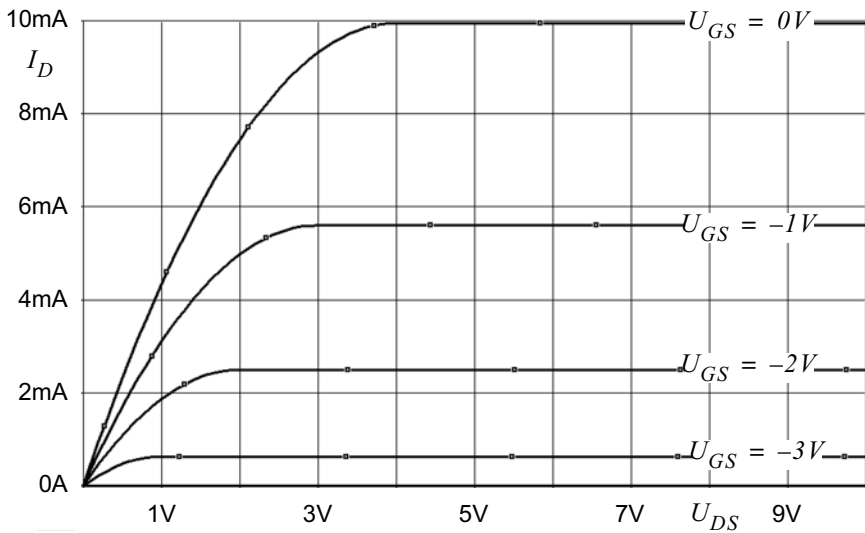


Bild 6.1-9: Modell-Kennlinien eines N-Kanal JFET – Ausgangskennlinien

AC-Ersatzschaltbild: Für AC-Betrieb im Arbeitspunkt ergibt sich ein vereinfachtes linearisiertes Modell (Bild 6.1-10). Grundsätzlich gilt bei Betrieb als „Stromquelle“ (Abschnürbetrieb) für Änderungen im Arbeitspunkt:

$$\Delta I_D = g_m \cdot \Delta U_{GS}$$

$$g_m = \sqrt{2\beta I_D^{(A)}} = (2/|U_P|) \cdot \sqrt{I_D^{(A)} \cdot I_{DS}} \quad (6.1-5)$$

Daraus ergibt sich das AC-Ersatzschaltbild, das für N-Kanal und P-Kanal JFET gleich ist. Bei gleichem Arbeitspunktstrom ist die Steilheit g_m des JFET erheblich geringer als beim Bipolartransistor. Damit wird bei gleichen Lastverhältnissen die Spannungsverstärkung deutlich kleiner. Ähnlich dem „Early“-Effekt beim Bipolartransistor sind die Ausgangskennlinien des FET bei „Stromquellen“-Betrieb leicht nach oben geneigt. Der „Early“-Spannung entspricht der Wert $1/\lambda$. Im AC-Ersatzschaltbild kann man diesen Effekt durch den Innenwiderstand der Stromquelle beschreiben. Dabei gilt:

$$\frac{1}{r_{DS}^{(A)}} = \left. \frac{\partial I_D}{\partial U_{DS}} \right|^{(A)} = \frac{\beta}{2} \cdot (U_{GS}^{(A)} - U_P)^2 \cdot \lambda = \lambda \cdot I_D^{(A)}; \quad (6.1-6)$$

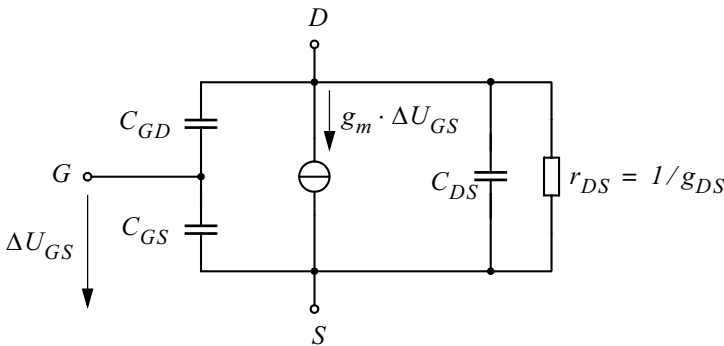


Bild 6.1-10: AC-Ersatzschaltbild für den JFET

Rauschen: Ähnlich wie beim Bipolartransistor bringen die inneren Bahnwiderstände Rauschbeiträge ein. Das thermische Rauschen der Bahnwiderstände kann im allgemeinen vernachlässigt werden. Das thermische Rauschen und der 1/f-Rauschanteil des Kanals beträgt näherungsweise:

$$\overline{I_{r,D}^2}/df = \frac{8 \cdot k \cdot T \cdot g_m}{3} + \frac{KF \cdot I_D^{(A)AF}}{f}; \quad (6.1-7)$$

Dabei ist KF ein Koeffizient für den 1/f-Rauschanteil und AF ein zugehöriger Exponent, idealerweise ist $AF = 1$. Bild 6.1-11 zeigt das AC-Ersatzschaltbild mit der signifikanten Rauschquelle am Drainausgang.

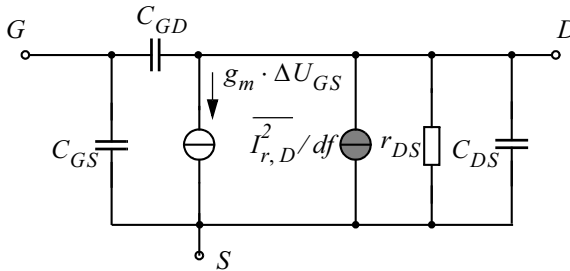


Bild 6.1-11: AC-Ersatzschaltbild eines Feldeffekttransistors mit Rauschquelle

Zusammenfassung: Der Drainanschluss beim Feldeffekttransistor ist beim N-Kanaltyp dadurch gekennzeichnet, dass der Strom in den Anschluss „hineinfließt“; beim P-Kanaltyp „herausfließt“. Die Mindestspannung für U_{DS} , so dass „Stromquellenbetrieb“ vorliegt, wird mit U_{DSP} bezeichnet. U_{DSP} ist die Differenz zwischen $U_{GS}^{(A)}$ und der Schwellspannung U_P . Für „Widerstandsbetrieb“ muss U_{DS} deutlich kleiner sein, als U_{DSP} . Verstärkereigenschaften stellen sich nur im „Stromquellenbetrieb“ ein. Für Verstärkerbetrieb muss also die Spannung U_{DS} hinreichend groß sein.

6.1.2 Eigenschaften von Isolierschicht-Feldeffekttransistoren

Behandelt wird der physikalische Aufbau, das Kennlinienverhalten, Modelle und Modellparameter für Isolierschicht-Feldeffekttransistoren (MOS: Metal-Oxide-Semiconductor). Den idealisierten schematischen Aufbau eines N-Kanal MOSFET zeigt das nachstehende Bild 6.1-14. Unterhalb der metallischen Gate-Elektrode befindet sich eine dünne isolierende SiO_2 -Schicht. Die Kanalzone (hier N-Kanal) verbindet die stark n-dotierte Source-Zone mit der stark n-dotierten Drain-Zone innerhalb des p-dotierten Substrats. Dabei ist L die Kanallänge und W die Kanalbreite. Das p-dotierte Substrat wird auch Bulk bezeichnet.

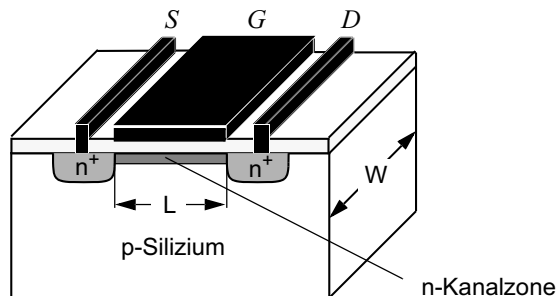


Bild 6.1-12: Prinzip-Aufbau eines N-Kanal MOSFET

Grundsätzlich unterscheidet man zwischen einem Enhancement-MOSFET-Typ (Anreicherungstyp) und dem Depletion-Typ (Verarmungstyp). Beim Anreicherungstyp entsteht ohne Vorspannung am Gate keine leitende Brücke (Kanal) zwischen Source und Drain. Hingegen bildet sich beim Verarmungstyp ohne Vorspannung eine leitende Kanalzone, der MOSFET ist selbstleitend. Die leitende Brücke beim Verarmungstyp entsteht bei geeigneter Wahl der Prozessparameter beim Fertigungsprozess. Zusätzlich zur Gate-Source-Spannung U_{GS} und zur Drain-Source-Spannung U_{DS} kann zwischen dem Substrat und dem Source-Anschluss eine Spannung U_{SB} angelegt werden.

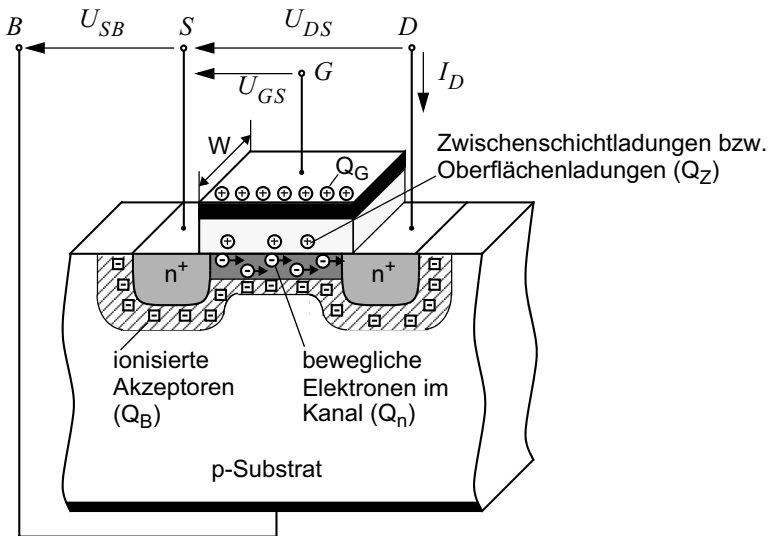


Bild 6.1-13: Zur Entstehung des N-Kanals bei einem N-MOSFET

Die Schwellspannung U_P ist ein wichtiger Parameter des MOSFET, sie wird bestimmt von Materialparametern und von der Source-Bulk-Spannung U_{SB} . Beim Verarmungstyp liegt bereits bei $U_{GS} = 0$ und bei $U_{SB} = 0$ wegen der Differenz der Austrittsarbeiten von Gate und Halbleitersubstrat ein elektrisches Feld E_{ox} über der SiO_2 -Isolationsschicht an. Ist die Spannung $U_{GS} > 0$, so erhöht sich die Feldstärke E_{ox} . Bei geeigneter Wahl der Technologieparameter entsteht schon ohne Vorspannung eine Verarmungszone bzw. eine Raumladungszone im p-Gebiet unterhalb des Gates. Es bildet sich ein Kondensatoreffekt. Dadurch entsteht unterhalb des Gates an der Oberkante des p-Gebietes eine Elektronenanreicherung, die Inversionsladung Q_n . Bei genügender Anreicherung von frei beweglichen Elektronen im Kanal bildet sich eine leitende Brücke zwischen der n-dotierten Drain-Insel und der n-dotierten Source-Insel. Bild 6.1-13 zeigt die Entstehung der mit frei beweglichen Elektronen angereicherten Inversionsschicht (N-Kanalzone) im p-Gebiet unterhalb des Gates. Die in Bild 6.1-13 schraffiert dargestellte Raumladungszone bildet eine Sperrschicht, so dass lediglich die Inversionsschicht zur Leitfähigkeit beiträgt.

Bild 6.1-14 zeigt die Ladungsverteilung auf dem Gate und in der Inversionsschicht, sowie die ortsfesten ionisierten Fremdatome in der Raumladungszone. Längs der Kanalzone (Inversionsschicht) entsteht aufgrund der Ladungsträgeransammlung eine „Widerstandsbahn“ von der Source-Insel zur Drain-Insel und somit ein Spannungsabfall. Die Gateladung Q_G ist eine Flächenladung (im Bild 6.1-14b als dicker Pfeil dargestellt). Wegen der Neutralitätsbedingung muss die Summe der Ladungen $Q_G + Q_Z + Q_n + Q_B$ Null ergeben.

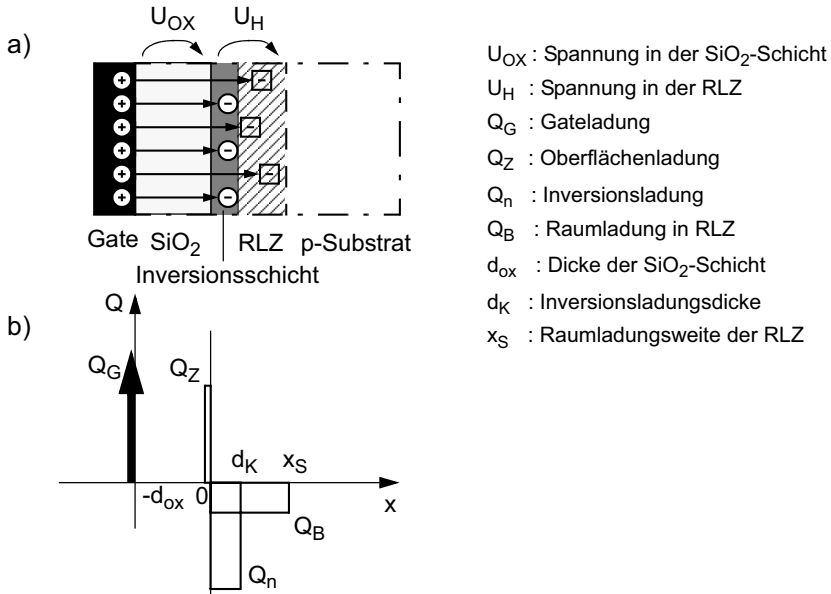


Bild 6.1-14: Zur Ladungsverteilung in der Kanalzone; a) Ausschnitthafte Darstellung der Kanalzone mit Inversionsschicht und Raumladungszone, b) Ladungsverteilung eines N-Kanal MOSFET

Erreicht U_{DS} die Abschnürspannung U_{DSPA} , so bildet sich wie beim Sperrschicht-Feldeffekttransistor der Abschnüreffekt (Abschnürpunkt) aus. Der Strom steigt nicht weiter an, der Feldeffekttransistor arbeitet dann als Stromquelle. Bild 6.1-15 zeigt schematisch den abgeschnürten Kanal bei Überschreiten der Abschnürspannung.

Die Leitfähigkeitssteuerung des Kanals erfolgt in gleicher Weise wie beim Sperrschicht-Feldeffekttransistor. Es gelten damit dieselben Gleichungen. Für den Transkonduktanzkoeffizienten gilt:

$$\beta = K_p \cdot W / L_{eff} \quad (6.1-8)$$

Dabei ist K_p der Übertragungsleitwertparameter, der abhängig von der Ladungsträgerbeweglichkeit μ_n und der Oxid-Kapazität C'_{Ox} ist.

$$K_p = \mu_n \cdot C'_{Ox} \quad (6.1-9)$$

Die Ladungsträgerbeweglichkeit im n-Gebiet μ_n unterscheidet sich beträchtlich von der im p-Gebiet. Es gilt in etwa $\mu_n \approx 2,5 \cdot \mu_p$. Insofern ist bei gleicher Geometrie der N-Kanal Transistor deutlich stromergiebig als der P-Kanal Transistor.

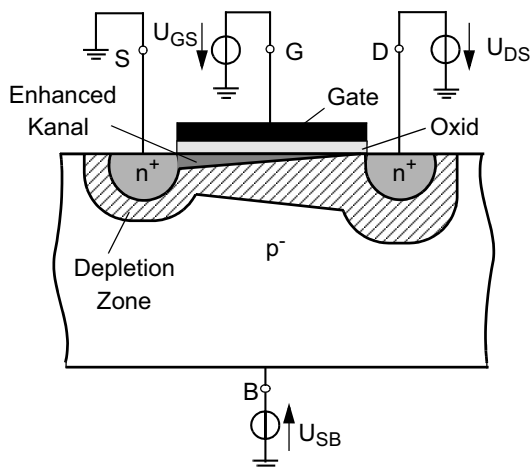


Bild 6.1-15: Idealisierter prinzipieller Aufbau des N-Kanal MOS-FET mit einem abgeschnürten N-Kanal – „Inversionskanal“ unterhalb des Gate

Anders als bei Sperrschicht-Feldeffekttransistoren sind bei MOSFET selbstsperrende Typen (Anreicherungstypen = Enhancementtype) möglich. In diesem Fall ist ohne Anlegen einer Gate-Spannung der Transistor gesperrt. Erst mit Anlegen einer hinreichend großen Gate-Spannung bildet sich über die Inversionsschicht ein leitfähiger Kanal aus, dessen Leitfähigkeit wiederum über die Raumladungszonen gesteuert werden kann. Das Symbol und die physikalische Ersatzanordnung eines N-Kanal bzw. P-Kanal MOSFET zeigt das Bild 6.1-16. Der Substratanschluss (Bulkanschluss) wird bei der symbolischen Darstellung oft zur besseren Lesbarkeit weggelassen, da in vielen Anwendungen der Substratanschluss global festliegt. Häufig unterscheidet sich das Symbol für den Anreicherungstyp von dem des Verarmungstyps dadurch, dass beim Anreicherungstyp die Symbollinie zwischen Source und Drain unterbrochen ist, beim Verarmungstyp aber durchgezogen wird. Im Weiteren wird für den Anreicherungstyp und den Verarmungstyp dasselbe Symbol (mit unterbrochener Linie) verwendet. Es muss die Steuerspannung U_{GS} so gewählt werden, dass die Schwellspannung überschritten wird, um einen Stromfluss zu bewirken. Die Schwellspannung lässt sich durch die Bulk-Source-Spannung U_{BS} beeinflussen. Bei $U_{BS} = 0$ ist die Schwellspannung gleich dem Parameter V_{TO} . Prinzipiell muss das Bulk-Potenzial so liegen, dass der pn-Übergang zwischen Source und Bulk und der pn-Übergang zwischen Drain und Bulk gesperrt ist. Beim N-Kanal MOSFET sollte das Bulk-Potenzial möglichst niedrig liegen, beim P-Kanal MOSFET möglichst hoch liegen.

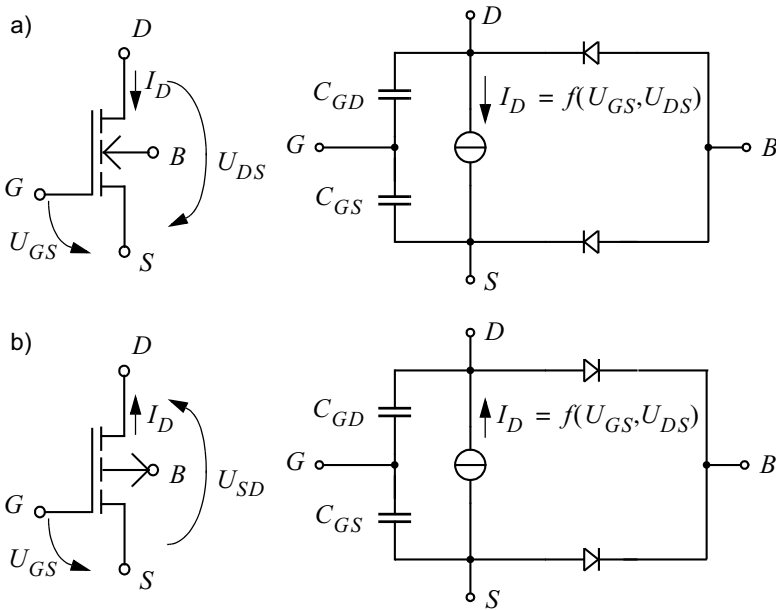


Bild 6.1-16: Symbol und Ersatzanordnung: a) NMOS- und b) PMOS-Transistor

Zunächst wird in einem Experiment (Testschaltung in Bild 6.1-17) die Übertragungskennlinie eines NMOS-Feldeffekttransistors dargestellt. Zur Bestimmung der Übertragungskennlinie (Bild 6.1-18) erfolgt eine DCSweep-Analyse bei Veränderung der Steuerspannung U_{GS} . Die Ausgangskennlinien (Bild 6.1-19) ergeben sich bei Veränderung von U_{DS} mit U_{GS} als Parameter.

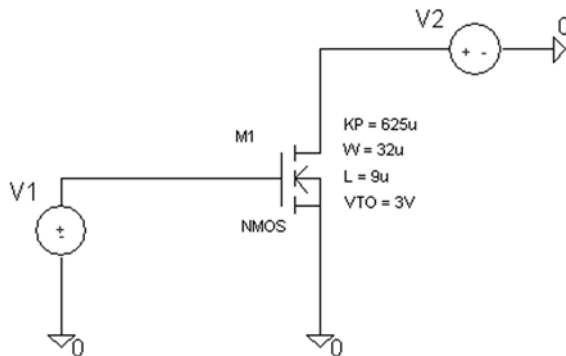


Bild 6.1-17: Testbench für die Übertragungskennlinie des NMOS-Transistors

Experiment 6.1-4: NMOS_Uebertr_Kennl

Experiment 6.1-5: NMOS_Ausg_Kennl

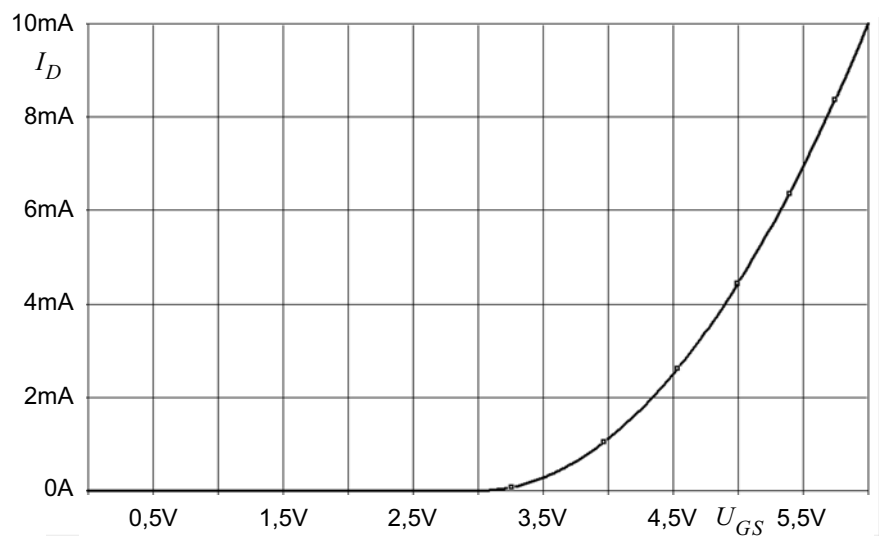


Bild 6.1-18: Ergebnis der Übertragungskennlinie des selbstsperrenden NMOS-Transistors

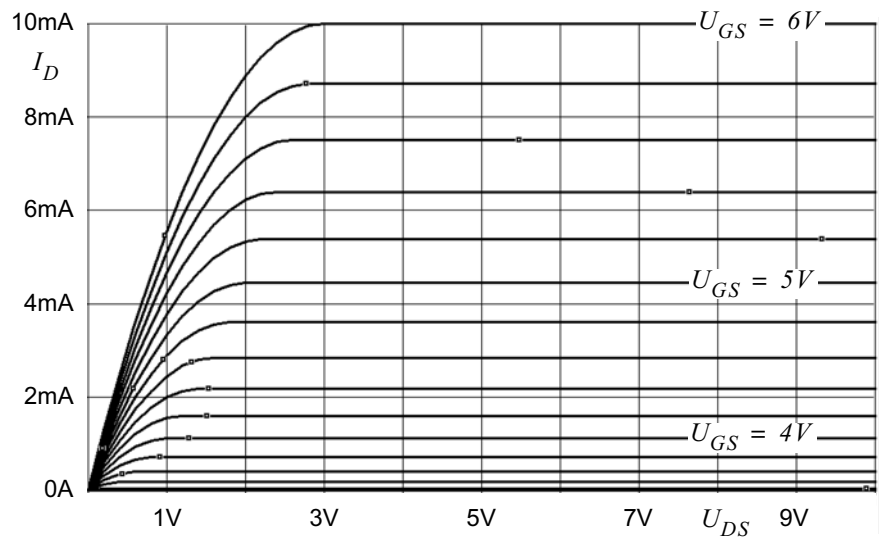


Bild 6.1-19: Ergebnis der Ausgangskennlinien des selbstsperrenden NMOS-Transistors

AC-Ersatzschaltbild: Das im Arbeitspunkt linearisierte Modell des MOSFET ist weitgehend identisch mit dem des Sperrschicht-FET (Bild 6.1-10). Hinzu kommt neben der Steuerung durch U_{GS} , die Steuerung durch U_{BS} . Allerdings gilt

für die Steuerung durch U_{BS} eine andere Steilheit $g_{m,B}$. In den meisten Anwendungsfällen ist der Bulkanschluss auf einem festen Potenzial, es wird im allgemeinen auf eine Steuerung durch U_{BS} verzichtet.

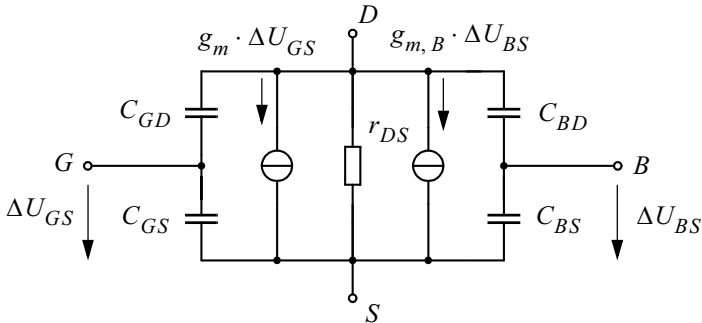


Bild 6.1-20: AC-Ersatzschaltbild für den MOSFET

Betreffs des Rauschverhaltens beim Isolierschicht-Feldeffekttransistor gilt das im Bild 6.1-21 angegebene Ersatzschaltbild bei Steuerung mit U_{GS} . Das thermische Rauschen der Bahnwiderstände kann im allgemeinen vernachlässigt werden. Prinzipiell ist der Rauschbeitrag des Gate-Bahnwiderstandes R_G :

$$\overline{U_{r,RG}^2}/df = 4 \cdot k \cdot T \cdot R_G; \quad (6.1-10)$$

Wesentlich ist auch hier der Beitrag des thermischen Rauschens und des $1/f$ -Rauschanteils des Kanals mit dem Koeffizienten KF und dem Exponenten AF . Das thermische Rauschen und der $1/f$ -Rauschanteil des Kanals beträgt näherungsweise:

$$\overline{I_{r,D}^2}/df = \frac{8 \cdot k \cdot T \cdot g_m}{3} + \frac{KF \cdot I_D^{(A)AF}}{f}; \quad (6.1-11)$$

Durch die kapazitive Kopplung zwischen Gate und Kanal ist am Gate ein zusätzliches, durch das thermische Rauschen des Kanals induziertes Rauschen wirksam, das mit dem Rauschen des Kanals korreliert ist. Zur Vereinfachung wird oft in Rauschanalysen des Feldeffekttransistors der Rauschbeitrag des induzierten Gate-Rauschens vernachlässigt.

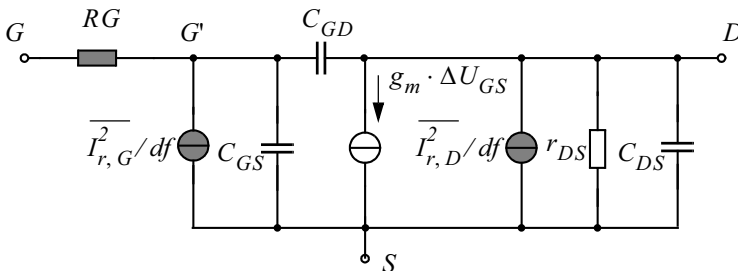


Bild 6.1-21: AC-Ersatzschaltbild eines Feldeffekttransistors mit Rauschquellen

Abschließend wird ein VHDL-AMS Modell für einen N-Kanal MOSFET vorgestellt. Darin enthalten sind sämtliche Modellgleichungen für eine dynamische Analyse. Während bei Bipolartransistoren für eine dynamische Analyse nahezu ausschließlich das Gummel-Poon Modell verwendet wird, sind bei Feldeffekttransistoren verschiedene Modellbeschreibungen bekannt, die zur Beschreibung bestimmter Effekte optimiert sind. Nachstehend ist das zumeist verwendete Modell für einen N-Kanal MOSFET dargestellt. Die Schwellspannung wird dort mit V_{th} bezeichnet. Dem Modell liegt das Ersatzschaltbild von Bild 6.1-16 zugrunde mit Erweiterungen, u.a. um Bahnwiderstände und zusätzliche kapazitive Einflüsse. Die Parameter (u.a. *gamma*, *phi*, *uo*, *theta*, *vmax*, *tox*) sind die erwähnten Material- bzw. Prozessparameter mit denen u.a. die Schwellspannung und die Stromergiebigkeit festgelegt wird.

```

library IEEE, IEEE_proposed;
use IEEE.math_real.all;
use IEEE_proposed.electrical_systems.all;
use IEEE_proposed.fundamental_constants.all;
entity Mosfet is
  generic (
    l      : real := 100.0e-6; -- channel lenght
    w      : real := 100.0e-6; -- channel width
    tox    : real := 1.0e-7;   -- oxide thickness
    vto    : voltage := 1.0;   -- zero bias threshold voltage
    kp     : real := 2.0e-5;   -- transconductance parameter
    gamma  : real := 0.0;     -- bulk threshold parameter
    phi    : voltage := 0.6;   -- surface potential
    lambda : real := 0.0;     -- channel lenght modulation
    uo     : real := 600.0;    -- surface mobility
    vmax   : voltage := 0.0;   -- max. drift velocity of carriers
    theta  : real := 0.0;     -- mobility modulation
    rs     : resistance := 0.0; -- source ohmic resistance
    rd     : resistance := 0.0; -- drain ohmic resistance
    rg     : resistance := 0.0; -- gain ohmic resistance
    rb     : resistance := 0.0; -- bulk ohmic resistance
    rds    : resistance := 100.0e12; -- drain source ohmic resistance
    cbd    : capacitance := 0.0; -- zero cap. bulk-drain-diode
    cbs    : capacitance := 0.0; -- zero cap. bulk-source-diode
    mj     : real := 0.5;      -- bulk grading coefficient
    pb     : voltage := 0.8;   -- bulk junction potential
    n      : real := 1.0;     -- emission coefficient
    cgbo   : capacitance := 0.0; -- gate-bulk overlap capacitance
    cgdo   : capacitance := 0.0; -- gate-drain overlap capacitance
    cgso   : capacitance := 0.0; -- gate-source overlap capacitance
    ldif   : real := 0.0;     -- diffusion length
    ijb    : current := 1.0e-14; -- bulk junction saturation current
    temp   : real := 300.0;   -- temperature
  )
  port (terminal source, drain, gate, bulk : electrical);
end Mosfet;

```

```

architecture Levell_nmos of Mosfet is
-- terminals
  terminal n1, n2, n3, n4 : electrical;
-- constants
  constant vt : voltage      := temp * PHYS_K / PHYS_Q;
  constant cox : capacitance := 3.9*PHYS_EPS0/tox;
-- branch quantities
  quantity vrd across ird through drain to n1;
  quantity vrg across irg through gate to n2;
  quantity vrb across irb through bulk to n3;
  quantity vrs across irs through source to n4;
  quantity vds across ids, irds through n1 to n4;
  quantity vgs across icgs through n2 to n4;
  quantity vbs across icbs, idbs through n3 to n4;
  quantity vbd across icbd, idbd through n3 to n1;
  quantity vgd across icgd through n2 to n1;
  quantity vgb across icgb through n2 to n3;
-- free quantities
  quantity vth : voltage := 2.586e-2; -- threshold voltage
  quantity vsat : voltage;             -- saturation voltage
  quantity vs : voltage;               -- effective surface mobility
  quantity leff : real := 100.0e-6;    -- effective length
  quantity beta : real := 2.0e-5;      -- gain
  quantity cb2s, cb2d : capacitance := 1.0; -- capacitances
  quantity cgs, cgd, cgb : capacitance := 1.0; -- capacitances
begin
-- some free quantity calculations
  if vbs <= 0.0 use
    vth == vto + (gamma * (sqrt(ABS(phi-vbs)) - sqrt(phi)));
  else
    vth == vto + (gamma*((sqrt(phi)-0.5*vbs/sqrt(PHI)) - sqrt(phi)));
  end use;
  vsat == (vgs - vth)/(1.0 + lambda);
  vs == uo/(1.0 + theta*(vgs - vth));
  leff == l - 2.0*ldif;
  beta == (kp*w)/leff;
-- currents through the resistors
  vrs == irs * rs;
  vrd == ird * rd;
  vrg == irg * rg;
  vrb == irb * rb;
  vds == irds * rds;
-- currents through the capacitances
  icbs == cb2s * vbs'dot;
  icbd == cb2d * vbd'dot;
  icgs == cgs * vgs'dot;
  icgd == cgd * vgd'dot;
  icgb == cgb * vgb'dot;
-- currents through the diodes
  idbs == ijb*(exp((vbs)/(n*vt))-1.0);
  idbd == ijb*(exp((vbd)/(n*vt))-1.0);
-- drain to source current
  if (vgs < vth) use

```

```

-- cut off region
ids == 1.0e-9 * vds;
elseif ((vds <= (vgs-vth)) and (vgs >= vth)) use
-- linear region
ids == vds*beta*((vgs - vth) - (vds/2.0))*(1.0 + lambda*vds);
else
-- saturation region (vds > (vgs-vth)) AND (vgs >= vth)
ids == (beta/2.0)*(((vgs - vth)**2.0))*(1.0 + lambda*vds);
end use;
-- capacitances gate to bulk, gate to drain, gate to source
if (vgs <= vth) use
cgb == cox + cgbo;
cgd == 0.0 + cgdo;
cgs == 0.0 + cgso;
elseif vgs > vth and vds < vsat use
cgb == 0.0 + cgbo;
cgd==(2.0/3.0)*cox*(1.0-((vsat-vbs)/(2.0*(vsat-vbs)-vbd))**2.0)+cgdo;
cgs==(2.0/3.0)*cox*(1.0-((vsat-vds)/(2.0*(vsat-vbs)-vbd))**2.0)+cgso;
else
cgb == 0.0 + cgbo;
cgd == 0.0 + cgdo;
cgs == (2.0/3.0)*cox + cgso;
end use;
-- capacitance bulk to source
if(vbs <= 0.0) use
cb2s == cbs/((1.0 - vbs/pb)**(mj));
else
cb2s == cbs;
end use;
-- capacitance bulk to drain
if(vbd <= 0.0) use
cb2d == cbd/((1.0 - vbd/pb)**(mj));
else
cb2d == cbd;
end use;
end Levell1_nmos;

```

6.2 Arbeitspunkteinstellung und Arbeitspunktstabilität

Die bei Bipolartransistoren eingeführte systematische Methode zur Arbeitspunkteinstellung und zur Ermittlung der Arbeitspunktstabilität wird auf Feldeffekttransistorschaltungen erweitert. Die Analyse der Arbeitspunkteinstellung einer Schaltung erfolgt durch eine DC-Analyse. Alle Kondensatoren stellen eine aufgetrennte Verbindung dar, alle Induktivitäten sind als Kurzschluss anzusehen. Als Beispiel wird die in Bild 6.2-1 dargestellte Variante zur Festlegung eines geeigneten Arbeitspunktes für einen Feldeffekttransistor betrachtet.

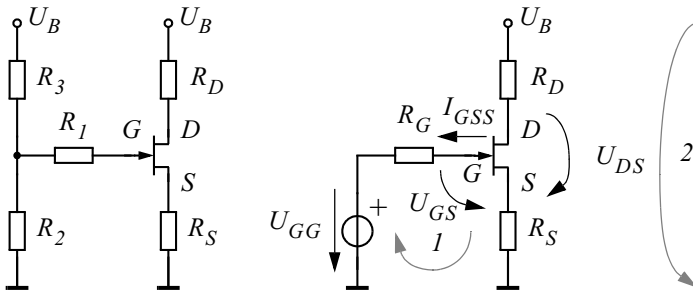


Bild 6.2-1: Arbeitspunkteinstellung mittels Seriengegenkopplung

Aus der Maschengleichung 1) am Eingang erhält man die Arbeitsgerade des Eingangskreises:

$$\begin{aligned} 1) \quad U_{GG} + I_{GSS} \cdot R_G &= U_{GS} + I_D \cdot R_S; \quad \text{mit} \quad I_D \gg I_{GSS} \\ \Rightarrow I_D &= \frac{U_{GG} - U_{GS}}{R_S} + I_{GSS} \cdot \frac{R_G}{R_S}; \end{aligned} \quad (6.2-1)$$

Die Maschengleichung 2) liefert die Arbeitsgerade des Ausgangskreises:

$$\begin{aligned} 2) \quad U_B &= I_D \cdot (R_D + R_S) + U_{DS}; \\ \Rightarrow I_D &= \frac{U_B - U_{DS}}{R_D + R_S}; \end{aligned} \quad (6.2-2)$$

Mit der Bauelemente-Charakteristik nach Gl.(6.1-3) für den Feldeffekttransistor im „Stromquellen“-Betrieb:

$$3) \quad I_D = f(U_{GS}, U_{DS});$$

existiert für die drei Zustandsgrößen I_D ; U_{GS} und U_{DS} ein vollständiges Lösungssystem.

Die Lösung ist der Arbeitspunkt $I_D^{(A)}$; $U_{GS}^{(A)}$ und $U_{DS}^{(A)}$; sie kann entweder direkt aus den gegebenen Gleichungen oder zeichnerisch gewonnen werden. Bei der zeichnerischen Lösung erhält man aus dem Schnittpunkt der Arbeitsgerade des Eingangskreises mit der Übertragungskennlinie $I_D = f_1(U_{GS}, U_{DS} > U_{DSP})$ die Zustandsgrößen $I_D^{(A)}$ und $U_{GS}^{(A)}$ des gesuchten Arbeitspunktes. Den Arbeitspunkt für die Spannung $U_{DS}^{(A)}$ erhält man aus dem Schnittpunkt der Arbeitsgeraden des Ausgangskreises mit der Ausgangskennlinie $I_D = f_2(U_{DS}, U_{GS}^{(A)})$. In Bild 6.2-2 ist die zeichnerische Lösung zur Ermittlung des Arbeitspunktes dargestellt. Anders als beim Bipolartransistor, wo die Spannung U_{BE} bei üblichen Strömen im mA -Bereich mit $0,7V$ angenommen werden kann, ist eine derartige Vereinfachung beim Feldeffekttransistor für U_{GS} nicht möglich.

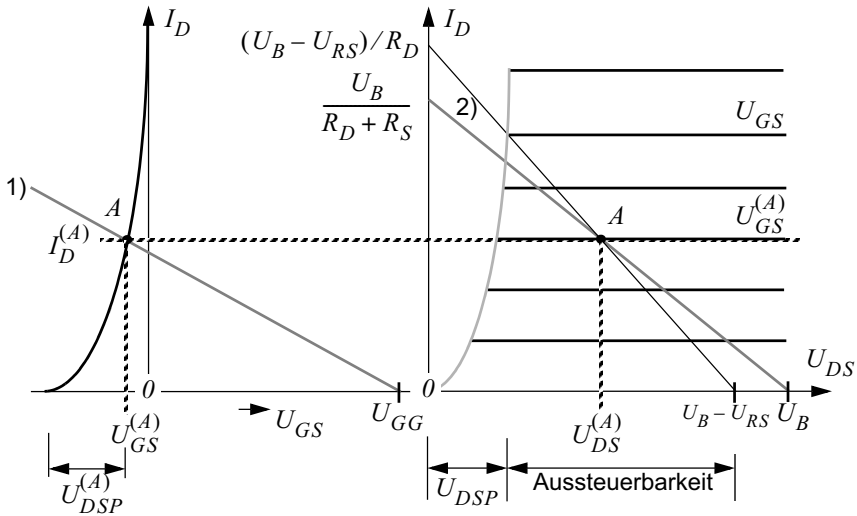


Bild 6.2-2: Arbeitspunkt: Graphische Lösung mit Arbeitsgerade des Eingangskreises 1) und Arbeitsgerade des Ausgangskreises 2)

Beispiel 1 für die Arbeitspunkteinstellung: Für nachfolgende Schaltung in Bild 6.2-3 soll der Arbeitspunkt bestimmt werden. Bei bekanntem Arbeitspunktstrom $I_D^{(A)}$ ist dann der Arbeitspunkt $U_{DS}^{(A)}$ zu ermitteln. Dabei ist die Forderung $U_{DS}^{(A)} > U_{DSP}^{(A)}$ für „Stromquellenbetrieb“ zu beachten. Das Ergebnis der DC-Analyse des nachfolgenden Experiments zeigt Bild 6.2-3.

Experiment 6.2-1: Arbeitspunkt_Beisp1

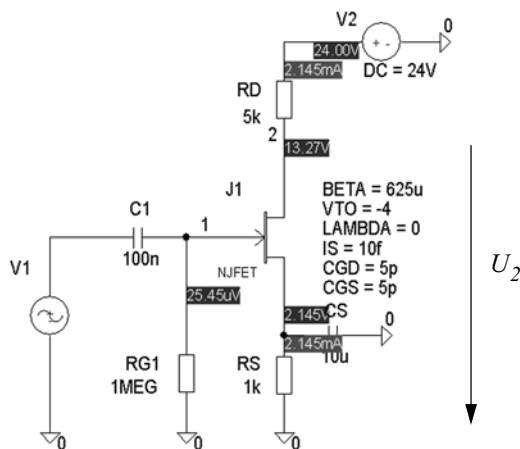


Bild 6.2-3: Beispiel 1 zur Arbeitspunkteinstellung mit Spezialfall $U_{GG} = 0$

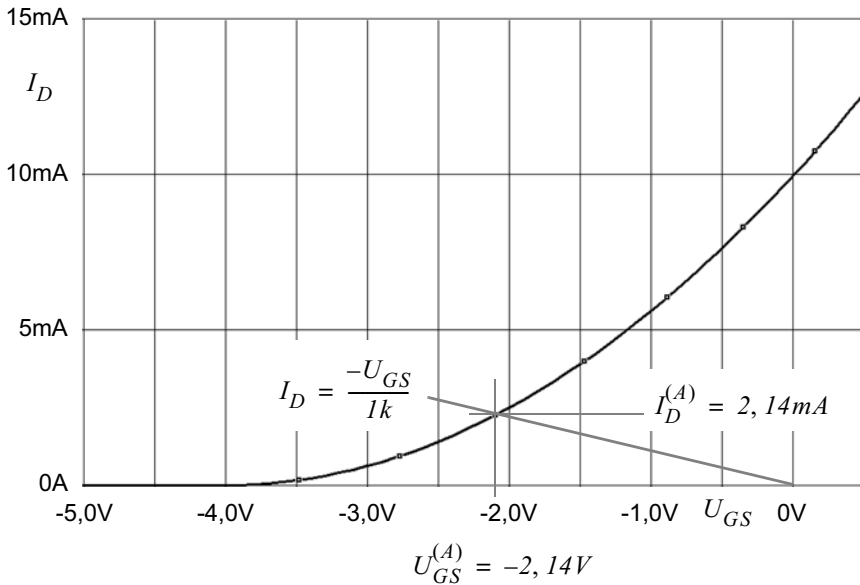


Bild 6.2-4: Graphische Lösung zur Arbeitspunkteinstellung

Der beschriebene Lösungsweg (Bild 6.2-4) ist die Analyse eines Arbeitspunktes für eine vorgegebene Schaltung. Aus Gl.(6.2-1) und Gl.(6.2-2) lässt sich auch für die angegebene allgemeine Grundschiung eine Synthese durchführen. Bei gegebenem Arbeitspunkt $I_D^{(A)}$; $U_{GS}^{(A)}$ und $U_{DS}^{(A)}$ ergibt sich für die Elemente der Grundschiung zur Arbeitspunkteinstellung in Bild 6.2-1:

$$R_S = \frac{U_{GG} - U_{GS}^{(A)} + I_{GSS} \cdot R_G}{I_D^{(A)}}; \quad (6.2-3)$$

$$R_D = \frac{U_B - U_{DS}^{(A)} - U_{GG} + U_{GS}^{(A)} - (I_{GSS} \cdot R_G)}{I_D^{(A)}};$$

Die verfügbare Versorgungsspannung ist die Versorgungsspannung U_B vermindert um den Spannungsabfall an R_S . Um beim N-Kanal JFET den Stromquellenbetrieb sicherzustellen, muss das Drainpotenzial $U_2 > U_{GG} + I_{GSS} \cdot R_G + |U_P|$ sein. Unter Berücksichtigung dieser Überlegung erhält man den für größtmögliche lineare Aussteuerung optimalen Lastwiderstand $R_{D,opt}$.

$$R_{D,opt} = \frac{U_B - U_{GG} - (I_{GSS} \cdot R_G) - |U_P|}{2 \cdot I_D^{(A)}}; \quad (6.2-4)$$

Bei Aussteuerung einer Verstärkerschiung muss darauf geachtet werden, dass auch an den Aussteuer Grenzen der Stromquellenbetrieb des FET nicht verlassen

wird, um Verzerrungen zu vermeiden. Selbstverständlich ist darüber hinaus zu gewährleisten, dass die zulässigen Grenzwerte (u.a. zulässige Höchstspannungen) nicht überschritten werden. Bei den gesperrten pn-Übergängen stellt sich beim Überschreiten der zulässigen Höchstspannungen der Durchbrucheffect ein. Im Weiteren gilt der Arbeitspunktstabilität besondere Aufmerksamkeit.

Die Arbeitspunktstabilität ist in der Praxis außerordentlich wichtig, da nur bei einem stabilen Arbeitspunkt gleichbleibende Qualität eines Produktes in der Fertigung und im Betrieb gewährleistet ist. Besonders hohe Anforderungen ergeben sich bei gleichspannungsgekoppelten analogen Schaltungen. Beim Feldeffekttransistor wird die Arbeitspunktstabilität durch folgende Einflussgrößen beeinträchtigt:

- ☐ Exemplarstreuungen von U_P bzw. I_{DS} (siehe Bild 6.2-5);
- ☐ Temperaturabhängigkeit des Rekombinationssperrestroms I_{GSS} : z.B. 1 nA bei 25°C und ca. $1\text{ }\mu\text{A}$ bei höheren Temperaturen ($>100^\circ\text{C}$);
- ☐ Temperaturabhängigkeit der Übertragungskennlinie, d.h. Temperaturabhängigkeit von U_P und I_{DS} und damit Temperaturabhängigkeit der Steilheit g_m .

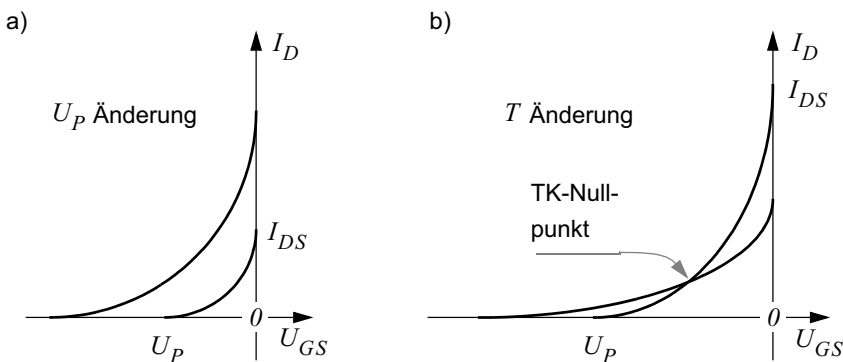


Bild 6.2-5: Parameterstreuung bezüglich der Arbeitspunktstabilität; a) Streuung der Schwellspannung; b) Temperatureinfluss

Zu den genannten Streuungen des aktiven Elementes kommen noch die Streuungen der Schaltungselemente zur Arbeitspunkteinstellung:

- ☐ Bauelementestreuungen: z.B. $R_D \Rightarrow R_D(1 \pm p)$;
- ☐ Versorgungsspannungsschwankungen.

Im Folgenden werden einige Beispielschaltungen zur Arbeitspunkteinstellung betrachtet. Bild 6.2-6 vergleicht einige Schaltungsvarianten bezüglich der Arbeitspunktstabilität.

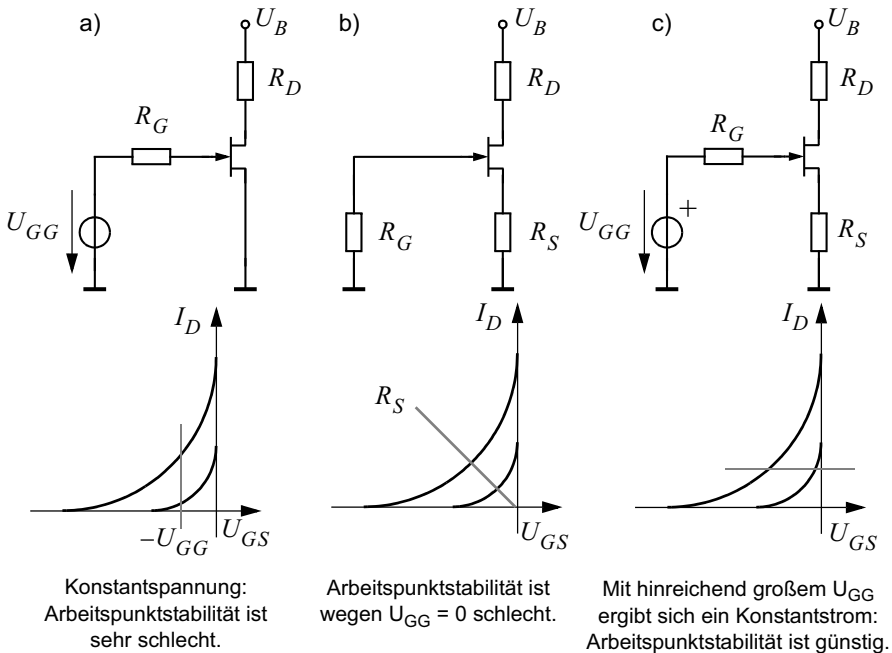


Bild 6.2-6: Einflussgrößen zur Diskussion der Arbeitspunktstabilität

Am günstigsten ist hinsichtlich eines stabilen Arbeitspunktes ein eingepprägter Drainstrom. Damit wird die Zielgröße eingepragt. Jedoch ist die Bedingung $U_{GG} \gg U_{GS}$ nur sehr begrenzt realisierbar. Diese Forderung geht oft auf Kosten der Aussteuerbarkeit. Abhilfe bringt die Verwendung einer zusätzlichen negativen Vorspannung oder gleich die Verwendung einer Stromquelle zur Festlegung des Arbeitspunktes. Zusammenfassend lässt sich feststellen: Ein stabiler Arbeitspunkt erfordert die Einprägung der „Zielgröße“, nämlich des Stromes $I_D^{(A)}$.

Im Arbeitspunkt kann für Kleinsignalaussteuerung wieder linearisiert werden. Im Bild 6.2-7 wird die Ansteuerung und Aussteuerung für die Verstärkerschaltung nach Bild 6.2-3 im gegebenen Arbeitspunkt dargestellt. Wie schon beim Bipolartransistor unterscheidet man zwischen der DC-Lastgeraden und der AC-Lastgeraden im Arbeitspunkt, da für Wechselspannungsbetrieb der Widerstand R_S kurzgeschlossen ist. Hinsichtlich der Aussteuerung im Arbeitspunkt ergibt sich ein ähnliches Verhalten wie beim Bipolartransistor in Bild 5.2-12. Allerdings ist die Steilheit im Arbeitspunkt bei gleichem Arbeitspunktstrom beim FET wegen der quadratischen Übertragungskennlinie gegenüber dem exponentiellen Verlauf beim BJT deutlich geringer. Desweiteren ist der Spannungsbedarf wegen der Bedingung für Stromquellenbetrieb mit $U_{DS} > U_{DSP}$ größer.

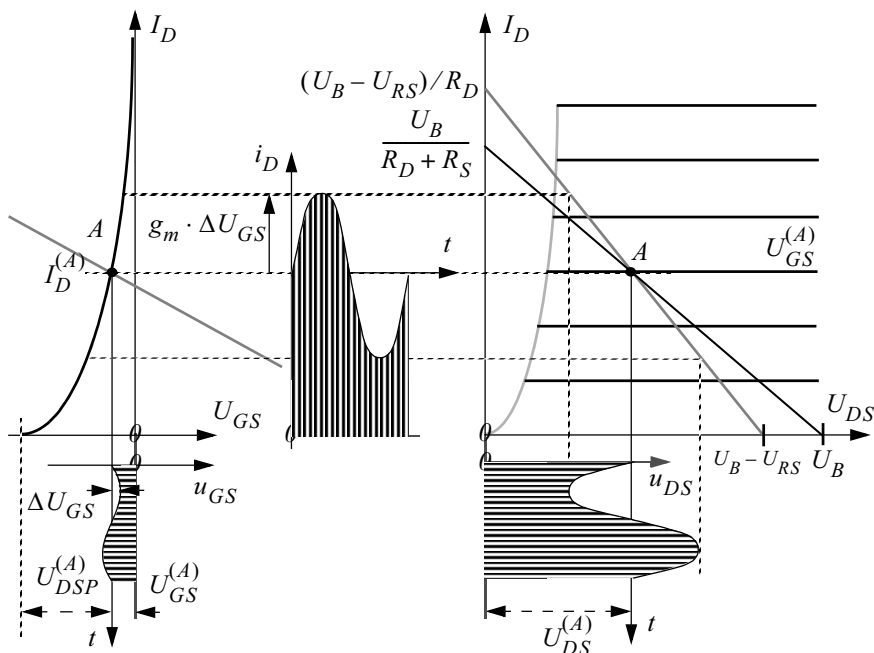


Bild 6.2-7: Zur Veranschaulichung der Verstärkungseigenschaft eines Feldeffekttransistors im Arbeitspunkt

Nach Linearisierung im Arbeitspunkt lässt sich das AC-Modell für Kleinsignalanalyse für den FET zugrundelegen. Die Steilheit g_m errechnet sich aus dem Arbeitspunktstrom $I_D^{(A)}$ und den Parametern des Transistors. Voraussetzung für das skizzierte AC-Modell ist „Stromquellenbetrieb“ des Transistors, d.h. genügend große Drain-Source-Spannung $U_{DS} > U_{DSP}$

$$g_m = 2/|U_P| \cdot \sqrt{(I_D^{(A)} \cdot I_{DS})} = \sqrt{2 \cdot \beta \cdot I_D^{(A)}} \quad (6.2-5)$$

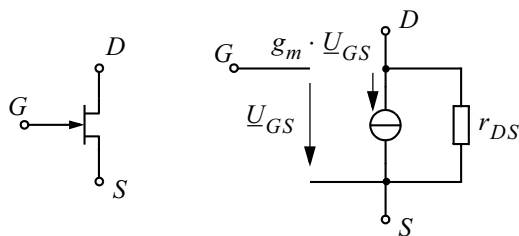


Bild 6.2-8: AC-Modell im Arbeitspunkt; Voraussetzung: der Feldeffekttransistor arbeitet im Abschnürbetrieb, das heißt $U_{GS}^{(A)}$ ist größer U_P und $U_{DS}^{(A)}$ ist ausreichend groß – größer $U_{DSP}^{(A)}$

Beispiel 2 zur Arbeitspunkteinstellung: Bisher wurden Lösungen zur Arbeitspunkteinstellung auf der Basis der Seriengegenkopplung im Sourcepfad diskutiert. Eine Arbeitspunkteinstellung mit herkömmlicher Parallelgegenkopplung ist nur bei Anreicherungs-MOS-Typen möglich. Im Folgenden wird eine Beispielschaltung mit Drainstromeinprägung analysiert.

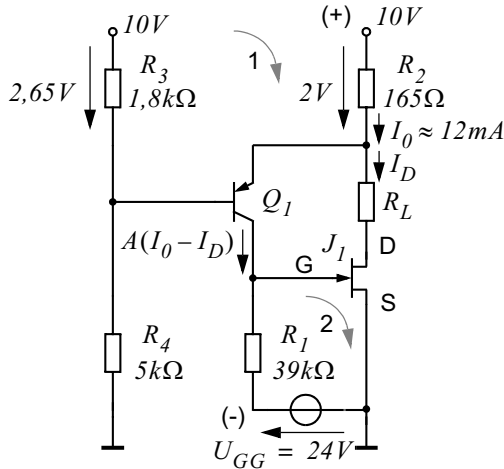


Bild 6.2-9: Beispiel zur Arbeitspunktstabilität mit Stromeinprägung

Die Beispielschaltung in Bild 6.2-9 enthält zwei Transistorelemente, einen Bipolartransistor und einen N-Kanal JFET. Der Bipolartransistor wirkt als Stromquelle für den Feldeffekttransistor. Der Arbeitspunktstrom der beiden Transistoren ergibt sich aus zwei Beschaltungsgleichungen, bei denen nur die Steuerspannungen der Transistorelemente auftauchen.

$$\begin{aligned} I_C &= f_1(U_{BE}); \\ I_D &= f_2(U_{GS}); \end{aligned} \quad (6.2-6)$$

Unter Vernachlässigung des Basisstroms von $Q1$ ergibt sich im Beispiel von Bild 6.2-9 an $R3$ ein Spannungsabfall von $2,65V$. Gemäß Gl.(6.2-6) erhält man die Beschaltungsgleichungen aus den im Bild 6.2-9 skizzierten Maschengleichungen:

$$I_D + I_E = \frac{2,65V - U_{BE}}{R_2} \approx \frac{2V}{R_2} \approx 12mA; \quad (6.2-7)$$

$$U_{GS} + U_{GG} = A \cdot (12mA - I_D) \cdot R_1;$$

Die zweite Gleichung ist eine Bestimmungsgleichung für den gesuchten Arbeitspunktstrom des JFET, wobei für A des Bipolartransistors $A = 1$ angenommen werden kann. Somit ist im Beispiel $I_0 = 12mA$.

$$I_D = I_0 - \frac{U_{GS} + U_{GG}}{A \cdot R_1}; \quad (6.2-8)$$

Graphisch veranschaulicht wird die Lösung der Gl.(6.2-8) im folgenden Bild 6.2-10. Es ergibt sich ein sehr stabiler Arbeitspunkt $I_D^{(A)}$ durch Stromeinprägung.

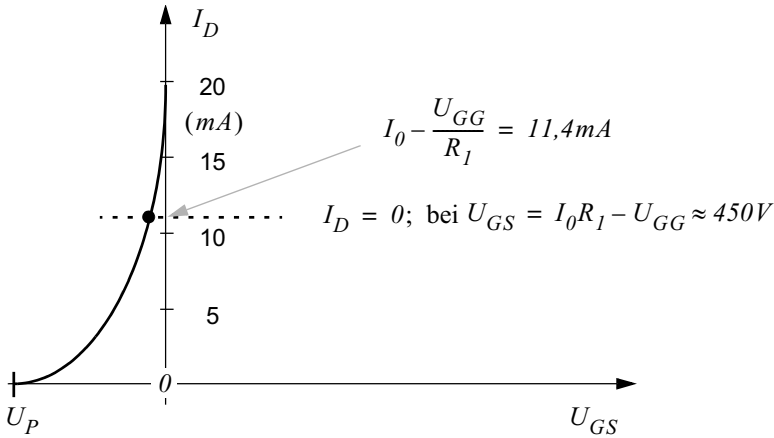


Bild 6.2-10: Zur graphischen Veranschaulichung der Arbeitspunkteinstellung nach Gl.(6.2-8)

Wichtig ist, dass bei Aussteuerung der „Stromquellenbetrieb“ des Feldeffekttransistors erhalten bleibt, wenn Verstärkereigenschaften gefordert werden. Dazu muss mit $U_{DS} > U_{DSP}$ die Drain-Source-Spannung hinreichend groß sein, auch bei ungünstigster Aussteuerung. Für die Beispielschaltung erhält man für den optimalen Lastwiderstand:

$$R_{L, opt} = \frac{U_{B, verf} - U_{DSP}^{(A)}}{2 \cdot I_C^{(A)}}; \quad (6.2-9)$$

Die Versorgungsspannung $U_B = 10 \text{ V}$ ist wegen des Spannungsabfalls an R_2 um 2 V reduziert, somit ist die verfügbare Versorgungsspannung im Beispiel 8 V .

Für Wechselspannungsbetrieb muss der Knoten am Emittiereingang von $Q1$ durch einen Abblockkondensator kurzgeschlossen werden, um eine Rückkopplung der Verstärkerschaltung über $Q1$ zu vermeiden. Damit erhält man das AC-Ersatzschaltbild für die Verstärkeranordnung nach Bild 6.2-9 bei Ansteuerung des Gate-Eingangs. Wegen Kurzschluss des Emitterknotens ist der Lastwiderstand R_L am Drainausgang wirksam.

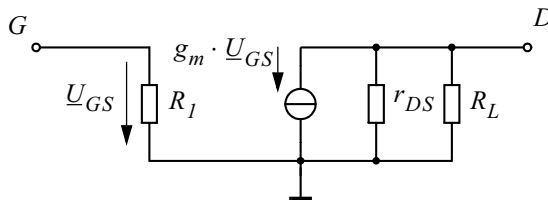


Bild 6.2-11: AC-Ersatzschaltbild der Verstärkeranordnung nach Bild 6.2-9

6.3 Anwendungsschaltungen mit Feldeffekttransistoren

Es erfolgt eine Einführung in wichtige Funktionsprimitive und Funktionsschaltungen mit Feldeffekttransistoren und deren systematische Analyse. Darüber hinaus werden Anwendungsschaltungen und gängige Verstärkerschaltungen mit aktiven Lastkreisen behandelt. Im Vergleich zum Bipolartransistor weist der Feldeffekttransistor folgende Eigenschaften auf:

- ☐ geringere Steilheit, d.h. bei gleichem Arbeitspunktstrom weniger Verstärkung;
- ☐ größerer Spannungsbedarf wegen $U_{DSP} > U_{CE,sat}$;
- ☐ wesentlich hochohmiger am Eingang;
- ☐ rauschärmer (u.a. wesentlich geringerer Bahnwiderstand im Steuerkreis).

Als Anwendungen für den Feldeffekttransistor ergeben sich folgende Bereiche:

- ☐ Rauscharme Vorverstärker;
- ☐ Sensorverstärker mit hochohmigem Eingang;
- ☐ Ausnutzung des linearen Bereichs: elektronisch steuerbarer Widerstand;
- ☐ Ausnutzung der quadratischen Kennlinie: Mischeranwendungen;
- ☐ MOSFET mit sehr geringer Stromaufnahme: Digitale Schaltkreise.

6.3.1 Verstärkerschaltungen mit Feldeffekttransistoren

Behandelt werden die wichtigsten Verstärkerschaltungen in Sourcegrundschtaltung, Gategrundschtaltung und Draingrundschtaltung. Der Verstärkerbetrieb erfordert einen Arbeitspunkt im „Stromquellen“-Betrieb.

Verstärkergrundschtaltungen: Je nach Ansteuerung und nach Abnahme der Ausgangsspannung unterscheidet man die nachstehend beschriebenen Grundschtaltungen. Als erstes wird die Source-Grundschtaltung betrachtet. Der Source-Grundschtaltung liegt ein hoher Eingangswiderstand zugrunde und wegen des „Stromquellen“-Betriebs des Transistors liegt der Innenwiderstand am Ausgang des Verstärkers im Bereich einiger $100k\Omega$. Die Verstärkung ist $g_m \cdot R_L^*$. Aufgrund der geringeren Steilheit ergeben sich nur mit hohen Lastwiderständen signifikante Verstärkungen. Bei der gegebenen Beschaltung ist jedoch aufgrund der Aussteuerbarkeit der Lastwiderstand $R_{D,opt}$ wegen des Arbeitspunktes für „Stromquellen“-Betrieb deutlich begrenzt.

Experiment 6.3-1: SourceGS – Verstärkungsfrequenzgang

In dem Beispiel, das dem Experiment zugrundeliegt (Bild 6.3-1) beträgt die Steilheit im Arbeitspunkt $g_m = 1/430\Omega$. Somit ergibt die Abschätzung für die Verstärkung mit $g_m \cdot R_L^* = 5000\Omega/430\Omega \approx 12$ einen Wert, der sehr gut mit dem Simulationsergebnis (Bild 6.3-2) übereinstimmt. Zur Begrenzung der Bandbreite wurden für die Kapazitäten C_{gd} und C_{gs} reale Werte eingesetzt. Selbstverständlich kann für die Verstärkerschaltung eine Rauschanalyse durchgeführt werden. In

Bild 6.3-2 ist das Ergebnis des Verstärkungsfrequenzgangs und die äquivalente spektrale Rauschspannung am Eingang des Verstärkers dargestellt.

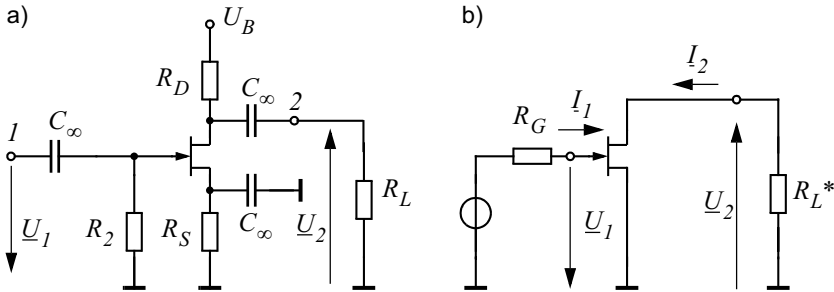


Bild 6.3-1: Source-Grundschaltung: Ansteuerung an Gate, Ausgang an Drain; a) Schaltung, b) AC-Ersatzschaltung

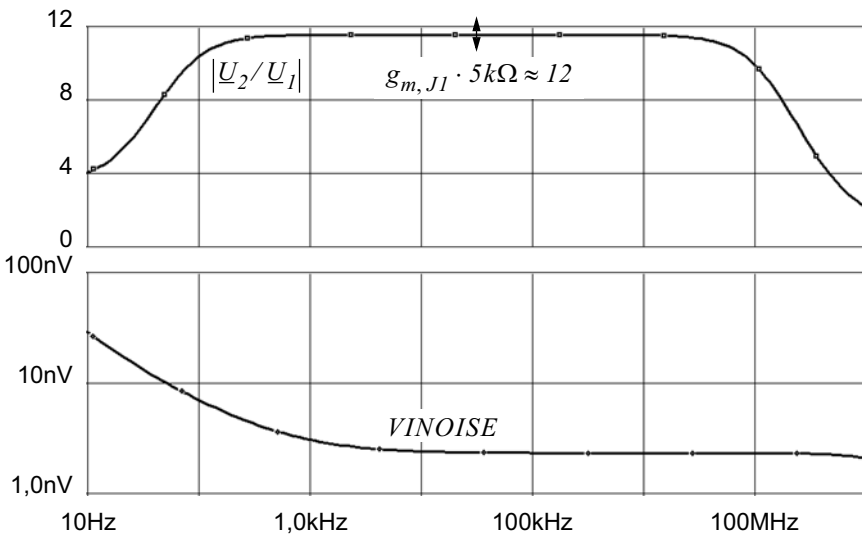


Bild 6.3-2: Verstärkungsfrequenzgang und äquivalente spektrale Rauschspannung am Eingang (VINOISE) der Source-Grundschaltung mit $C_{gd} = 5pF$ und $C_{gs} = 5pF$

Als nächstes soll die Gate-Grundschaltung (Bild 6.3-3) näher betrachtet werden. Bei der Gate-Grundschaltung ist der Eingangsstrom $I_1 = g_m \cdot \underline{U}_{GS} = g_m \cdot \underline{U}_1$. Somit wird der Eingangswiderstand wegen $Z_{11'} = \underline{U}_1/I_1 = 1/g_m$ sehr niederohmig, nämlich $1/g_m$. Die Verstärkung bleibt dieselbe, wie bei der Source-Grundschaltung im vorhergehenden Beispiel.

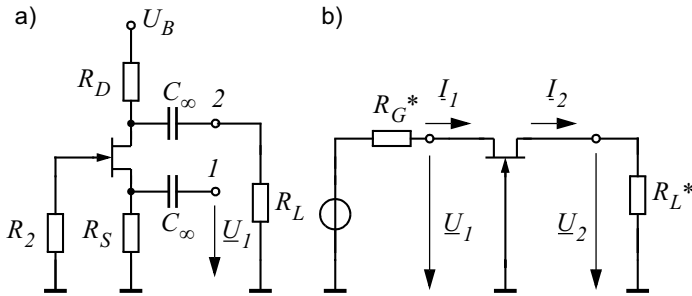


Bild 6.3-3: Gate-Grundschtung: Ansteuerung an Source, Ausgang an Drain; a) Schaltung, b) AC-Ersatzschaltung

Schließlich erfolgt die Analyse der Drain-Grundschtung (Bild 6.3-4). Die Drain-Grundschtung oder der Source-Folger ist durch eine Verstärkung mit typisch < 1 gekennzeichnet.

$$I_2 = g_m \cdot (\underline{U}_1 - \underline{U}_2) = \underline{U}_2 / R_L^*;$$

$$\Rightarrow \frac{\underline{U}_2}{\underline{U}_1} = \frac{1}{1 + 1/(g_m \cdot R_L^*)}; \quad (6.3-1)$$

Dabei ist R_L^* der Lastwiderstand gebildet aus der Parallelschaltung von R_L und R_S . Der Ausgangswiderstand ist sehr niederohmig, da an der Schnittstelle am Ausgang bei $\underline{U}_1 = 0$ der Ausgangsstrom $I_2 = g_m \cdot \underline{U}_2$ ist.

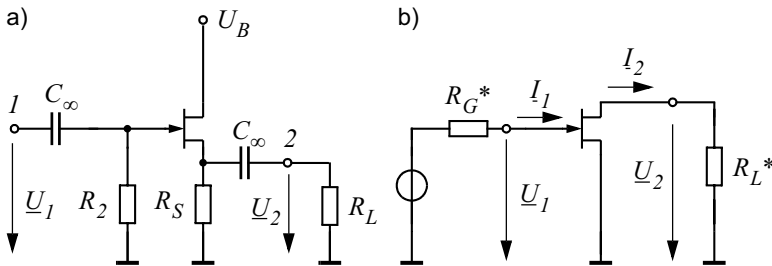


Bild 6.3-4: Drain-Grundschtung: Ansteuerung an Source, Ausgang an Source; a) Schaltung, b) AC-Ersatzschaltung

Zusammenfassend erhält man die in der nachstehenden Tabelle angegebenen charakteristischen Kenngrößen für FET-Grundschtungen. R_L^* ist der wirksame Lastwiderstand gebildet aus der Parallelschaltung von R_D mit einem möglichen Lastwiderstand R_L und mit dem Innenwiderstand r_{DS} der Stromquelle des Verstärkers. Bei der Drain-Grundschtung besteht R_L^* im wesentlichen aus der Parallelschaltung des Lastwiderstands R_L mit dem Source-Widerstand R_S .

Tabelle 6.3 - 1: Kenngrößen von FET-Grundsaltungen

Kenngröße	Source-Grundsaltung	Gate-Grundsaltung	Drain-Grundsaltung
Verstärkung	$v_u \approx g_m \cdot R_L^*$	$v_u \approx g_m \cdot R_L^*$	$v_u \approx \frac{1}{1 + 1/(g_m \cdot R_L^*)}$
Eingangswiderstand	$Z_{11'} \approx \infty$	$Z_{11'} \approx \frac{1}{g_m}$	$Z_{11'} \approx \infty$
Ausgangswiderstand	$Z_{22'} \approx r_{DS}$	$Z_{22'} \approx r_{DS}$	$Z_{22'} \approx \frac{1}{g_m}$

Mikrofonverstärker: Als typische Verstärkeranwendung wird im folgenden ein Mikrofonverstärker behandelt. Die Eingangsstufe besteht aus einer Feldeffekttransistorstufe. Es folgt eine parallelgegekoppelte Bipolartransistorstufe und eine Treiberstufe als Ausgangsstufe, mit der niederohmige Lasten (z.B. Lautsprecher) betrieben werden können.

Experiment 6.3-2: Mikrofonverst – DC-Analyse der Verstärkeranordnung mit Simulation Profile „BiasPoint“.

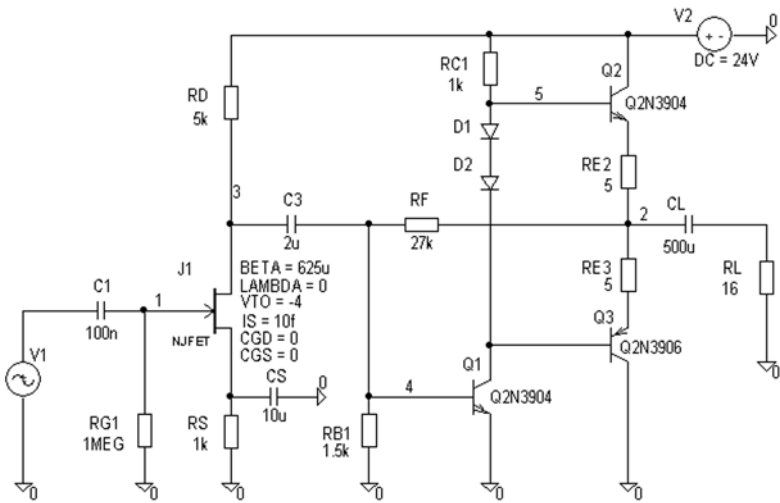


Bild 6.3-5: Beispiel Mikrofonverstärker

Als erstes erfolgt durch DC-Analyse die Bestimmung der Arbeitspunkte der Transistoren. Der Arbeitspunkt von $J1$ wurde im vorigen Kapitel bereits ermittelt. Dabei ergibt sich folgender Arbeitspunkt für $J1$:

Tabelle 6.3 - 2: Arbeitspunkt von $J1$ im Beispiel von Bild 6.3-5

$I_D^{(A)} = 2,15\text{mA}$	$U_{DS}^{(A)} = 11,1\text{V}$	$U_{DSP}^{(A)} = 1,85\text{V}$	$g_{m,J1} = 1/430\Omega$

Für die Arbeitspunkteinstellung von $Q1$, $Q2$ und $Q3$ werden drei Netzwerkgleichungen benötigt bei denen nur Steuerspannungen auftauchen und keine gesperrten Diodenstrecken. $Q1$ bildet DC-mäßig mit RF und $RB1$ eine „Spannungsquelle“ gemäß Abschnitt 5.3.4. Damit erhält man für das Potenzial am Knoten 2 näherungsweise unter Vernachlässigung des Basisstroms von $Q1$:

$$U_2 = 0,7\text{V} \cdot (1 + 27/1,5) \approx 14\text{V}; \quad (6.3-2)$$

Als erste Netzwerkgleichung wird die Maschengleichung von der Versorgungsspannung über $RC1$, $U_{BE,Q2}$ hin zur vorgegebenen Spannung an Knoten 2 gebildet. Bei einem angenommenen Spannungsabfall an $RE2$ von ca. $<0,2\text{V}$ beträgt das Potenzial an Knoten 5 näherungsweise:

$$U_5 \approx 14\text{V} + 1\text{V} \approx 15\text{V}; \quad (6.3-3)$$

Damit ist bei Vernachlässigung des Basisstroms von $Q2$ der Kollektorstrom von $Q1$:

$$I_{C,Q1}^{(A)} = 9\text{mA}; \quad (6.3-4)$$

Als zweite Netzwerkgleichung wird die Knotenpunktgleichung am Knoten 2 verwendet:

$$I_{E,Q3}^{(A)} = I_{E,Q2}^{(A)} + 0,5\text{mA}; \quad (6.3-5)$$

Die dritte Netzwerkgleichung ist die Maschengleichung über die Steuerspannungen von $Q2$ und $Q3$, sie lautet:

$$U_{EB,Q3}^{(A)} + U_{BE,Q2}^{(A)} = 1,4\text{V}; \quad (6.3-6)$$

Die Dioden $D1$ und $D2$ erzwingen einen Arbeitspunkt der Transistoren $Q2$ und $Q3$ so, dass AB-Betrieb vorliegt. Die Symmetrie des AB-Betriebs ist gestört durch den DC-Strom der über RF fließt. Dieser DC-Strom beträgt ca. $0,5\text{mA}$. Die Transistoren $Q1$, $Q2$ und $Q3$ weisen alle ausreichend große Kollektor-Emitter-Spannung auf, so dass alle Transistoren im Normalbetrieb arbeiten, wenn sie Strom ziehen. Den Sachverhalt von Gl.(6.3-5) und Gl.(6.3-6) zeigt Bild 6.3-6. Das Ergebnis der DC-Analyse ist in Bild 6.3-7 dargestellt. Es zeigt gute Übereinstimmung mit den getroffenen Abschätzungen. Das Beispiel soll nochmals die systematische Vorgehensweise zur Ermittlung der Arbeitspunkte der Transistoren in einer beliebigen Schaltung verdeutlichen.

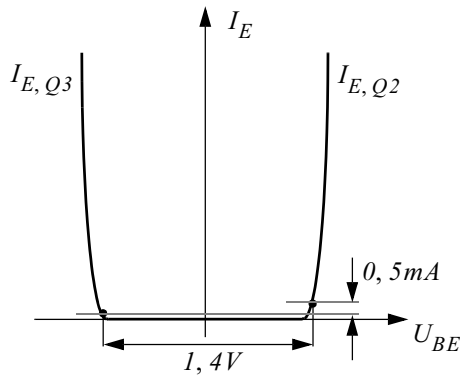
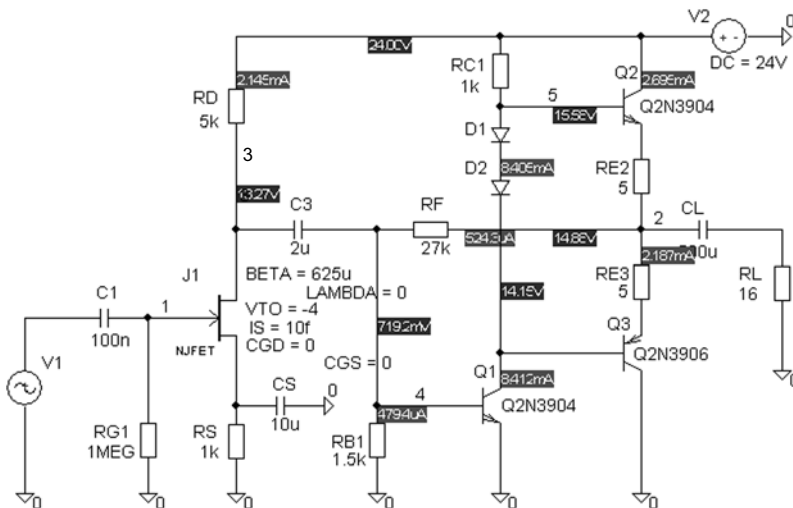
Bild 6.3-6: Zur Erläuterung der Arbeitspunkte von $Q2$ und $Q3$ 

Bild 6.3-7: Ergebnis der DC-Analyse des Mikrofonverstärkers

Nach abgeschlossener DC-Analyse erfolgt die AC-Analyse durch Linearisierung im Arbeitspunkt. Prinzipiell kann für den Mikrofonverstärker das in Bild 6.3-8 skizzierte Makromodell angegeben werden. Die „innere“ Verstärkung von Knoten 3 nach Knoten 2 entspricht der Verstärkung von Knoten 4 nach Knoten 5, da der Transistor $Q2$ als Spannungsfolger mit der Verstärkung 1 wirkt. Der Lastwiderstand von $Q1$ ist dann etwa gleich dem Widerstand $RC1$, wenn der von Knoten 2 nach Knoten 5 transformierte Lastwiderstand mit $(\beta + 1) \cdot 16\Omega$ als genügend hochohmig angenommen werden kann.

$$|v_{32}| = g_{m,Q1} \cdot 1k\Omega \approx 280; \quad (6.3-7)$$

Unter Berücksichtigung von $(\beta + 1) \cdot 16\Omega$ ergibt sich eine geringere innere Verstärkung als angegeben. Aufgrund der relativ hohen Verstärkung v_{32} wirkt wegen der Transimpedanzbeziehung von RF am Eingangsknoten 3 der zweiten Stufe mit $RF/(v_{32}+1) = 100\Omega$ Damit fließt der Strom des Feldeffekttransistors in grober Näherung über RF und bildet an RF die Ausgangsspannung

$$|\underline{U}_2/\underline{U}_1| = g_{m,J1} \cdot 27k\Omega; \quad (6.3-8)$$

Allerdings ist der Eingangswiderstand von $Q1$ mit $(\beta + 1) \cdot 3, 3\Omega$ gegenüber dem Eingangswiderstand aufgrund Transimpedanzbeziehung von RF mit $RF/(v_{32}+1) = 100\Omega$ nicht vernachlässigbar. Insofern ist die Abschätzung eine grobe Abschätzung. Die Gesamtverstärkung ist unter Berücksichtigung der Vereinfachungen bei mittleren Frequenzen näherungsweise

$$v_{21} = g_{m,J1} \cdot 27k\Omega \approx 27000/440 \approx 60; \quad (6.3-9)$$

Aufgrund getroffener Vernachlässigungen wird die erwartete Verstärkung kleiner sein.

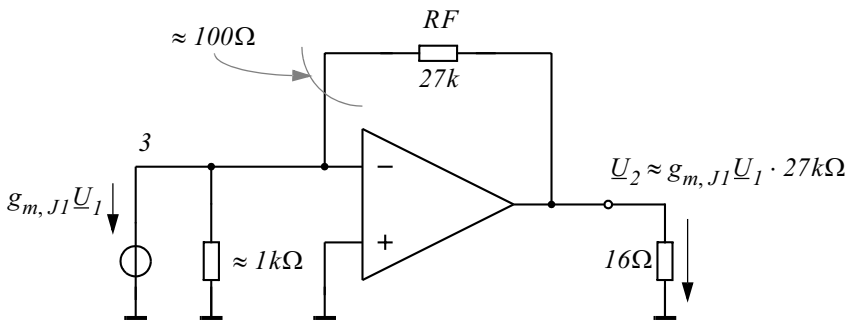


Bild 6.3-8: Makromodell des Mikrofonverstärkers bei AC-Betrieb

Experiment 6.3-3: Mikrofonverst – AC-Analyse der Verstärkeranordnung mit Simulation Profile „AC“.

Die AC-Analyse der Gesamtschaltung bestätigt in etwa die getroffenen Abschätzungen. Bild 6.3-9 zeigt die innere Verstärkung $\underline{U}_2/\underline{U}_3$ (Spannung am Ausgangsknoten 2 im Verhältnis zur Spannung an Knoten 3 bzw. am Drainanschluss von $J1$) und die Gesamtverstärkung $\underline{U}_2/\underline{U}_1$, sowie die Zweigimpedanz des Rückkopplungspfad $\underline{U}_4/I_{RF}$ (siehe Bild 6.3-8).

Würde $Q1$ durch eine Darlington-Stufe ersetzt werden, so wären die Abschätzungen wegen einer deutlich höheren Stromverstärkung besser gültig. Das Beispiel soll zeigen, wie erfolgreich man mit den Abschätzungen zu einem tieferen Verständnis der Schaltung kommt.

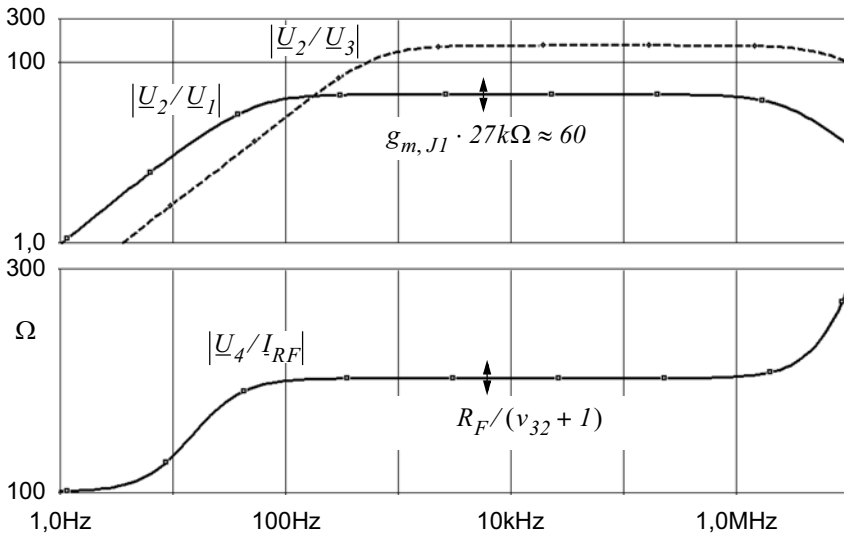


Bild 6.3-9: Ergebnis der AC-Analyse des Mikrofonverstärkers

In einem weiteren Beispiel einer Verstärkerschaltung wird aufgezeigt, wie trotz geringer Steilheit eine relativ große Verstärkung bei Feldeffekttransistorschaltungen erzielt werden kann. Die Beispielschaltung (Bild 6.3-10) besteht aus einem NMOS-Transistor als Verstärkerelement mit einem PMOS-Transistor als Stromquelle im Lastkreis. Der PMOS-Transistor ist ein selbstleitender Transistor; der NMOS-Transistor ein selbstsperrender Typ. Das folgende Experiment untersucht die Schaltung.

Experiment 6.3-4: NMOS_Verst – DC-Analyse mit Simulation Profile „BiasPoint“.

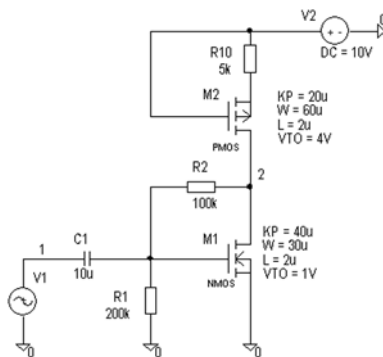


Bild 6.3-10: Beispiel NMOS-Verstärker mit Stromquelle im Lastkreis

Zunächst erfolgt durch DC-Analyse die Ermittlung der Arbeitspunkte von $M1$ und $M2$. Beide Transistoren müssen als „Stromquelle“ arbeiten, damit die gewünschte Funktion der Schaltung erreicht wird. Bei zwei Transistoren sind zwei Netzwerkgleichungen erforderlich, wo neben den Strömen nur Steuerspannungen der relevanten Transistoren auftauchen. Als erste Netzwerkgleichungen wird die Knotenpunktgleichung für den Knoten 2 gebildet.

$$I_{D,M2}^{(A)} = I_{D,M1}^{(A)} + U_{GS,M1}^{(A)} / 200k\Omega; \quad (6.3-10)$$

Die Maschengleichung um den Steuerkreis von $M2$ lautet:

$$U_{GS,M2}^{(A)} = I_{D,M2}^{(A)} \cdot 5k\Omega; \quad (6.3-11)$$

Als Lösung kommt eine rechnerische Ermittlung des Arbeitspunktes mit den Transistorgleichungen (Annahme: „Stromquellenbetrieb“) in Frage oder eine graphische Lösung. Für die graphische Lösung werden die Kennlinien der Transistoren benötigt. Zunächst wird der Arbeitspunkt vom PMOS-Transistor mittels einer geeigneten Testbench (Bild 6.3-11) bestimmt.

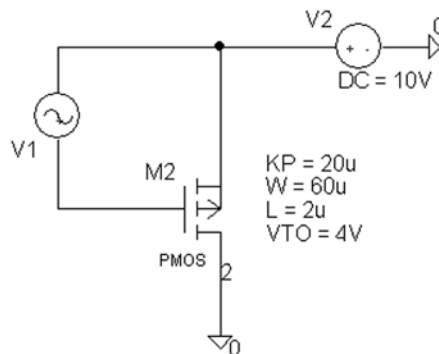


Bild 6.3-11: Testbench für die Ermittlung der Übertragungskennlinie des PMOS-Transistors

Experiment 6.3-5: NMOS_Verst_KennlM2 – Ermittlung der Übertragungskennlinie des PMOS-Transistors.

Das Ergebnis der graphischen Analyse bzw. rechnerischen Analyse ist in der nachstehenden Tabelle enthalten. Die graphische Analyse veranschaulicht Bild 6.3-12.

Tabelle 6.3 - 3: Arbeitspunkt von $M2$ im Beispiel von Bild 6.3-10

$I_D^{(A)} = 0,53\text{mA}$	$U_{GS}^{(A)} = 2,6\text{V}$	$U_{DSP}^{(A)} = -1,4\text{V}$	$U_{DS}^{(A)} = -3,8\text{V}$

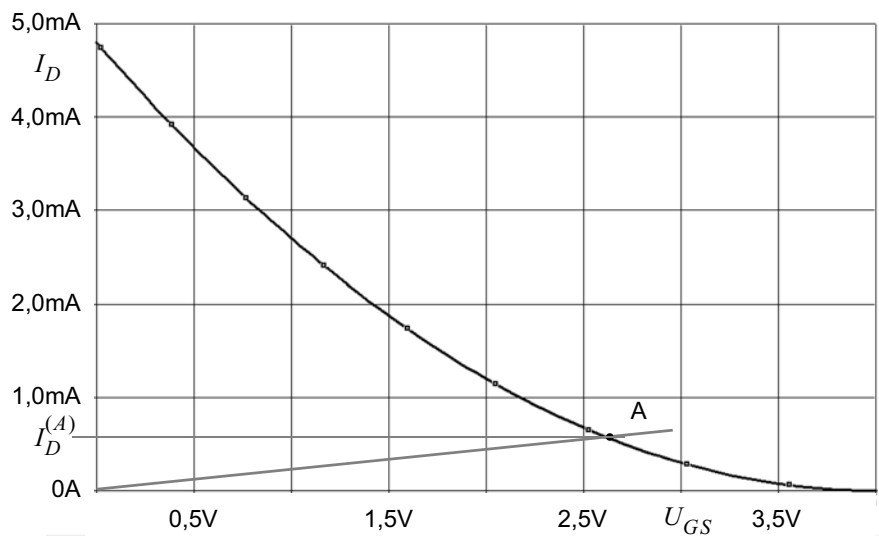


Bild 6.3-12: Übertragungskennlinie des PMOS-Transistors mit Arbeitspunktbestimmung

Wird der Strom über $R1$ gegenüber dem Drainstrom vernachlässigt, so wäre $I_{D,M1}^{(A)} = I_{D,M2}^{(A)}$. Der NMOS-Transistor $M1$ bildet mit $R1$ und $R2$ DC-mäßig eine Spannungsquelle, so dass sich die Spannung an Knoten 2 ergibt aus:

$$U_{DS,M1}^{(A)} = U_{GS,M1}^{(A)} \cdot 300k\Omega / 200k\Omega; \tag{6.3-12}$$

Das Ergebnis der Arbeitspunktanalyse ist dem Bild 6.3-13 zu entnehmen.

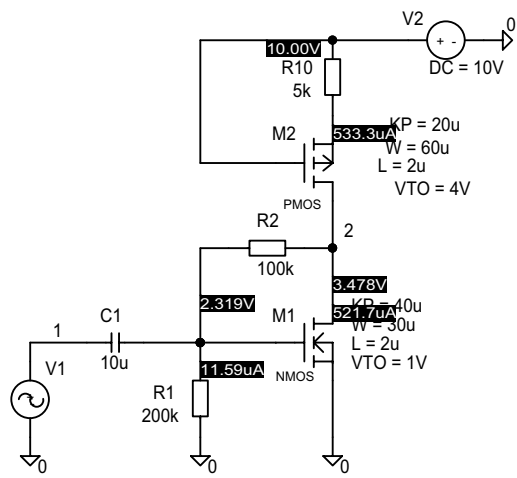


Bild 6.3-13: Ergebnis der Arbeitspunktanalyse des NMOS-Verstärkers

Tabelle 6.3 - 4: Arbeitspunkt von $M1$ im Beispiel von Bild 6.3-10

$I_D^{(A)} = 0,52\text{mA}$	$U_{GS}^{(A)} = 2,3\text{V}$	$U_{DSP}^{(A)} = 1,3\text{V}$	$U_{DS}^{(A)} = 3,5\text{V}$

In beiden Fällen ist $|U_{DS}^{(A)}| > |U_{DSP}^{(A)}|$; somit arbeiten beide Transistoren – wie gefordert – im „Stromquellenbetrieb“. Maßgebend für die Verstärkung ist die Steilheit des NMOS-Transistors. Sie ergibt sich aus:

$$g_{m,M1}^{(A)} = \sqrt{2 \cdot \frac{K_p \cdot W}{L} \cdot I_{D,M1}^{(A)}} = 1/1,3\text{k}\Omega; \quad (6.3-13)$$

Experiment 6.3-6: NMOS_Verst – AC-Analyse mit Simulation Profile „AC“.

Als nächstes erfolgt die AC-Analyse im Arbeitspunkt. Der NMOS-Transistor sieht am Ausgangsknoten 2 als Lastwiderstand ca. $100\text{k}\Omega$ wegen der Transimpedanzbeziehung. Der Innenwiderstand der PMOS-Transistorstromquelle ist wegen $LAMBDA=0$ vernachlässigbar. Damit ergibt sich für die Verstärkung

$$|v_{2I}| = g_{m,M1}^{(A)} \cdot 100\text{k}\Omega = 75; \quad (6.3-14)$$

Der Eingangswiderstand ist wegen der Transimpedanzbeziehung aufgrund der Parallelgegenkopplung

$$Z_{1I'} = 100\text{k}\Omega / (|v_{2I}| + 1) = 1,3\text{k}\Omega; \quad (6.3-15)$$

Die Abschätzungen werden durch das Simulationsergebnis in Bild 6.3-14 sehr gut bestätigt.

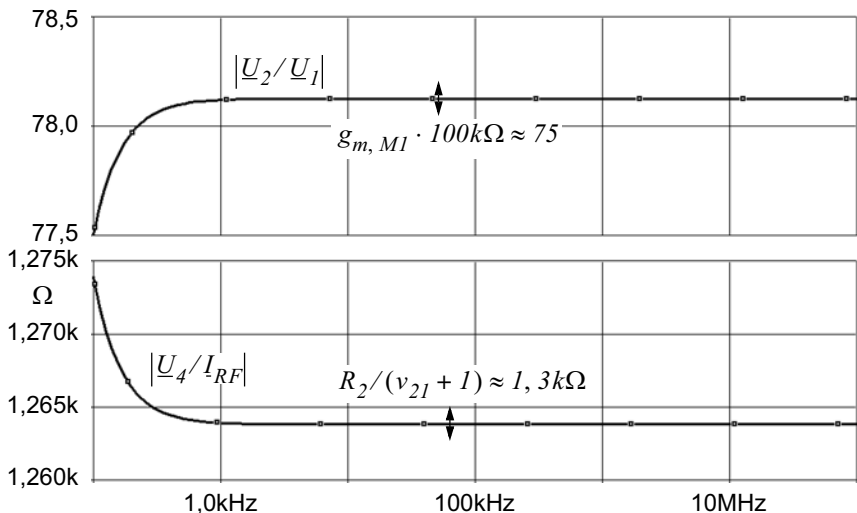


Bild 6.3-14: NMOS-Verstärker: Ergebnis der AC-Analyse

Der PMOS-Transistor kann durch einen selbstleitenden NMOS-Transistor ersetzt werden (Bild 6.3-15). Dadurch entsteht ein NMOS-Inverter, der bei geeigneter Beschaltung in einem Arbeitspunkt betrieben wird, wo sich Verstärkereigenschaften einstellen.

Experiment 6.3-7: NMOSINV3_Verst – DC-Analyse mit Simulation Profile „Bias-Point“.

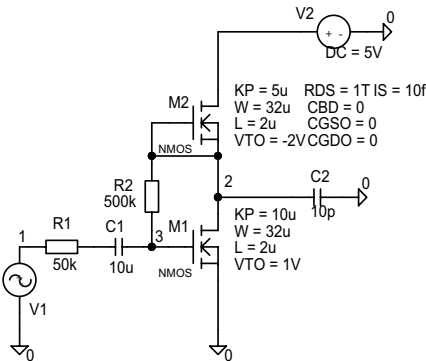


Bild 6.3-15: Beispiel NMOS-Inverter-Verstärker

Wie für jeden Verstärker ist zunächst durch DC-Analyse der Arbeitspunkt der Transistoren *M1* und *M2* zu bestimmen. Für eine rechnerische Analyse benötigt man bei zwei Transistoren zwei unabhängige Netzwerkgleichungen, bei denen nur Ströme und Steuerspannungen der beteiligten Transistoren vorkommen. Im gegebenen Beispiel sind dies die Netzwerkgleichungen:

$$\begin{aligned} U_{GS, M2} &= 0V; \\ |I_{D, M2}| &= I_{D, M1}; \end{aligned} \tag{6.3-16}$$

Die erste Gleichung bestimmt den Drainstrom von *M2* mit:

$$I_{D, M2}^{(A)} = \frac{\beta_{M2}}{2} \cdot (U_{GS, M2} - U_{P, M2})^2 = 0,16mA; \tag{6.3-17}$$

Bei Gleichheit der Ströme erhält man damit auch den Drainstrom von *M1*. Ist der Drainstrom von *M1* bekannt, so kann seine Steuerspannung bestimmt werden. Es ergibt sich $U_{GS, M1} = 2,41V$. Die Drain-Source-Spannung $U_{DS, M1}$ ist für *M1* gleich der Spannung $U_{GS, M1}$. Eine Nachbetrachtung ergibt, dass beide Transistoren als „Stromquelle“ arbeiten, da deren Drain-Source-Spannungen größer sind als deren U_{DSP} . Das Simulationsergebnis in Bild 6.3-16 bestätigt die rechnerische DC-Analyse.

Tabelle 6.3 - 5: Arbeitspunkt von *M1* im Beispiel von Bild 6.3-15

$I_D^{(A)} = 0,16mA$	$U_{GS}^{(A)} = 2,4V$	$U_{DS}^{(A)} = 2,4V$	$g_{m, M1} = 1/4,4k\Omega$

Die Gesamtverstärkung von Knoten 1 nach Knoten 2 ist dann bekanntermaßen bei Parallelgegenkopplung mit genügend hoher „innerer“ Verstärkung:

$$|v_{21}| = R_2/R_1 = 10; \quad (6.3-19)$$

Die Lastkapazität bildet mit dem Innenwiderstand des Verstärkers an Knoten 2 eine obere Eckfrequenz. Die getroffenen Abschätzungen werden durch das Simulationsergebnis in Bild 6.3-17 sehr gut bestätigt. Die betrachteten Beispiele sollen verdeutlichen, wie man systematisch für eine vorgegebene Schaltung eine Abschätzanalyse vornimmt und durch Experimente bestätigt.

6.3.2 Anwendung des Linearbetriebs von Feldeffekttransistoren

Behandelt werden Anwendungen des „Linearbetriebs“ von Feldeffekttransistoren u.a. als elektronisch steuerbarer Widerstand in Regelungsprozessen oder zur Verstärkungsregelung. Der „Linearbetrieb“ oder „Widerstandsbereich“ eines Feldeffekttransistors eröffnet neue Anwendungsgebiete, z.B. als elektronisch steuerbares Dämpfungsglied. Voraussetzung dafür allerdings ist, dass die Drain-Source-Spannung hinreichend klein bleibt, ansonsten stellt sich „Stromquellenbetrieb“ ein. Bild 6.3-18 zeigt ein Anwendungsbeispiel eines Feldeffekttransistors als steuerbares Dämpfungsglied auf Basis eines Spannungsteilers.

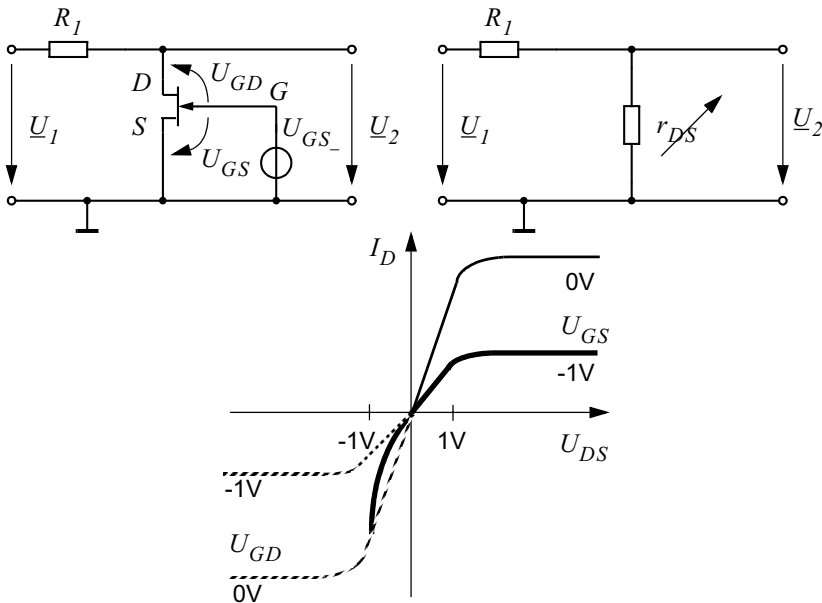


Bild 6.3-18: Elektronisch steuerbares Dämpfungsglied: Aussteuerung um den Nullpunkt mit Umkehr der Wirkung der Steuerspannungen

Allerdings ist die im Bild 6.3-18 ausgewiesene Punktsymmetrie bezüglich der Strom-Spannungskennlinie des Feldeffekttransistors um den Nullpunkt nur dann

gegeben, wenn die Steuerspannung U_{GS} gleich U_{GD} ist. Bei negativem Drainstrom wirkt nämlich als Steuerspannung nicht U_{GS} sondern U_{GD} . Ist U_{GS} wie im Beispiel von Bild 6.3-18 konstant eingepreßt und wird U_{DS} angesteuert, so ergibt sich für U_{GD} eine Aussteuerungsabhängigkeit. Bei $U_{GS} = -1V$ und $U_{DS} = -1V$ erhält man für U_{GD} :

$$U_{GD} = U_{GS} - U_{DS} = 0V; \quad (6.3-20)$$

Dies führt zu einer Krümmung der Kennlinie, was im Prinzip Verzerrungen verursacht. Um derartige Verzerrungen zu vermeiden, muss die Steuerspannung U_{GS} (bei U_{DS} positiv) gleich der Steuerspannung U_{GD} bei negativer Aussteuerung von U_{DS} sein. Dies kann man durch eine Hilfsspannung erreichen, die von U_{DS} abgeleitet wird (Gegenkopplung).

Als nächstes wird der Feldeffekttransistor im „Widerstandsbetrieb“ (kleine Spannungen U_{DS}) bei Aussteuerungen von ΔU_{DS} um den Nullpunkt betrachtet. Zur festen Steuerspannung U_{GS} wird eine Hilfsspannung ΔU_Z addiert. Die Anordnung zeigt Bild 6.3-19. Bei positiver Aussteuerung von ΔU_{DS} ist U_{GS} die Steuerspannung, bei negativer Aussteuerung ist U_{GD} die wirksame Steuerspannung. Der Stromfluss von I_D kehrt sich um. Ein Zahlenbeispiel soll das veranschaulichen. Ist die Vorspannung $U_{GS} = -1V$ und die positive Aussteuerung $\Delta U_{DS} = +1V$, so ergibt sich mit der Hilfsspannung $\Delta U_Z = +0,5V$ eine wirksame Steuerspannung von $U_{GS} = -0,5V$ (siehe Bild 6.3-19a). Bei negativer Aussteuerung mit $\Delta U_{DS} = -1V$ (siehe Bild 6.3-19b) ist die wirksame Steuerspannung $U_{GD} = -0,5V$ identisch mit der bei positiver Aussteuerung. Durch die Einführung einer Hilfsspannung $\Delta U_Z = \Delta U_{DS}/2$ erreicht man symmetrische Verhältnisse bei Aussteuerung um den Nullpunkt. Die Ableitung der Hilfsspannung kann direkt von ΔU_{DS} erfolgen. Durch die so gewählte Hilfsspannung wird die Gleichheit von U_{GS} und U_{GD} unabhängig von der Wirkungsrichtung der Aussteuerung um den Nullpunkt hergestellt. Diese Hilfsspannung bildet eine Seriengegenkopplungsspannung, von der bekannt ist, dass sie linearisierend wirkt. Ein Experiment soll den Sachverhalt näher untersuchen.

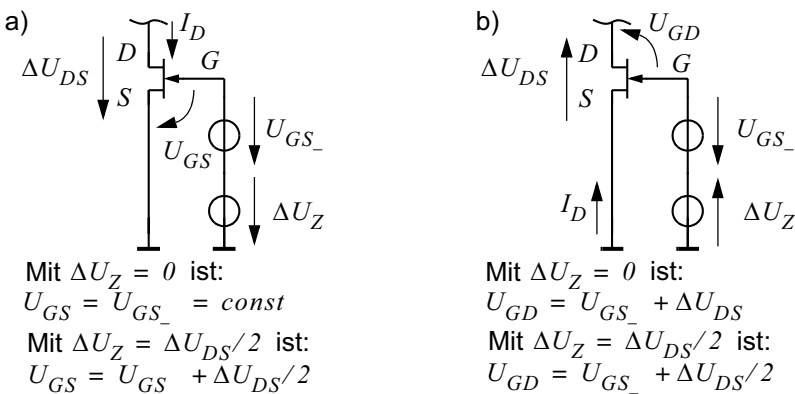


Bild 6.3-19: Zur Linearisierung mit Gegenkopplung; a) positive Aussteuerung von ΔU_{DS} ; b) negative Aussteuerung von ΔU_{DS} (Zählpfeil verändert, Wert bleibt positiv)

Experiment 6.3-9: NJLIN1 – JFET im „Widerstandsbetrieb“ ohne Gegenkopplung.

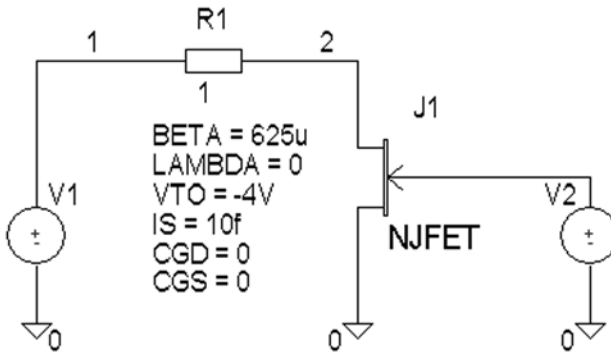


Bild 6.3-20: Testschaltung für Kennlinien im „Widerstandsbetrieb“ des Feldeffekttransistors

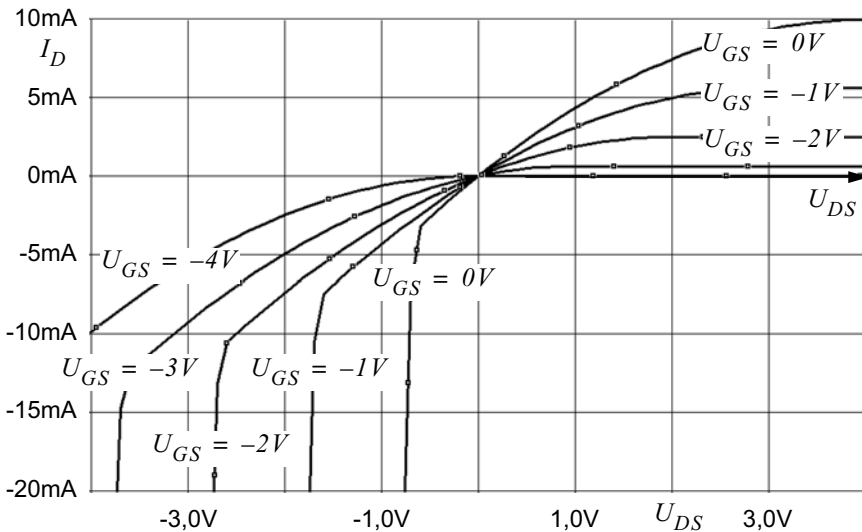


Bild 6.3-21: Ergebnis der Testschaltung ohne Gegenkopplung

Das Ergebnis des Experiments (Testschaltung in Bild 6.3-20) zeigt Bild 6.3-21. Bei $U_{GS} = 0V$ und $U_{DS} < 0,7V$ wird die Drain-Gate-Diode leitend, der Drainstrom nimmt exponentiell zu. Bei $U_{GS} = -1V$ passiert dieser Vorgang bei $U_{DS} < -1,7V$.

Die Krümmung der Kennlinien bei fester Steuerspannung U_{GS} und Aussteuerung von ΔU_{DS} um den Nullpunkt ist dadurch bedingt, dass bei negativem ΔU_{DS} die Steuerspannung nicht mehr U_{GS} , sondern U_{GD} ist. Durch eine Gegenkopplung

lungsspannung, abgeleitet aus ΔU_{DS} , ist eine Angleichung der Wirkung der Steuerungsspannung von U_{GS} bei positiver Aussteuerung und der von U_{GD} bei negativer Aussteuerung möglich. Eine Testschaltung hierzu zeigt Bild 6.3-22.

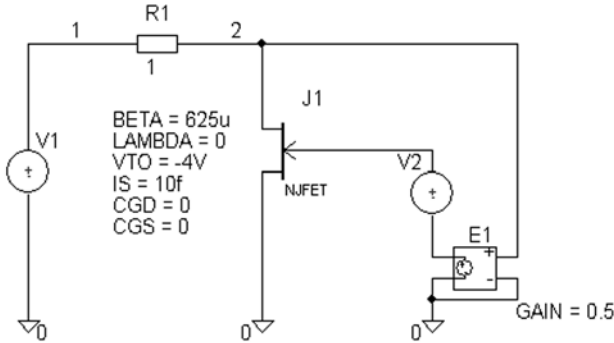


Bild 6.3-22: Testschaltung für Kennlinien im „Widerstandsbetrieb“ des Feldeffekttransistors mit Rückführung von ΔU_{DS}

Experiment 6.3-10: NJLIN2 – JFET im „Widerstandsbetrieb“ mit Gegenkopplung.

Die Testschaltung ermöglicht einen Vergleich der Wirkung der Gegenkopplung. Bei $GAIN = 0$ ist die Rückführung unwirksam (siehe Bild 6.3-21), bei $GAIN = 0,5$ ergibt sich eine weitgehende Linearisierung der Kennlinien um den Nullpunkt (siehe Bild 6.3-23).

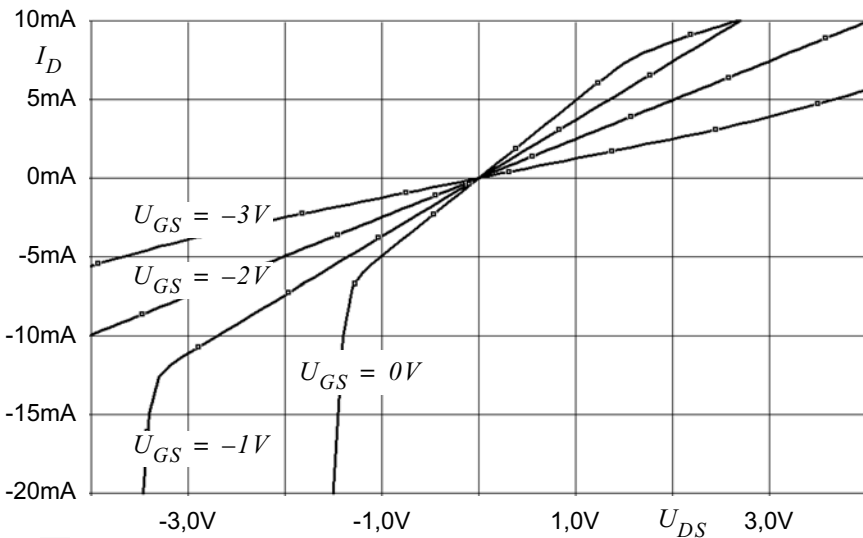


Bild 6.3-23: Ergebnis der Testschaltung für Kennlinien im „Widerstandsbetrieb“ des Feldeffekttransistors mit Rückführung von ΔU_{DS} mit $Gain = 0,5$

Die praktische Ausführung der Rückführung von ΔU_{DS} kann durch eine geeignete Gegenkopplung realisiert werden. Bild 6.3-24 zeigt ein konkretes Beispiel. Durch die Serienkapazität von $0,022\mu F$ ergibt sich eine untere Eckfrequenz. Bei der Anwendung muss darauf geachtet werden, dass die Spannung an ΔU_{DS} nicht zu groß wird, um den linearen „Widerstandsbetrieb“ nicht zu verlassen.

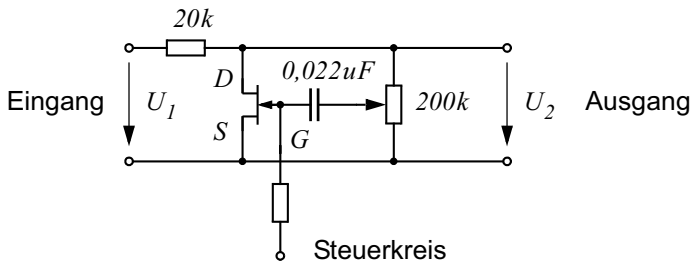


Bild 6.3-24: Zur praktischen Ausführung der Rückführung von ΔU_{DS}

6.4 Digitale Anwendungsschaltungen mit MOSFETs

Digitale Anwendungsschaltungen insbesondere mit MOS-Transistoren bilden die Grundlage von digitalen Funktionsschaltungen u.a. in Logiksystemanwendungen. Behandelt werden wichtige Funktionsschaltkreise mit NMOS- und PMOS-Feldeffekttransistoren für gemischt analog/digitale und digitale Anwendungen.

6.4.1 NMOS-Inverter

NMOS-Inverter stellen die Basis von Anwendungen in Logiksystemen dar. Es werden wichtige NMOS-Inverterschaltungen bis hin zum komplementären CMOS-Inverter behandelt.

NMOS-Inverter mit ohmscher Last: Als erstes wird ein NMOS-Inverter mit ohmscher Last betrachtet. Bild 6.4-1 zeigt die Grundsaltung bestehend aus einem selbstsperrenden N-Kanal MOSFET angesteuert am Gate mit ohmschem Lastkreis. Der Ausgang ist kapazitiv belastet. Der Bulkanschluss liegt auf dem Bezugspotenzial. Damit ist sichergestellt, dass die pn-Übergänge des MOSFET gesperrt sind.

Bei $U_I < U_P$ ist der NMOS-Transistor gesperrt. Ist $U_I > U_P$ so arbeitet bei genügend großem U_{DS} (konkret: $U_{DS} > U_{DSP}$) der NMOS-Transistor als „Stromquelle“. Es gilt dann folgende Gleichung:

$$I_{D, MI} = \frac{\beta_{MI}}{2} \cdot (U_I - U_{P, MI})^2; \quad (6.4-1)$$

Die Gleichung des Lastkreises lautet:

$$U_2 = (5V - I_{D, M1} \cdot R_D); \quad (6.4-2)$$

Für die Übertragungsfunktion des Inverters gilt, solange der Transistor als „Stromquelle“ arbeitet:

$$U_2 = 5V - R_D \cdot \frac{\beta_{M1}}{2} \cdot (U_I - U_{P, M1})^2; \quad (6.4-3)$$

„Stromquellenbetrieb“ liegt vor, wenn folgende Bedingung erfüllt ist:

$$(U_2 = U_{DS, M1}) > (U_I - U_{P, M1}); \quad (6.4-4)$$

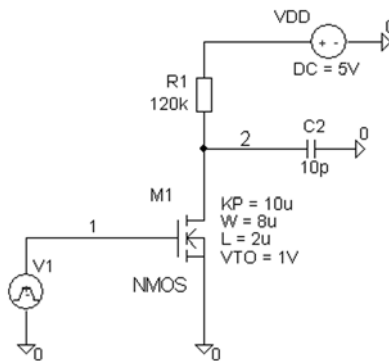


Bild 6.4-1: NMOS-Inverter mit ohmscher Last

Zum besseren Verständnis sei die Übertragungskennlinie und das Ausgangskennlinienfeld des NMOS-Transistors in nachstehenden Experimenten für das gegebene Beispiel ermittelt und dargestellt. In der Darstellung der Ausgangskennlinien des NMOS-Transistors in Bild 6.4-3 ist die Lastgerade, gegeben durch den Widerstand $R1$ eingezeichnet. Bei kleiner Drain-Source Spannung arbeitet der NMOS-Transistor im „Widerstands“-Bereich. Ist die Drain-Source Spannung genügend groß, so liegt „Stromquellen“-Betrieb vor.

Experiment 6.4-1: NMOSINV1_UebertragKennl

Experiment 6.4-2: NMOSINV1_AusgKennl

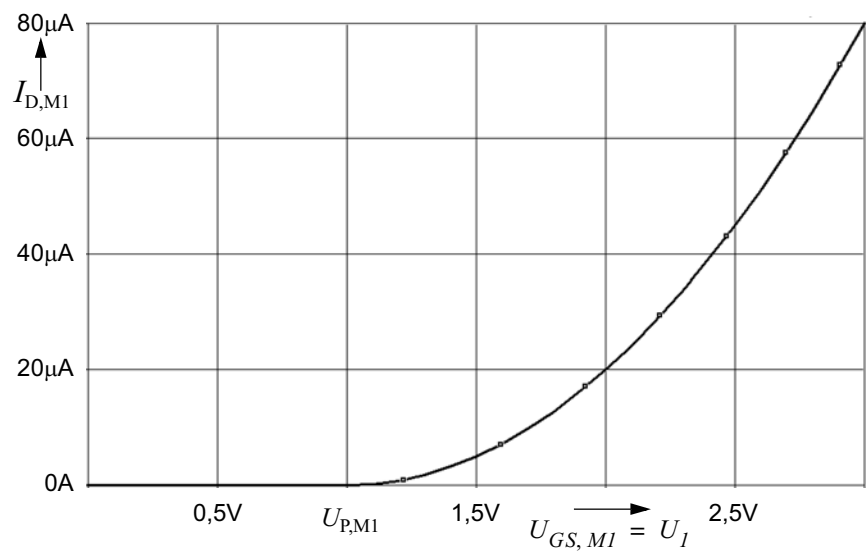


Bild 6.4-2: Übertragungskennlinie des NMOS-Transistors

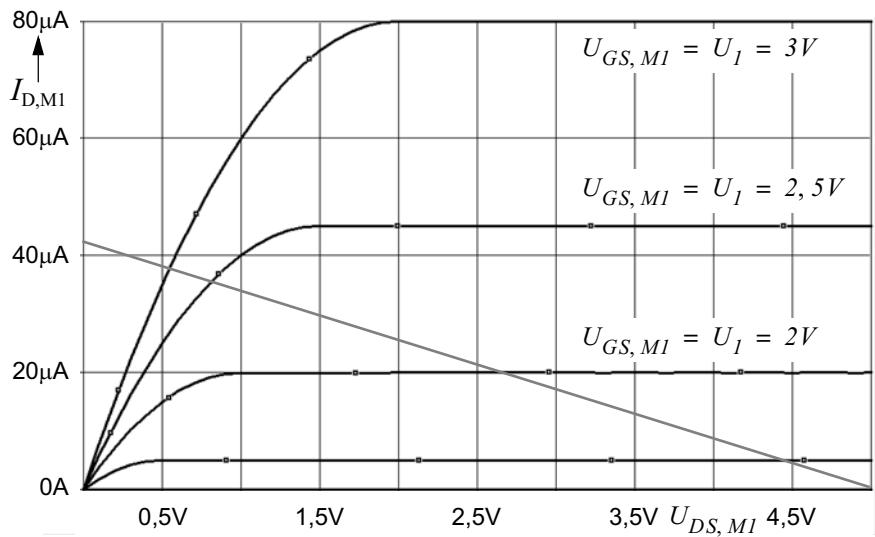


Bild 6.4-3: Ausgangskennlinie des NMOS-Transistors mit der Lastgeraden

Eine wichtige Kennlinie zur Beurteilung der Eigenschaften eines Inverters stellt die DC-Übertragungskurve dar. Somit wird als nächstes die DC-Übertragungskennlinie des Inverters betrachtet. Das Ergebnis zeigt Bild 6.4-4. Im Ergebnis der DC-Übertragungskurve lassen sich drei Bereiche angeben. Im Beispiel ist bei

$U_I < 1V$ der Transistor $M1$ gesperrt, die Ausgangsspannung ist dann gleich der Versorgungsspannung (hier $5V$). Sobald $U_I > 1V$ wird, zieht der Transistor $M1$ Strom. Zunächst ist U_{DS} groß genug, so dass der Transistor $M1$ als Stromquelle arbeitet. Bei zunehmendem Strom steigt der Spannungsabfall am Lastwiderstand und U_{DS} wird entsprechend kleiner, so dass dann der Transistor ab einer bestimmten Eingangsspannung bei $U_2 < U_I - U_{P,M1}$ in den Widerstandsbetrieb übergeht.

Experiment 6.4-3: NMOSINV1_ohmscheLast – DC-Übertragungskennlinie eines NMOS-Inverters mit ohmscher Last.

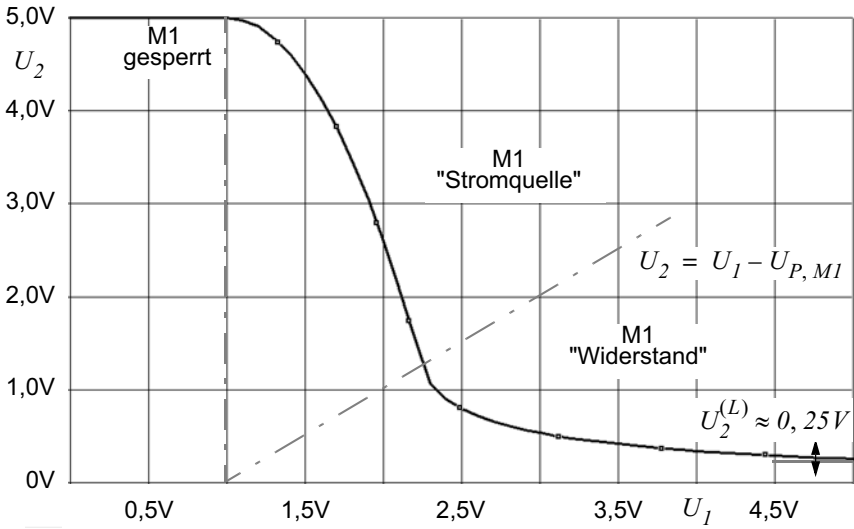


Bild 6.4-4: DC-Übertragungskennlinie des NMOS-Inverters mit ohmscher Last

Arbeitet der Transistor im „Widerstandsbetrieb“, so gilt:

$$I_{D,M1} = \beta_{M1} \cdot ((U_I - U_{P,M1}) \cdot U_2 - U_2^2/2) = \frac{5V - U_2}{R_D}; \quad (6.4-5)$$

Von besonderem Interesse ist die Ausgangsspannung $U_2^{(L)}$ bei $U_I = 5V$. Im Inverterbetrieb soll die Spannung $U_2^{(L)}$ möglichst klein sein, sie bestimmt sich aus:

$$\beta_{M1} \cdot R_D = \frac{5V - U_2^{(L)}}{(5V - U_{P,M1}) \cdot U_2^{(L)} - U_2^{(L)2}/2}; \quad (6.4-6)$$

Bei der gegebenen Beschaltung erhält man für $U_2^{(L)}$:

$$U_2^{(L)} = 0,25V \rightarrow R_D = 122k\Omega; \quad (6.4-7)$$

Weiter ist von Interesse der Widerstand $r_{DS,ON}$ des NMOS-Transistors bei $U_2^{(L)}$:

$$r_{DS,ON} = \frac{1}{\beta_{M1} \cdot (U_{GS,M1} - U_{P,M1})} = 6,25k\Omega; \quad (6.4-8)$$

NMOS-Inverter mit selbstsperrendem NMOS-Transistor als Lastkreis: In Abwandlung des NMOS-Inverters $M1$ mit ohmscher Last wird der Lastwiderstand durch einen selbstsperrenden NMOS-Transistor $M2$ ersetzt. Der Drainanschluss von $M1$ wird mit dem relativ niederohmigen Eingangswiderstand am Sourceanschluss von $M2$ belastet. Der Transistor $M2$ arbeitet wegen $U_{GS,M2} = U_{DS,M2}$ im „Stromquellen“-Betrieb, wenn er Strom zieht, da hierbei $U_{DS,M2} > U_{DSP,M2} = U_{GS,M2} - U_{P,M2}$ ist. Allerdings „sieht“ der Transistor $M1$ nicht den Innenwiderstand der Stromquelle, sondern den Eingangswiderstand am Sourceanschluss. Der Eingangswiderstand am Sourceanschluss ist mit $1/g_{m,M2}$ relativ niederohmig. Wählt man die Stromergiebigkeit von $M2$ deutlich niedriger, so ergibt sich eine geringere Steilheit und damit ein hochohmigerer Lastkreis. Aufgrund dieser Überlegung müssen die beiden NMOS-Transistoren unterschiedlich dimensioniert werden.

Zunächst wird in einem Experiment die Übertragungskennlinie von $M2$ ermittelt. In einem weiteren Experiment erfolgt die Ermittlung der DC-Übertragungskennlinie des Inverters. Bild 6.4-5 zeigt die Testschaltung für einen NMOS-Inverter $M1$ mit selbstsperrendem NMOS-Transistor $M2$ im Lastkreis. In Bild 6.4-7 ist das Ergebnis der DC-Übertragungskurve dargestellt. Auch hier ergeben sich drei Bereiche. Im Beispiel ist bei $U_1 < 1V$ der Transistor $M1$ gesperrt, die Ausgangsspannung ist dann gleich der Versorgungsspannung vermindert um die Schwellspannung von $M2$. Aufgrund eines, wenn auch sehr kleinen Laststroms, stellt sich an $M2$ ein Spannungsabfall $U_{DS,M2} = U_{GS,M2} = 1V$ ein, ansonsten würde bei $M2$ kein Strom fließen. Sobald $U_1 > 1V$ wird, zieht der Transistor $M1$ Strom. Zunächst ist U_{DS} groß genug, so dass der Transistor $M1$ als Stromquelle arbeitet. Der Lastwiderstand für $M1$ ist $1/g_{m,M2}$. Ist die Steilheit von $M2$ deutlich geringer, so ergibt sich ein relativ steiler Abfall von U_2 bei zunehmendem U_1 , bis die Spannung $U_{DS,M1} = U_2 < U_1 - U_{P,M1}$ wird, wo der Transistor $M1$ in den Widerstandsbetrieb übergeht.

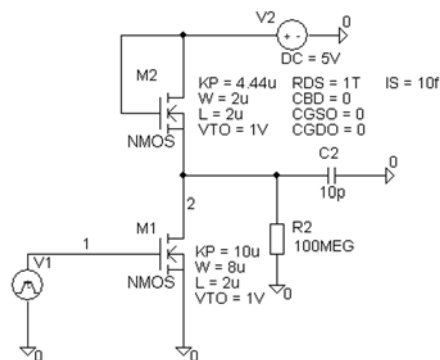


Bild 6.4-5: NMOS-Inverter mit selbstsperrenden NMOS-Transistor als Lastkreis

Experiment 6.4-4: NMOSINV2_M2selbstsperr_M2Kennl

Experiment 6.4-5: NMOSINV2_M2selbstsperr_M1 mit aktiver Last; M2 selbstsperrend.

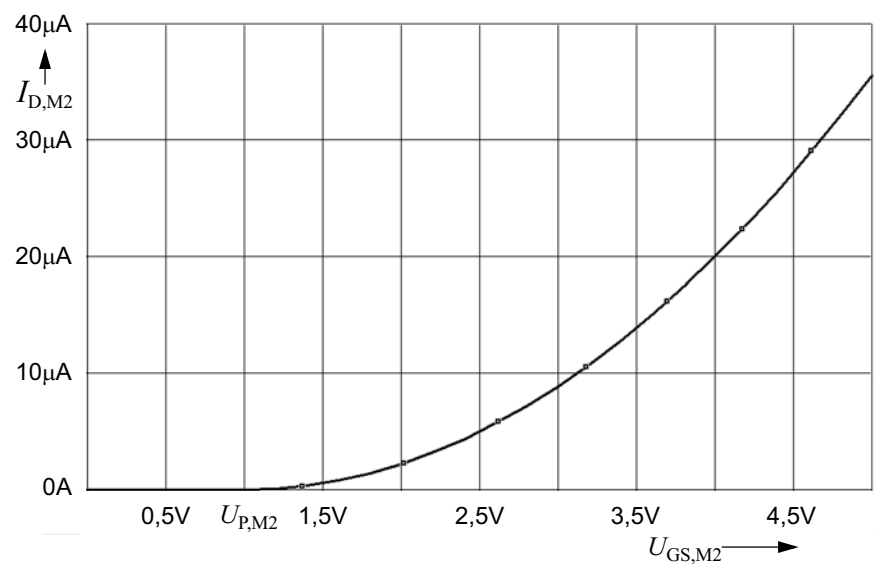


Bild 6.4-6: Übertragungskennlinie des NMOS-Transistors *M2*

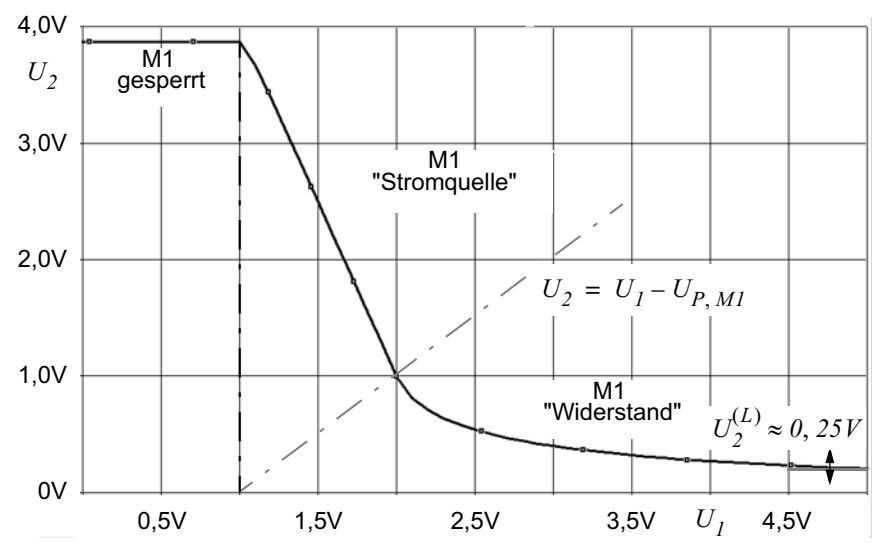


Bild 6.4-7: DC-Übertragungskennlinie des NMOS-Inverters mit selbstsperrendem NMOS-Transistor als Lastkreis

Arbeiten beide Transistoren im „Stromquellen“-Betrieb, so gilt:

$$\begin{aligned}
 I_{D, M2} &= \frac{\beta_{M2}}{2} \cdot (5V - U_{P, M2} - U_2)^2 = \frac{\beta_{M1}}{2} \cdot (U_I - U_{P, M1})^2; \\
 U_2 &= (5V - U_{P, M2}) - \sqrt{\frac{\beta_{M1}}{\beta_{M2}}} \cdot (U_I - U_{P, M1}); \\
 U_2 &= 4V - 3 \cdot (U_I - U_{P, M1});
 \end{aligned} \tag{6.4-9}$$

In diesem Fall wirkt $M1$ als Verstärker mit $1/g_{m, M2}$ als Lastwiderstand. Die Verstärkung ist:

$$|v|_{2I} = g_{m, M1} \cdot \frac{1}{g_{m, M2}} = \sqrt{\frac{\beta_{M1}}{\beta_{M2}}} = 3; \tag{6.4-10}$$

Je größer die Verstärkung ist, desto steiler wird der Übergang bei der DC-Übertragungskennlinie. Wie bereits erwähnt, ist $M2$ immer im „Stromquellen“-Betrieb, wenn er Strom zieht. $M1$ geht mit abnehmender Ausgangsspannung vom Stromquellenbetrieb (Verstärker) in den „Widerstands“-Betrieb über. Es gilt dann:

$$\begin{aligned}
 \frac{\beta_{M2}}{2} \cdot (5V - U_{P, M2} - U_2)^2 &= \beta_{M1} \cdot \left((U_I - U_{P, M1}) \cdot U_2 - \frac{U_2^2}{2} \right); \\
 \frac{(5V - U_{P, M1} - U_2^{(L)})^2}{(5V - U_{P, M1}) \cdot U_2^{(L)} - U_2^{(L)2} / 2} &= \frac{2 \cdot \beta_{M1}}{\beta_{M2}}; \\
 U_2^{(L)} = 0, 2V \rightarrow \frac{2 \cdot \beta_{M1}}{\beta_{M2}} &= 18, 5 \rightarrow \frac{\beta_{M1}}{\beta_{M2}} \approx 9;
 \end{aligned} \tag{6.4-11}$$

Aus dieser Beziehung kann ein vorgegebener Wert für $U_2^{(L)}$ hergeleitet werden. Es zeigt sich, dass die Stromergiebigkeit der beiden Transistoren deutlich unterschiedlich gewählt werden muss, um einen hinreichend kleinen Wert für $U_2^{(L)}$ zu erhalten.

NMOS-Inverter mit selbstleitendem NMOS-Transistor als Last: Eine weitere Variante entsteht durch Verwendung eines selbstleitenden NMOS-Transistors im Lastkreis des NMOS-Inverters. Arbeitet der Transistor $M2$ als Stromquelle, so sieht der Transistor $M1$ am Drainanschluss einen hochohmigen Lastkreis, anders als in dem zuletzt betrachteten Beispiel. Wegen der deutlich höheren Verstärkung ($M1$ und $M2$: Stromquelle) des Inverters im Übergangsbereich ist zu erwarten, dass die Übertragungskennlinie wesentlich steiler verläuft.

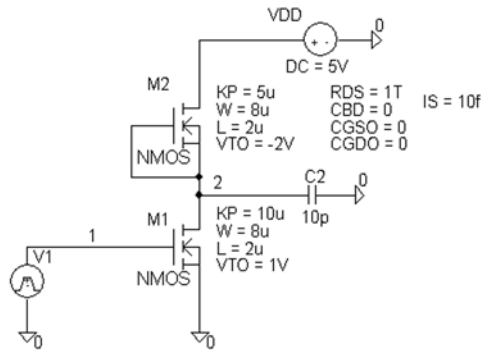


Bild 6.4-8: NMOS-Inverter mit selbstleitendem NMOS-Transistor als Lastkreis

Als erstes wird im folgenden Experiment die Übertragungskennlinie des selbstleitenden Transistors $M2$ ermittelt. Das Ergebnis zeigt Bild 6.4-9. Der selbstleitende N-Kanal MOSFET weist eine Schwellspannung von $U_P = -2V$ auf. Seine Stromerzeugbarkeit beträgt im Arbeitspunkt bei $U_{GS} = 0V$ ca. $40\mu A$. Wegen $U_{DSP,M2} = 2V$ arbeitet in der Beispielschaltung nach Bild 6.4-8 der Transistor $M2$ bei $U_2 < 3V$ als Stromquelle. In diesem Fall „sieht“ der Transistor $M1$ den Innenwiderstand der Stromquelle von $M2$, der sehr hochohmig ist.

Experiment 6.4-6: NMOSINV3_M2selbstleit_M2Kennl

Experiment 6.4-7: NMOSINV3_M2selbstleit

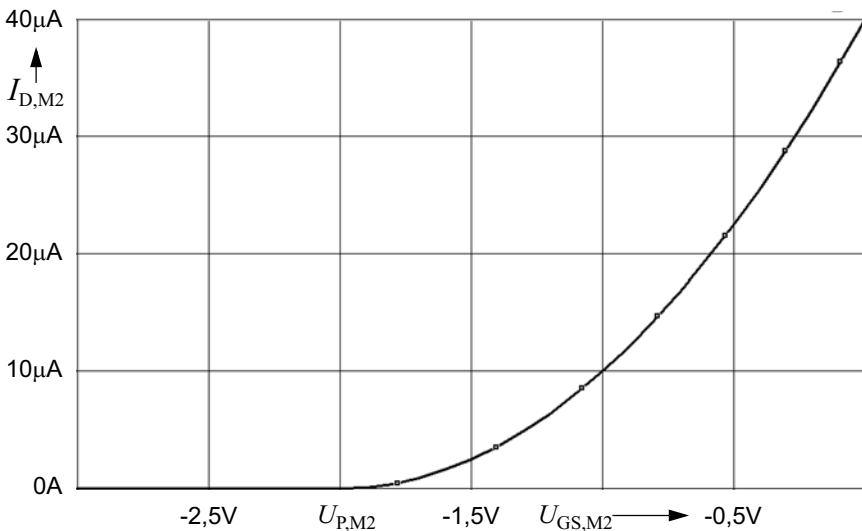


Bild 6.4-9: Übertragungskennlinie des Transistors $M2$

Die Ausgangskennlinien der beiden Transistoren $M1$ und $M2$ aufgetragen über U_2 zeigen einen Bereich, bei dem beide Transistoren als „Stromquelle“ arbeiten. Die Kennlinie des Transistors $M2$ ist die Lastkennlinie von $M1$. Ist $U_2 = 5V$, so ist $U_{DS,M2} = 0$ und $U_{DS,M1} = 5V$. In dem Maße, wie $U_{DS,M1}$ zunimmt, reduziert sich $U_{DS,M2}$ und umgekehrt. Bild 6.4-10 zeigt die Ausgangskennlinien von $M1$ und $M2$ aufgetragen über U_2 . Deutlich erkennt man im Beispiel, dass der Lasttransistor $M2$ bei $U_2 < 3V$ als Stromquelle arbeitet.

In einem weiteren Experiment wird die DC-Übertragungskurve der Inverterschaltung ermittelt. Das Ergebnis der DC-Übertragungskennlinie des Inverters ist in Bild 6.4-11 dargestellt. Im Beispiel ergeben sich vier Arbeitsbereiche. Bei $U_1 < 1V$ ist der Transistor $M1$ gesperrt, die Ausgangsspannung U_2 liegt bei $5V$. Mit $U_1 > 1V$ zieht $M1$ Strom und arbeitet zunächst als Stromquelle, solange die Bedingung $U_2 > U_1 - U_{P,M1}$ erfüllt ist. Von $U_2 = 5V$ bis $U_2 = 3V$ wird $M2$ im Widerstandsbereich betrieben. Bei U_1 von ca. $2,4V$ erhält man einen Arbeitsbereich, wo beide Transistoren Stromquelle sind. Gelingt es dort die Schaltung in einem stabilen Arbeitspunkt zu betreiben, so erhält man eine Verstärkerschaltung mit großer Verstärkung (siehe Beispiel in Bild 6.3-15). Bei größeren Eingangsspannungen U_1 unterschreitet schließlich U_2 die Bedingung für den Abschnürbetrieb, so dass der Transistor $M1$ in den Widerstandsbetrieb übergeht.

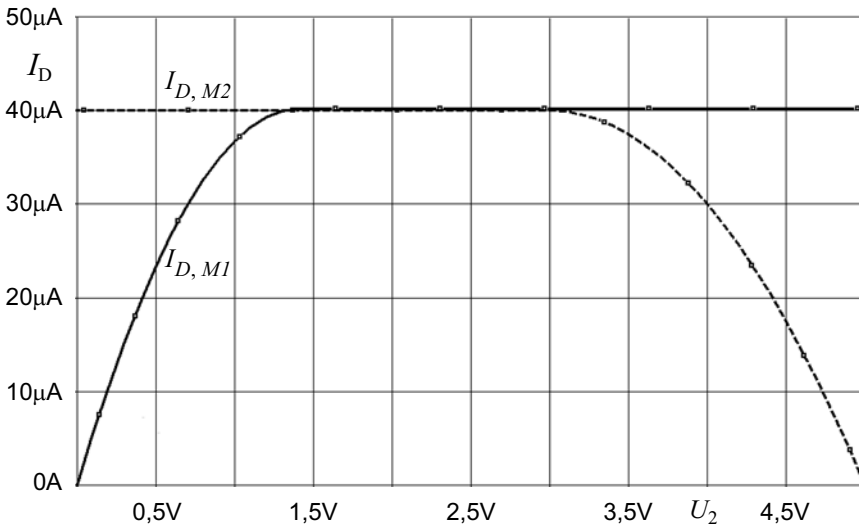


Bild 6.4-10: Ausgangskennlinienfeld von $M1$ und Lastkennlinie gegeben durch $M2$

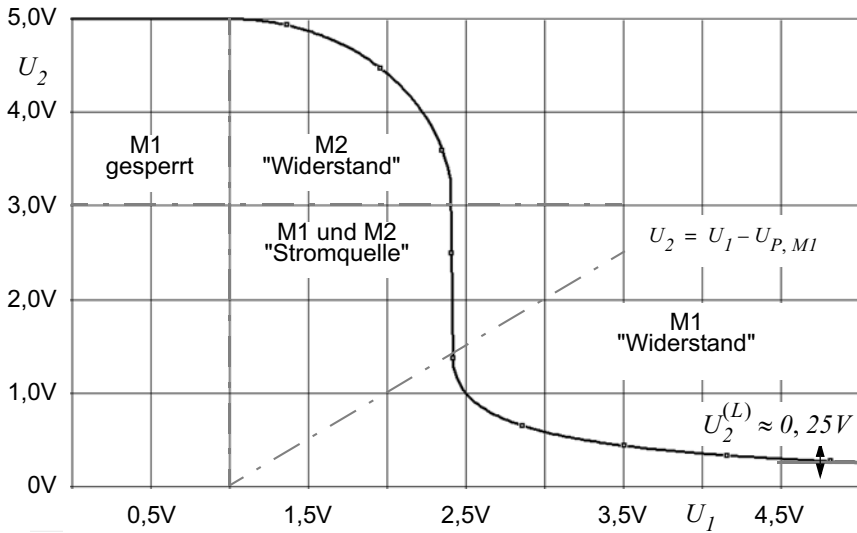


Bild 6.4-11: DC-Übertragungskennlinie des NMOS-Inverters mit selbstsperrendem NMOS-Transistor als Lastkreis

Arbeiten beide Transistoren im „Stromquellen“-Betrieb, so gilt:

$$\frac{\beta_{M2}}{2} \cdot U_{P,M2}^2 = \frac{\beta_{M1}}{2} \cdot (U_I - U_{P,M1})^2;$$

$$U_I = U_{P,M2} + \left(\mp \sqrt{\frac{\beta_{M1}}{\beta_{M2}}} \cdot U_{P,M2} \right) = 2,4V; \quad (6.4-12)$$

Daraus ergibt sich die Ansteuerbedingung dafür, dass beide Transistoren als Stromquelle arbeiten. „Stromquellen“-Betrieb ist also im Beispiel gegeben bei $U_I = 2,4V$. In diesem Fall wirkt $M1$ als Verstärker mit hochohmigem Lastwiderstand. Die Verstärkung ist demzufolge sehr hoch, aber nur solange beide Transistoren im „Stromquellen“-Betrieb sind.

Ist $M1$ „Stromquelle“ und $M2$ „Widerstand“, so gilt:

$$\beta_{M2} \cdot \left((-U_{P,M2}) \cdot (5V - U_2) - \frac{(5V - U_2)^2}{2} \right) = \frac{\beta_{M1}}{2} \cdot (U_I - U_{P,M1})^2; \quad (6.4-13)$$

Bei „Stromquellen“-Betrieb von $M2$ und „Widerstands“-Betrieb von $M1$ ist:

$$\frac{\beta_{M2}}{2} \cdot (U_{P,M2})^2 = \beta_{M1} \cdot \left((U_I - U_{P,M1}) \cdot U_2 - \frac{U_2^2}{2} \right); \quad (6.4-14)$$

$$\frac{(U_{P,M2})^2}{2 \cdot (5V - U_{P,M1}) \cdot U_2^{(L)} - U_2^{(L)2}} = \frac{\beta_{M1}}{\beta_{M2}}; \quad U_2^{(L)} = 0,25V \rightarrow \frac{\beta_{M1}}{\beta_{M2}} = 2,06;$$

Das Verhältnis der Transkonduktanzwerte der Transistoren bestimmt die Eingangsspannung, bei der eine hohe Verstärkung gegeben ist, bzw. bestimmt auch den für einen Inverter wichtigen Wert für $U_2^{(L)}$.

6.4.2 CMOS-Inverter

Eine besonders vorteilhafte Schaltungsanordnung ergibt sich, wenn der NMOS-Transistor des vorhergehenden Beispiels $M2$ durch einen PMOS-Transistor ersetzt wird. Dadurch erhält man den CMOS-Inverter. Bild 6.4-12 zeigt eine Beispielschaltung für einen CMOS-Inverter. Komplementäre CMOS-Inverterschaltungen bilden die Basis von CMOS-Logikanwendungen.

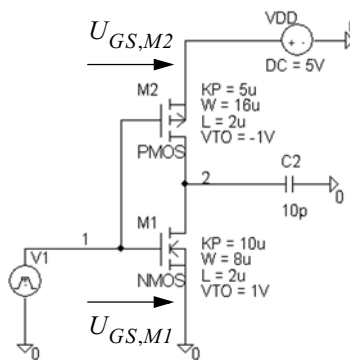


Bild 6.4-12: CMOS Inverter

In Bild 6.4-13 sind die Übertragungskennlinien der beiden Transistoren skizziert. Beide MOSFETs sind selbstsperrend, sie sollen nach Möglichkeit dieselbe Stromergiebigkeit aufweisen. Aufgrund der Beschaltung ist beim NMOS-Transistor stets $U_{GS,M1} = U_I$ und beim PMOS-Transistor ist $U_{GS,M2} = U_I - U_{DD}$. Ist die Eingangsspannung $U_I = U_{DD}$, so ist $M1$ leitend und $M2$ gesperrt. Bei $U_I = 0V$ ist $M1$ gesperrt und $M2$ leitend.

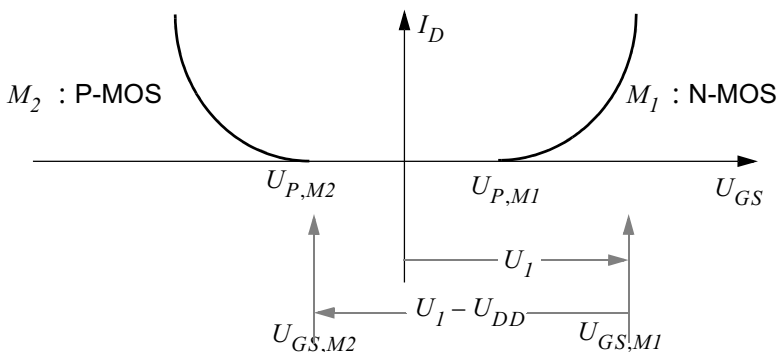


Bild 6.4-13: CMOS-Inverter: Übertragungskennlinien der Transistoren

Allgemein ist wegen der geringeren Ladungsträgerbeweglichkeit der Löcher der die Stromergiebigkeit bestimmende Parameter $K_{p,PMOS} < K_{p,NMOS}$. Der Unterschied kann durch eine größere Kanalbreite W_{PMOS} für den PMOS-Transistor wieder ausgeglichen werden. Im Beispiel ist die Stromergiebigkeit von NMOS- und PMOS-Transistor gleich groß gewählt. Damit ergibt sich ein symmetrischer Verlauf der Kennlinien. In einem Experiment soll das typische Verhalten des CMOS-Inverters untersucht werden.

Experiment 6.4-8: CMOSINV1 – DCSweep-Analyse des CMOS-Inverters mit dem SimulationProfile „DC“.

Zunächst wird der Drainstromverlauf des CMOS-Inverters betrachtet in Abhängigkeit von der Eingangsspannung U_I . Bei $U_I < 1V$ ist der NMOS-Transistor gesperrt, bei $U_I > 4V$ ist der PMOS-Transistor gesperrt. Nur im Übergangsbereich fließt Strom. Bild 6.4-14 zeigt die Stromkennlinie des CMOS-Inverters. Im Ruhezustand bei $U_I = 0V$ und bei $U_I = 5V$ fließt kein Strom.

Das Ergebnis der DC-Übertragungskurve ist in Bild 6.4-15 dargestellt. Ähnlich wie in der vorher betrachteten Inverterschaltung ergeben sich beim CMOS-Inverter vier Bereiche. Im Bereich von $U_I < 1V$ ist der Transistor $M1$ gesperrt. Bei $U_I > 1V$ ist $M1$ zunächst Stromquelle und $M2$ arbeitet mit $U_2 > U_I - U_{P,M2}$ im Widerstandsbereich. Ab $U_2 < U_I - U_{P,M1}$ wird $M1$ im Widerstandsbereich betrieben. Wenn $M1$ als Stromquelle arbeitet, ist $M2$ im Widerstandsbereich betrieben und umgekehrt. Nur im Bereich $(U_I - U_{P,M1}) < U_2 < (U_I - U_{P,M2})$ arbeiten beide Transistoren als Stromquelle. Gelingt es dort einen stabilen Arbeitspunkt einzustellen, so ergibt sich wiederum eine Verstärkeranordnung mit relativ hoher Verstärkung.

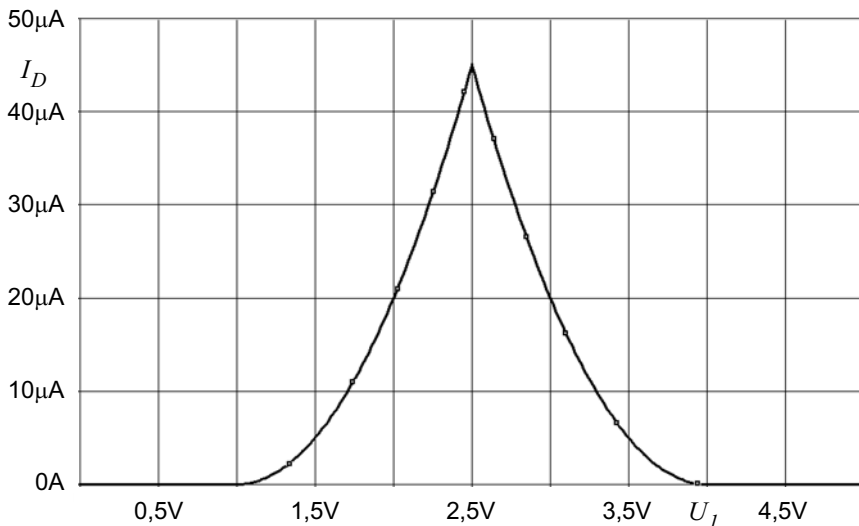


Bild 6.4-14: Drainstromverlauf beim CMOS-Inverter bei gleicher Stromergiebigkeit der Transistoren

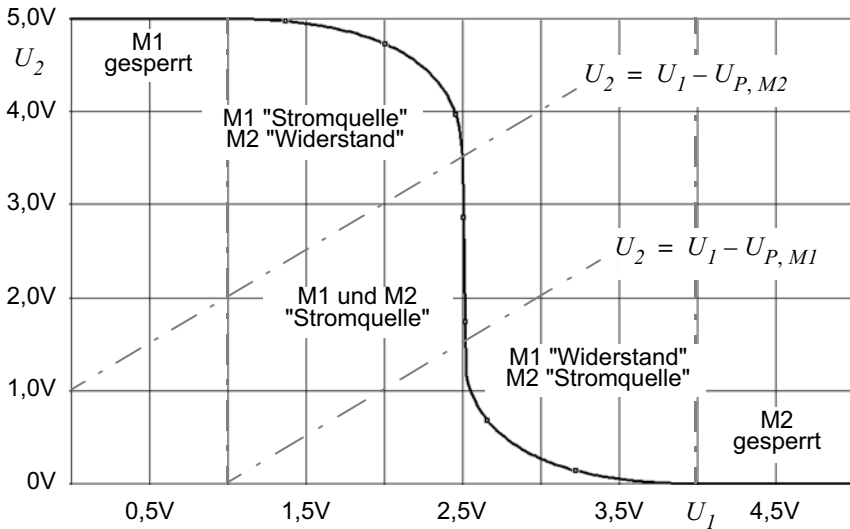


Bild 6.4-15: DC-Übertragungskennlinie des CMOS-Inverters bei gleicher Stromergiebigkeit der Transistoren

Ist die Stromergiebigkeit der Transistoren $M1$ und $M2$ unterschiedlich, so ergibt sich der Verstärkungsbereich nicht bei $U_I = 2,5V$, sondern allgemein bei $U_I = U_S$. Die Spannung $U_I = U_S$ erhält man aus:

$$\frac{\beta_{M1}}{2} \cdot (U_I - U_{P,M1})^2 = \frac{\beta_{M2}}{2} \cdot (U_I - 5V - U_{P,M2})^2;$$

$$U_S = \frac{U_{P,M1} + \sqrt{\frac{\beta_{M2}}{\beta_{M1}}} \cdot (5V + U_{P,M2})}{1 + \sqrt{\frac{\beta_{M2}}{\beta_{M1}}}}; \quad (6.4-15)$$

Der maximale Strom bei $U_I = U_S$ ist:

$$I_{D,max} = \frac{\sqrt{\beta_{M1} \cdot \beta_{M2}} \cdot (5V - U_{P,M1} + U_{P,M2})^2}{2 \left(1 + \sqrt{\frac{\beta_{M2}}{\beta_{M1}}} \right)^2}; \quad (6.4-16)$$

In Digitalanwendungen ist von besonderem Interesse das Schaltverhalten mit den Anstiegszeiten und den Abfallzeiten beim Zustandswechsel. Das transiente Verhalten eines CMOS-Inverters wird im folgenden Experiment untersucht. Der CMOS-Inverter sei dabei kapazitiv belastet.

Experiment 6.4-9: CMOSINV1 – TR-Analyse des CMOSInverters mit dem SimulationProfile „TR“.

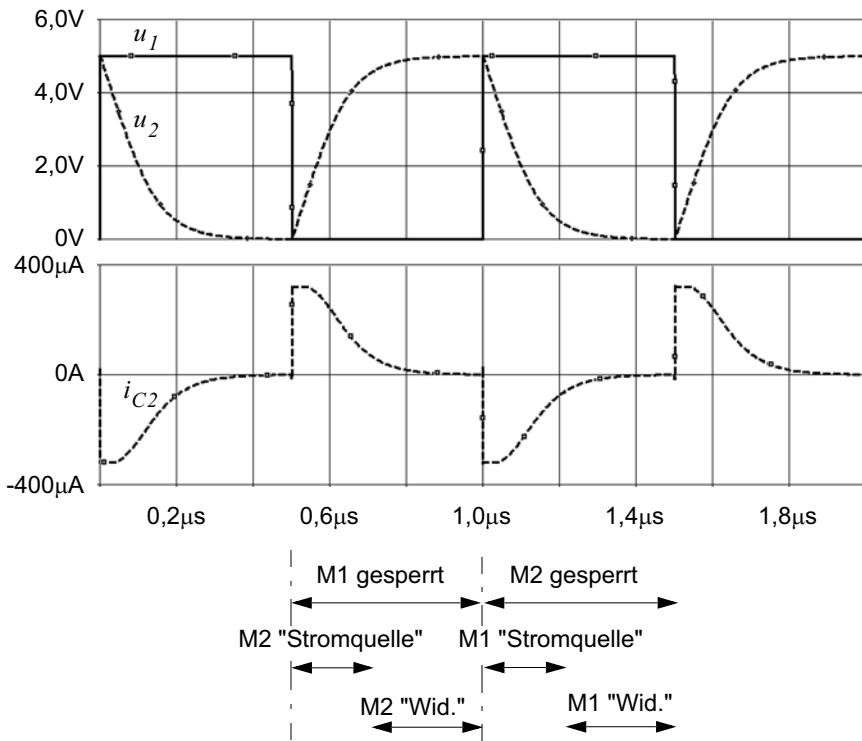


Bild 6.4-16: TR-Analyse des CMOS-Inverters mit Lastkapazität

Im Beispiel ist bei $t \geq 500\text{ns}$ bis $t = 1000\text{ns}$ der NMOS-Transistor $M1$ gesperrt. Zunächst arbeitet $M2$ als „Stromquelle“, bis die Spannung U_2 so groß ist, dass der Transistor $M2$ dann in den „Widerstands“-Betrieb übergeht. In dem Zeitbereich, wo der Transistor $M2$ „Stromquelle“ ist, wird die Lastkapazität aufgeladen. Der Ladevorgang der Lastkapazität C_L erfolgt nach folgender Beziehung.

$$\Delta u_2 / \Delta t = \frac{i_{D, M2}}{C_L}; \quad (6.4-17)$$

Der Drainstrom von $M2$ wirkt als Ladestrom für die Lastkapazität. Im Bild 6.4-16 ist der Drainstrom dargestellt, er hängt von der Stromergiebigkeit des Transistors ab. Je größer die Lastkapazität ist, desto signifikanter sind die Anstiegszeiten bzw. Abfallzeiten. Bei konstantem Ladestrom ergibt sich ein linearer Verlauf des Spannungsanstiegs bzw. Spannungsabfalls. Geht der Transistor in den „Widerstands“-Betrieb über, so liegt im Prinzip ein RC-Glied vor mit „exponentiellem Verlauf“ des Spannungsanstiegs bzw. Spannungsabfalls.

Der physikalische Aufbau eines CMOS-Inverters ist im nachstehenden Bild 6.4-17 dargestellt. Der PMOS-Transistor wird über eine P-Wanne im N-Substrat reali-

siert. Um annähernd gleiche Stromergiebigkeit zwischen dem PMOS-Transistor und dem NMOS-Transistor zu erzielen, muss der Kanal des PMOS-Transistors breiter gewählt werden, als der vom NMOS-Transistor. Die P-Wanne bedingt zusätzliche pn-Übergänge, die sich in parasitären Transistoren darstellen lassen. Die parasitären Transistoren $Q1$ und $Q2$ können mit R_{Well} und R_{Sub} einen parasitären Thyristor bilden (Latch-Up Effekt). Die Technologie wird heute so gut beherrscht, dass sich in CMOS-Schaltkreisen dieser Effekt nicht signifikant störend auswirkt.

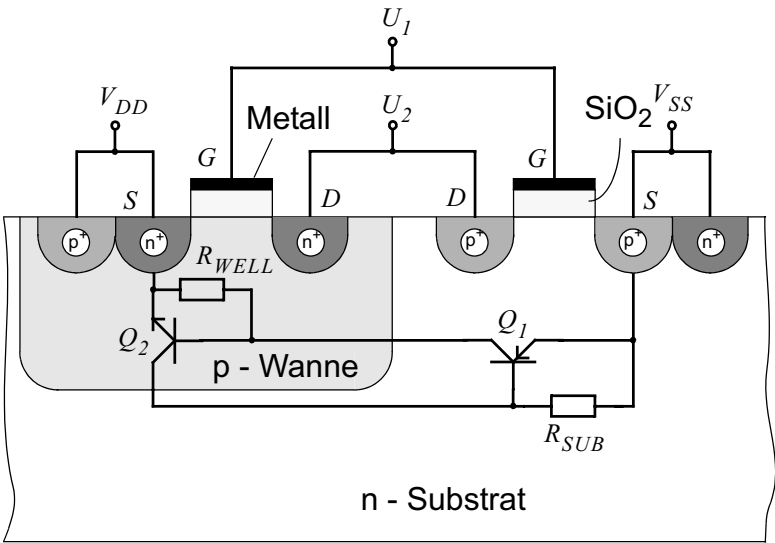


Bild 6.4-17: Aufbau eines CMOS-Schaltkreises

Der Substratanschluss des NMOS-Transistors muss am niedrigstwertigen Potenzial liegen, der Substartanschluss vom PMOS-Transistor am höchstwertigen Potenzial. Bei Anwendungen von NMOS- und PMOS-Transistoren in der Digitaltechnik gilt grundsätzlich die in Bild 6.4-18 dargestellte Regel.

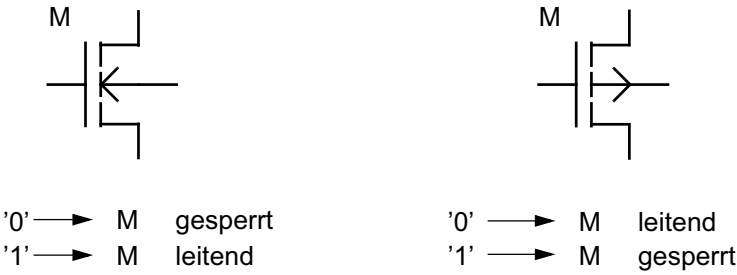


Bild 6.4-18: MOS-Transistoren (Anreicherungstyp) in der Digitaltechnik

Vereinfacht können die Transistoren bei Digitalanwendungen als Schalter angesehen werden. Beim CMOS-Inverter liegt ein Komplementär-Schalter vor, d.h. einer der beiden Transistoren ist immer gesperrt. In PSpice lassen sich die Transistoren durch gesteuerte Schalter mit dem Element SBreak darstellen. Die Schalterstellung von SBreak wird bestimmt durch die Parameter V_{ON} und V_{OFF} . Im geschalteten Zustand lässt sich dem Schalter ein realer Ersatzwiderstand R_{ON} und R_{OFF} zuordnen. V_{ON} und V_{OFF} legen die Schaltschwellen fest; R_{ON} und R_{OFF} u.a. beeinflussen das dynamische Schaltverhalten bei kapazitiven Lastverhältnissen. Das folgende Experiment verwendet spannungsgesteuerte Schalter für den CMOS-Inverter anstelle der MOS-Transistoren. Die zugehörige Schaltung ist in Bild 6.4-19 dargestellt. Bild 6.4-20 zeigt das Ergebnis des Experiments. Der Schalter $S1$ schaltet das Bezugspotenzial auf den Ausgang, der Schalter $S2$ die Versorgungsspannung. Von einem Tristate-Ausgang spricht man, wenn beide Schalter offen sind und somit weder das Bezugspotenzial noch die Versorgungsspannung auf den Ausgang geschaltet wird. Es muss allerdings sichergestellt werden, dass nicht beide Schalter geschlossen sind. Um dies zu gewährleisten, wird in der Testschaltung im Steuerkreis ein Inverter verwendet.

Experiment 6.4-10: CMOSINV1_TR_SwitchModell

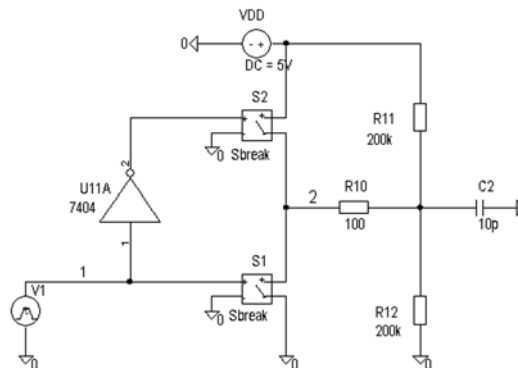


Bild 6.4-19: CMOS-Inverter mit Komplementärschaltern realisiert

Die Verwendung von spannungsgesteuerten Schaltern anstelle eines genaueren MOS-Transistormodells vereinfacht den Aufwand für die Schaltkreissimulation. „Switch-Level“-Simulatoren machen sich diesen Sachverhalt zunutze, die speziell bei MOS-Schaltkreisen in gemischt analog/digitalen Schaltkreisen vorteilhaft eingesetzt werden.

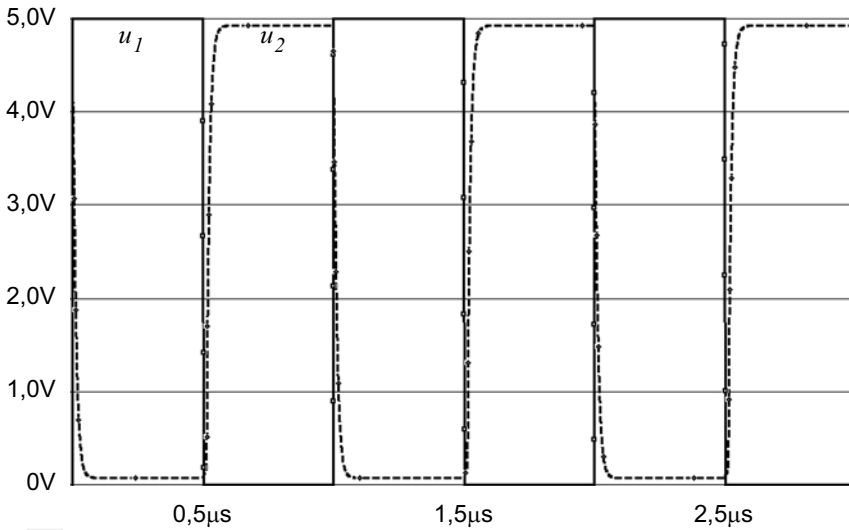


Bild 6.4-20: TR-Analyse des CMOS-Inverters mit Komplementärschaltern

Auf Basis der Komplementärschalter lassen sich Logikfunktionen, wie z.B. die NOR-Funktion oder die NAND-Funktion mit zwei oder mehreren Eingängen realisieren. Bild 6.4-21 zeigt Beispiele für ein NOR-Gatter bzw. ein NAND-Gatter mit zwei Eingängen. Prinzipiell gilt auch hier, dass in Abhängigkeit von der Ansteuerung entweder Ground oder V_{DD} auf den Ausgang geschaltet wird.

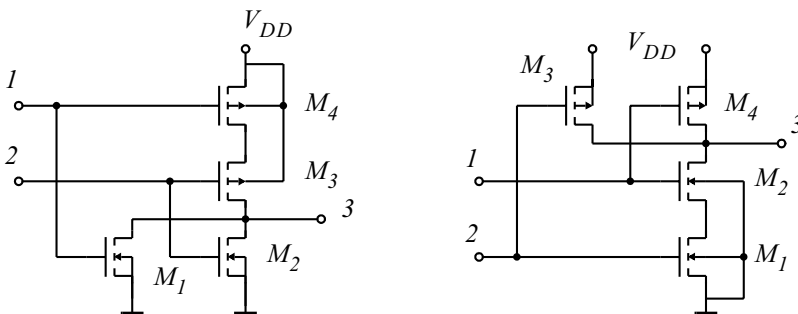


Bild 6.4-21: CMOS-Gatter mit zwei Eingängen: a) NOR-Gatter; b) NAND-Gatter

Die nachstehenden Tabellen beschreiben den Zustand der Transistoren bei logisch "0" bzw. logisch "1" am Eingang. Logisch "0" liegt vor bei einer Eingangsspannung von 0 bis ca. 1,5V; logisch "1" liegt vor bei ca. 3,5V bis 5V.

Tabelle 6.4 - 1: NOR-Gatter mit zwei Eingängen

U_1	U_2	leitende Transistoren	gesperrte Transistoren	U_3
"0"	"0"	M3, M4	M1, M2	"1"
"1"	"0"	M1, M3	M2, M4	"0"
"0"	"1"	M4, M2	M1, M3	"0"
"1"	"1"	M1, M2	M3, M4	"0"

Tabelle 6.4 - 2: NAND-Gatter mit zwei Eingängen

U_1	U_2	leitende Transistoren	gesperrte Transistoren	U_3
"0"	"0"	M3, M4	M1, M2	"1"
"1"	"0"	M2, M3	M1, M4	"1"
"0"	"1"	M1, M4	M2, M3	"1"
"1"	"1"	M1, M2	M3, M4	"0"

Einen Sonderfall stellt das bidirektionale Transmission-Gate dar (Bild 6.4-22). Liegt am Eingang S der Logikzustand "1" vor, so sind die Transistoren $M1$ und $M2$ leitend. Knoten 1 und 2 sind damit relativ niederohmig verbunden. Bei Ansteuerung am Eingang S mit logisch "0" sind die Transistoren $M1$ und $M2$ gesperrt, die Verbindung zwischen Knoten 1 und 2 ist hochohmig unterbrochen.

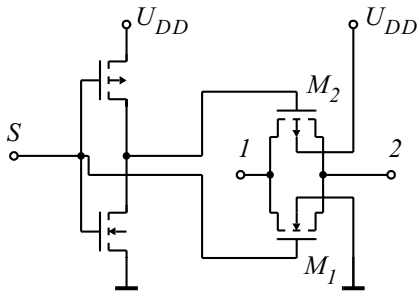


Bild 6.4-22: Transmission-Gate mit Ansteuerung

Um den Bogen zurück zur Analogtechnik zu spannen, wird ein CMOS-Inverter so beschaltet, dass der Arbeitspunkt in der Weise sich einstellt, dass ein Verstärkerverhalten gegeben ist. Es lassen sich somit mit einem Digitalschaltkreis bei geeigneter Beschaltung Verstärkereigenschaften realisieren. Bild 6.4-23 zeigt einen CMOS-Inverter mit Parallelgegenkopplung. Durch den Widerstand $R2$ im Rückkopplungspfad entsteht selbstzentrierend ein geeigneter Arbeitspunkt für den Verstärkerbetrieb.

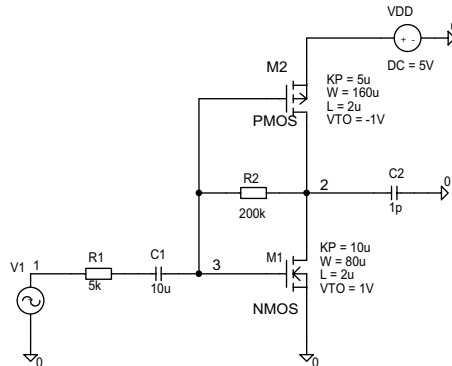


Bild 6.4-23: CMOS-Inverter als parallelgegekoppelter Verstärker

In einem ersten Experiment wird für die Testschaltung von Bild 6.4-23 der Arbeitspunkt bestimmt. Die Transistoren $M1$ und $M2$ sind so dimensioniert, dass sie gleiche Stromergiebigkeit aufweisen, somit muss bei $5V$ Versorgungsspannung der Arbeitspunkt am Ausgang bei $2,5V$ liegen.

Wie bereits erwähnt, ist der CMOS-Inverter mit $R2$ parallelgegekoppelt. Zur DC-Entkopplung muss am Eingang $C1$ eingefügt werden. Die Bestimmung des Arbeitspunktes erfolgt durch DC-Analyse. Das Ergebnis der DC-Analyse zeigt Bild 6.4-24. Bei zwei Transistoren sind zwei Netzwerkgleichungen so zu formulieren, dass nur Ströme und Steuerspannungen auftauchen. Die zwei Netzwerkgleichungen lauten für die Schaltung in Bild 6.4-23:

$$-U_{GS, M2} + U_{GS, M1} = 5V; \quad (6.4-18)$$

$$|I_{D, M2}| = I_{D, M1};$$

Bei $\beta_{M1} = \beta_{M2}$ ist wegen der Symmetrie $U_{GS, M1} = |U_{GS, M2}| = 2,5V$; der Arbeitspunkt liegt also damit genau dort, wo Verstärkung gegeben ist. Zunächst soll durch DC-Analyse der Testschaltung im folgenden Experiment dieser Sachverhalt bestätigt werden.

Experiment 6.4-11: CMOSVER – DC-Analyse und AC-Analyse des Verstärkers im Arbeitspunkt mit dem SimulationProfile „DC“ und „AC“.

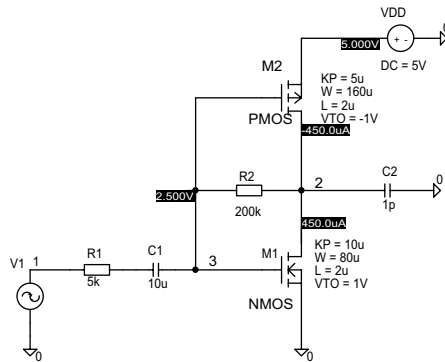


Bild 6.4-24: Ergebnis der DC-Analyse

Als nächstes erfolgt für die Testschaltung in Bild 6.4-23 eine AC-Analyse. Das Ergebnis der AC-Analyse ist in Bild 6.4-25 dargestellt. Der Lastwiderstand an Knoten 2 ist in dem Schaltungsbeispiel $200k\Omega$ (ohne Berücksichtigung von Innenwiderständen). Somit ist die „innere“ Verstärkung von Knoten 3 nach Knoten 2:

$$|v|_{23} = (g_{m,M1} + g_{m,M2}) \cdot 200k\Omega = 400/1,66k\Omega \approx 240; \quad (6.4-19)$$

Die Gesamtverstärkung von Knoten 1 nach Knoten 2 ist dann, wie für Parallelgegenkopplung bei genügend hoher „innerer“ Verstärkung bekannt:

$$|v|_{21} = R_2/R_1 = 40; \quad (6.4-20)$$

Die Lastkapazität bildet mit dem Innenwiderstand an Knoten 2 eine obere Eckfrequenz.

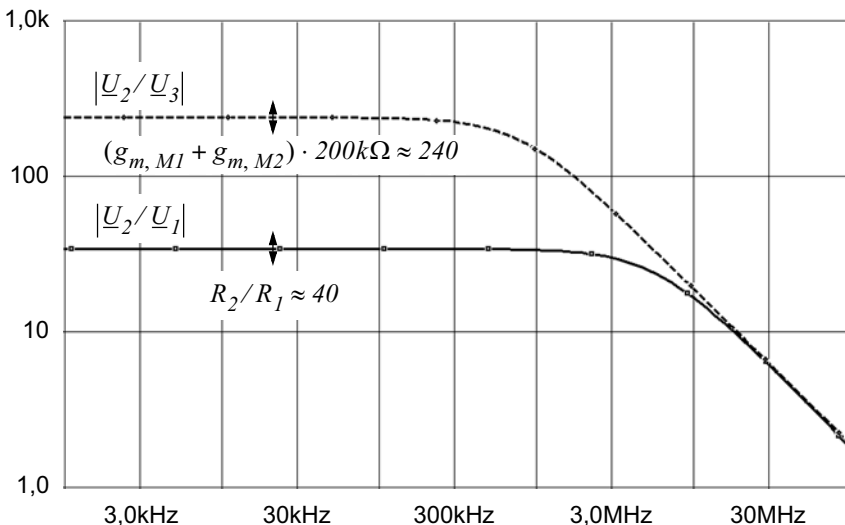


Bild 6.4-25: Ergebnis der AC-Analyse des CMOS-Inverters

6.4.3 Schalter-Kondensator-Technik

In integrierten Schaltkreisen wird besonders vorteilhaft die Schalter-Kondensator-Technik (SC-Technik: Switched-Capacitor-Technik) angewendet. Mit ihr lassen sich in integrierten Digitalschaltungen besonders vorteilhaft bei niedrigem Leistungsverbrauch Schaltungsfunktionen durch Schalter, Kondensatoren und Verstärker realisieren. Das Grundprinzip der Schalter-Kondensator-Technik ist der Ladungstransfer zwischen Kapazitäten, gesteuert durch Umschaltvorgänge. Im Beispiel Bild 6.4-26 wird von zwei phasenverschoben angesteuerten NMOS-Schaltern der Ladungstransfer von Kapazität $C1$ nach $C2$ gesteuert. Das Wirkungsprinzip soll beispielhaft an einem RC-Tiefpass dargestellt werden. Die Übertragungsfunktion hängt vom Kapazitätsverhältnis und von der Taktfrequenz ab. In der Praxis ist man insbesondere in der integrierten Technik bestrebt, möglichst kleine Kapazitätswerte zu realisieren. In einem ersten Experiment wird ein RC-Tiefpass mit zwei phasenverschoben angesteuerten MOS-Schaltern ($M1$, $M2$) und zwei Kapazitäten ($C1$, $C2$) untersucht. Anschließend erfolgt die Erweiterung des Prinzips auf einen Integrator.

Experiment 6.4-12: SC_Tiefpass_50p_200p

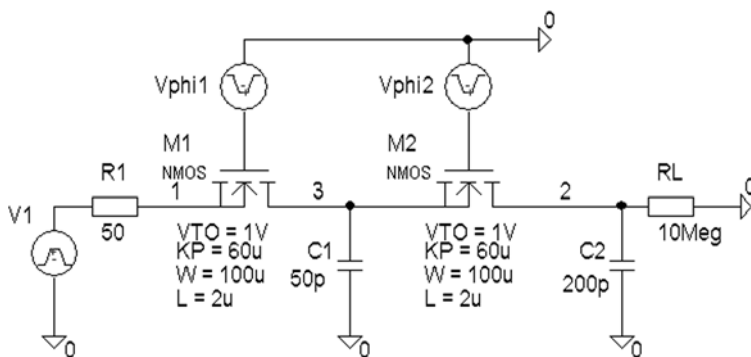


Bild 6.4-26: Schalter-Kondensator-Tiefpass

Die Transistoren $M1$ und $M2$ werden über die Steuerspannungen $Vphi1$ und $Vphi2$ geschaltet. Die Schaltfrequenz muss deutlich größer sein, als die Signalfrequenz. Die Prinzipschaltung des Schalter-Kondensator-Tiefpasses zeigt Bild 6.4-27. Für den Schalter gibt es drei Zustände: a) beide Transistoren sind gesperrt; b) Transistor $M1$ ist leitend und $M2$ gesperrt; c) Transistor $M2$ ist leitend und $M1$ ist gesperrt. Im Falle b) ist der Kondensator $C1$ an die Signalquelle geschaltet; im Falle c) sind die beiden Kondensatoren $C1$ und $C2$ miteinander verbunden. Der Ausgangswiderstand stellt einen hochohmigen Lastwiderstand dar.

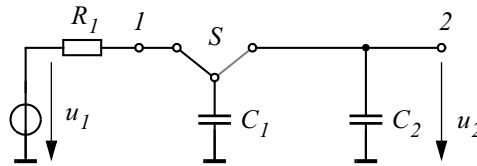


Bild 6.4-27: Prinzipsaltung eines Schalter-Kondensator-Tiefpasses

Das Simulationsergebnis der Testschaltung von Bild 6.4-26 zeigt das Ergebnis in Bild 6.4-28. Das Tiefpassverhalten ist im übrigen unabhängig vom Absolutwert der Kapazitäten. Es hängt ab von der Schaltfrequenz und vom Verhältnis der Kapazitäten. Allerdings ist bei kleinen Kapazitätswerten die Ladungsmenge bei gleicher Spannung niedriger. Damit haben Leckströme einen größeren Einfluss.

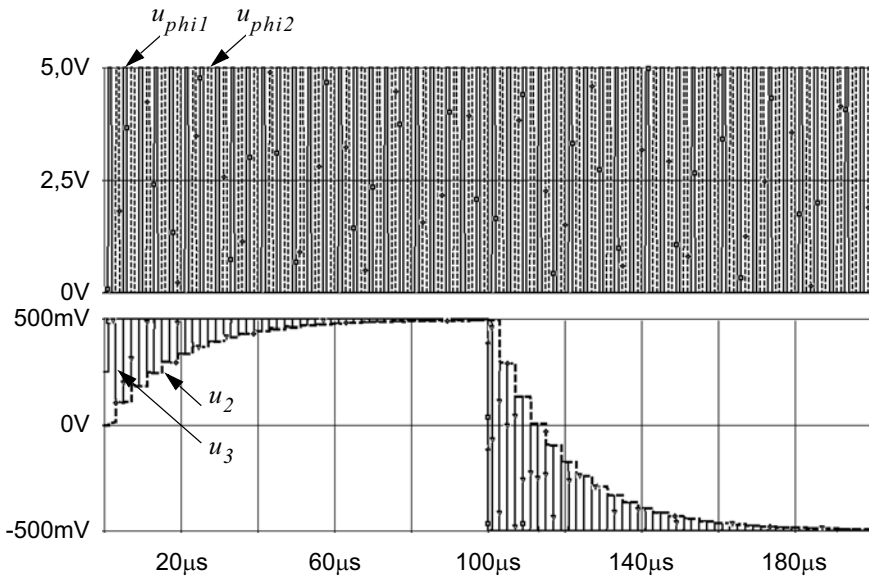


Bild 6.4-28: Ergebnis der TR-Analyse des SC-Tiefpasses; Einhüllende: Verlauf von u_2

Zum besseren Verständnis wird der Zeitbereich gedehnt. In Bild 6.4-29 ist die Steuerspannung $u_{\phi 1}$ und $u_{\phi 2}$ der Transistoren $M1$ und $M2$ dargestellt, des weiteren der Ladestrom i_{C1} und i_{C2} der Kapazitäten. Die Größe des Ladestroms hängt vom Kapazitätswert und von der Änderungsgeschwindigkeit der Ladespannung ab. Um nicht zu hohe Ströme zu erhalten, sollte die Flankensteilheit der Steuerspannung für $M1$ und $M2$ nicht zu steil sein.

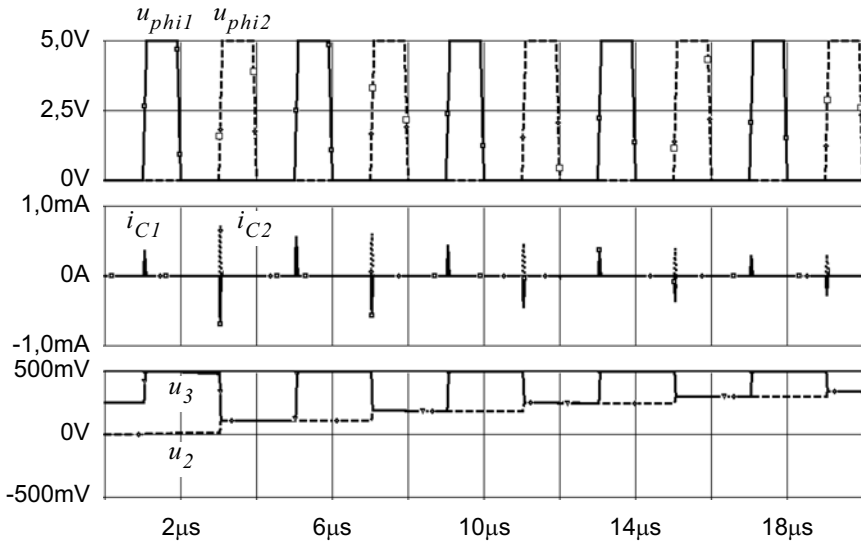


Bild 6.4-29: Ergebnis der TR-Analyse mit gedehntem Zeitmaßstab

Zunächst sind bei $t = 0$ die beiden NMOS-Transistoren gesperrt. Die Ausgangsspannung u_2 ist Null, da zum Kondensator C_2 noch keine Ladung transferiert wurde. Die Eingangsspannung $U_1 = 0,5V$ teilt sich je zur Hälfte auf die beiden gesperrten NMOS-Transistoren auf. Bei $t = 1\mu s$ wird $M1$ durchgeschaltet. Die Eingangsspannung $U_1 = 0,5V$ liegt nun am Kondensator C_1 bzw. an Knoten 3. Der Kondensator C_1 wird aufgeladen, es wird ihm eine Ladung in Höhe von:

$$\Delta Q_1 = C_1 \cdot U_1; \quad (6.4-21)$$

zugeführt. Es fließt ein entsprechender mittlerer Ladestrom bezogen auf die Schaltperiode T :

$$I = \Delta Q_1 / T; \quad (6.4-22)$$

Bei $t = 2\mu s$ ist der NMOS-Transistor $M1$ wieder abgeschaltet. Der Kondensator C_1 hält die Ladung bzw. Spannung. Bei $t = 3\mu s$ wird $M2$ durchgeschaltet. Die Ladung von C_1 verteilt sich nunmehr auf C_1 und C_2 . Damit ergibt sich folgende Spannung an C_2 bzw. an Knoten 2 bei konstanter Ladung:

$$Q_1 = (C_1 + C_2) \cdot U_2; \quad (6.4-23)$$

Aufgrund der im Beispiel gegebenen Werte für C_1 und C_2 erhält man für U_2 eine Spannung von $0,5V/5 = 0,1V$. Bei $t = 4\mu s$ wird der NMOS-Transistor $M2$ wieder abgeschaltet. Der Kondensator C_1 und der Kondensator C_2 hält die Spannung von $U_2 = 0,1V$.

Bei $t = 5\mu s$ erfolgt ein erneutes Durchschalten von $M1$. Dem Kondensator C_1 wird eine weitere Ladungsmenge

$$\Delta Q_1 = C_1 \cdot (U_1 - U_2); \quad (6.4-24)$$

zugeführt. Ab $t = 6\mu\text{s}$ wird $M1$ abgeschaltet. Der Kondensator $C1$ hält die zugeführte Ladung. Als nächstes wird $M2$ bei $t = 7\mu\text{s}$ wieder durchgeschaltet. Die Ladung von $C1$ verteilt sich somit erneut auf $C1$ und $C2$. Es ergibt sich die Spannung $U_2 = 0,1V + 0,4V/5 = 0,18V$. Wird $M2$ bei $t = 8\mu\text{s}$ abgeschaltet, wird die Spannung $U_2 = 0,18V$ gehalten.

Allgemein erfolgt bei positiver Eingangsspannung eine Zuführung von Ladung an den Kondensator $C1$ nach obiger Gleichung während der Schaltperiode T . Der mittlere Ladestrom bezogen auf eine Schaltperiode T beträgt demnach:

$$I = \frac{\Delta Q_1}{T} = \frac{C_1 \cdot (U_1 - U_2)}{T} = f \cdot C_1 \cdot (U_1 - U_2) = \frac{(U_1 - U_2)}{R_{equ}}; \quad (6.4-25)$$

Durch Koeffizientenvergleich wird deutlich, dass die Schaltungsanordnung bestehend aus $M1$, $M2$ und $C1$ wie ein Widerstand der Größe

$$R_{equ} = 1/(f \cdot C_1); \quad (6.4-26)$$

wirkt. Der äquivalente Widerstand R_{equ} stellt mit $C2$ einen RC-Tiefpass dar. Bei einer Schaltperiode von $T = 4\mu\text{s}$ und einem Kapazitätswert $C1 = 50\text{pF}$ ergibt sich ein äquivalenter Widerstand der Größe $R_{equ} = 80\text{k}\Omega$. Der äquivalente Widerstand R_{equ} wird bestimmt durch die Schaltfrequenz und durch die Kapazität $C1$. Damit geht in die Zeitkonstante des Tiefpasses nur das Kapazitätsverhältnis und die Schaltfrequenz ein.

Soll bei gleichbleibender Schaltfrequenz die Zeitkonstante verändert werden, so ist das Kapazitätsverhältnis zu ändern. Als nächstes Experiment wird bei gleicher Schaltungsanordnung der Kondensator $C2$ von 200pF auf 2nF erhöht. Damit erhöht sich die Zeitkonstante, wie aus dem Ergebnis in Bild 6.4-30 zu entnehmen ist.

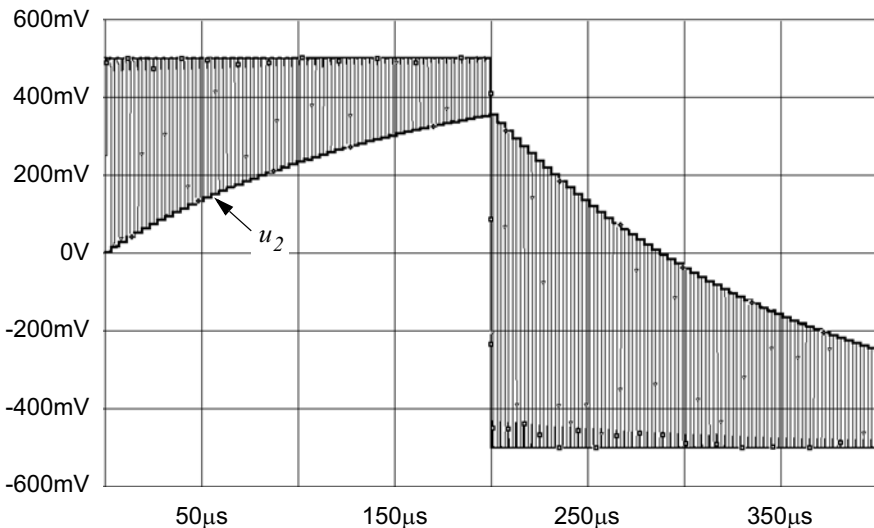


Bild 6.4-30: Ergebnis der TR-Analyse mit $C2 = 2\text{nF}$; Einhüllende: Verlauf von u_2

Experiment 6.4-13: SC_RCglied_50p_2n

Das am Tiefpass dargestellte Prinzip kann auf andere Schaltungen angewendet werden. Zur beispielhaften Erweiterung wird im folgenden Experiment eine SC-Integratorschaltung gewählt.

Experiment 6.4-14: SC_Integrator1

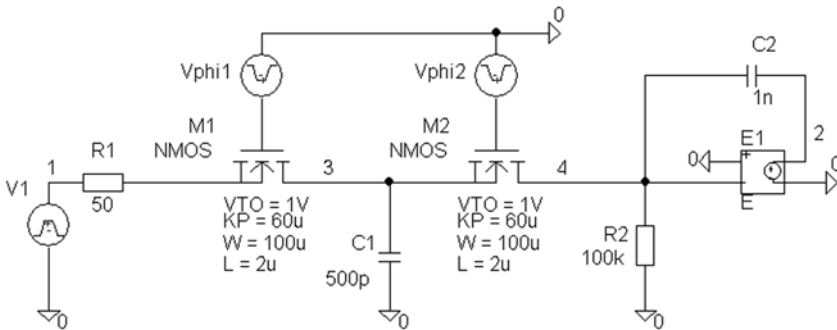


Bild 6.4-31: SC-Integratorschaltung

Der Leckstrom der NMOS-Transistoren in der Größenordnung von nA bildet an RL eine Offsetspannung, die sich am Ausgang bemerkbar macht. Aus dem Grunde darf der Widerstand RL bzw. $R2$ nicht zu hochohmig sein.

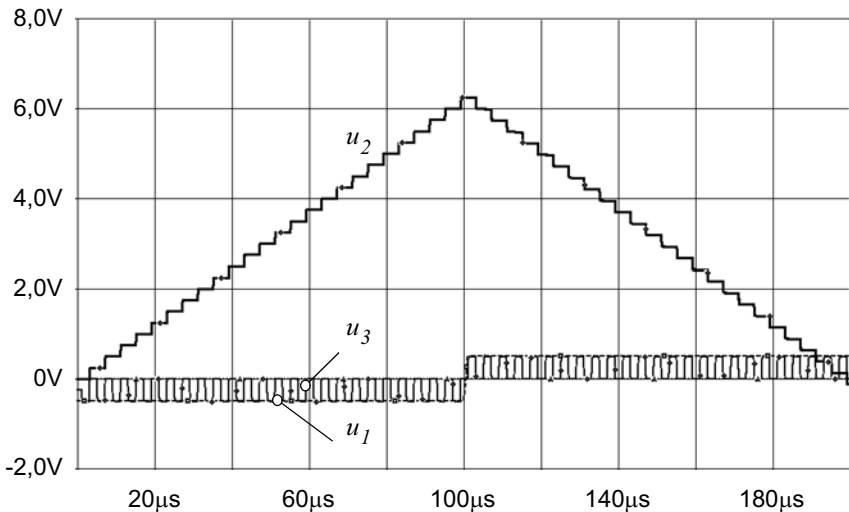


Bild 6.4-32: Ergebnis des SC-Integrators

Bei einer Amplitude der Eingangsspannung von $U_I = 0,5V$ und einem äquivalenten Widerstand $R_{equ} = 8k\Omega$ erhält man für die gegebene Schaltung folgende Beziehung:

$$0,5V/8k\Omega = 1nF \cdot \frac{\Delta u_2}{\Delta t}; \quad (6.4-27)$$

Es ergibt sich somit eine Spannungsänderung am Ausgang von $6,25V$ pro $100\mu s$, was durch das Simulationsergebnis in Bild 6.4-32 sehr gut bestätigt wird.

Die beschriebenen Beispiele stehen für vielfältige Anwendungen der Schalter-Kondensator-Technik. Im Rahmen der Erarbeitung von Grundlagen soll das Thema bewusst auf das Wirkungsprinzip beschränkt werden.

6.5 Beispiele von Funktionsschaltungen

Aus der schier unendlichen Vielfalt möglicher Funktionsschaltungen für konkrete Anwendungen werden einige signifikante Beispiele herausgegriffen und näher untersucht. Dabei gilt es auch deutlich zu machen, dass komplexere Funktionsschaltungen wiederum aus Funktionsprimitiven zusammengesetzt sind.

6.5.1 Spannungsgesteuerter Oszillator

Es soll ein mögliches Realisierungsbeispiel für einen spannungsgesteuerten Oszillator (VCO) untersucht werden. Spannungsgesteuerte Oszillatoren benötigt man vielfach u.a. zur Spannungs/Frequenzwandlung, zur FM-Modulation und in phasengeregelten Schaltkreisen (PLL-Schaltkreisen) zur Frequenzsynchronisation, zur Taktsynchronisation oder zur FM-Demodulation. In Bild 6.5-1 ist das zu untersuchende Realisierungsbeispiel dargestellt. Der VCO besteht aus einer vorgeschalteten spannungsgesteuerten Stromquelle I_I (hier sei nur die Stromquelle betrachtet), den MOS-Schaltern $M1$, $M2$, $M3$ und $M4$, der Kapazität $C1$, den Komparatoren $E1$ und $E2$ und einem Flip-Flop ($U3A$ und $U3B$). Das Grundprinzip des Oszillators beruht auf dem „Laufzeit“-Prinzip. Die Zeitkonstante wird bestimmt durch die Kapazität $C1$ und durch den Ladestrom I_I .

Über die Gatter $U4A$ und $U4B$ steuern bei aktivem Enable-Eingang die Ausgänge des Flip-Flops die MOS-Schalter so, dass bei $S1 = "1"$ und $S3 = "0"$ die Kapazität $C1$ über die durchgeschalteten Transistoren $M1$ und $M4$ aufgeladen wird. Bei $S1 = "0"$ und $S3 = "1"$ erfolgt ein Entladen der Kapazität $C1$. Beim Entladevorgang ist $M2$, $M3$ durchgeschaltet und $M1$, $M4$ gesperrt. Erreicht beim Entladevorgang die Spannung u_{3+} die Komparatorschwelle von $E2$, so entsteht ein Triggerimpuls u_5 am Flip-Flop Eingang. Das Flip-Flop wird zurückgesetzt, damit ist $S1 = "1"$ und $S3 = "0"$. Die Kapazität $C1$ wird über die durchgeschalteten Transistoren $M1$ und $M4$ dann wieder aufgeladen. Es erfolgt ein ständiges Auf- und Entladen der Kapazität $C1$. Die Ladezeitkonstante bestimmt mit der Komparatorschwelle die Schwingfrequenz. Erhöht man den Ladestrom mit I_I , so ergibt sich

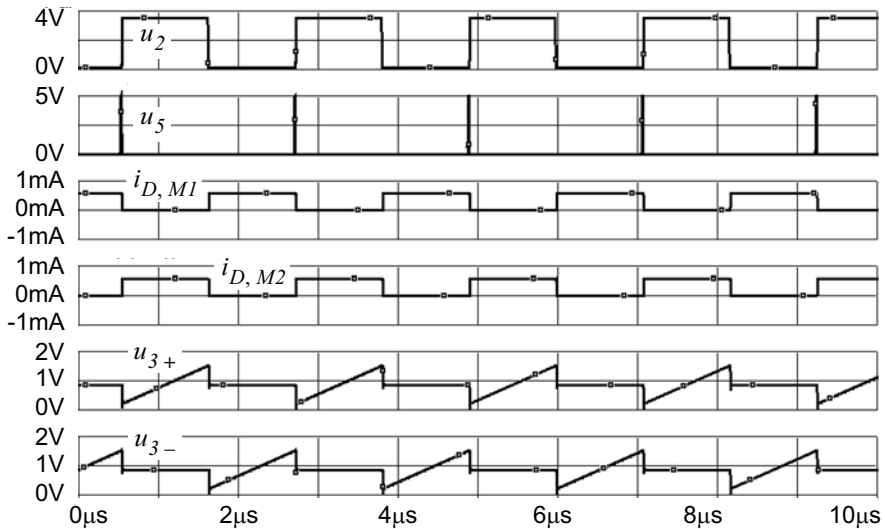


Bild 6.5-2: Ausgangsspannung des VCO u_2 , Triggerimpuls u_5 des Flip-Flop, Drainstrom $i_{D,M1}$ des NMOS-Transistors $M1$ und Drainstrom $i_{D,M2}$ des PMOS-Transistors $M2$ und Spannung u_{3+} und u_{3-} an den Anschlüssen des Kondensators $C1$

6.5.2 Phasenvergleich

Phasenvergleich benötigt man u.a. in Phasenregelkreisen. Eine beispielhafte Realisierung zeigt Bild 6.5-3. Die Eingangssignale an Knoten $IN1$ und $IN2$ werden über die idealisierten Komparatoren $E1$ und $E2$ digitalisiert auf die Clock-Eingänge der D-Flip-Flops $U1A$ und $U2A$ gebracht. In der gegebenen Schaltungsanordnung setzt eine positive Flanke das D-Flip-Flop. Eilt das Signal der Signalquelle $V1$ gegenüber dem Signal der Signalquelle $V2$ vor, so wird zuerst das D-Flip-Flop $U1A$ gesetzt und dann um die Nacheilzeit des Signals $IN2$ (im Beispiel ist $TD = 20\mu s$) verzögert das D-Flip-Flop $U2A$ gesetzt. Sind beide Flip-Flops gesetzt, so erzeugt das Gatter $U4A$ einen Rücksetzimpuls $CLR = "0"$. Der "0"-aktive Rücksetzimpuls wird über eine Inverterkette verzögert, um „Setup-Hold-Time-Violations“ des Flip-Flops zu vermeiden. Bei Voreilung des Signals $IN1$ gegenüber $IN2$ um $20\mu s$ ist das Signal UP für die Zeit des Phasenunterschieds ($20\mu s$) $UP = "0"$. Damit wird der PMOS-Transistor $M2$ durchgeschaltet. Bei durchgeschaltetem Transistor $M2$ liegt die Versorgungsspannung von $5V$ am Ausgang out . Die Gatter $U3$ und $U5$ verhindern, dass die Transistoren gleichzeitig leitend werden. Es soll entweder $M2$ die Versorgungsspannung auf den Ausgang schalten, oder $M1$ Masse auf den Ausgang schalten. Sind beide Transistoren gesperrt (TriState), liegt der Ausgang bei fehlendem Ausgangstiefpass hochohmig auf $2,5V$. Der Tiefpass am Ausgang integriert die Spannungsimpulse, so dass der Mittelwert der Ausgangsspannung u_2 bei voreilem Signal $IN1$ einen Wert über $2,5V$ annimmt. In Bild 6.5-4 zeigt das Ergebnis bei einem um $TD = 20\mu s$ nachei-

lenden Signal *IN2*.

In einem ersten Experiment ist das Eingangssignal $IN2$ um $TD2 = 20\mu s$ gegenüber dem Signal $IN1$ nachteilig. Im darauffolgenden Experiment wirkt das Eingangssignal $IN1$ gegenüber $IN2$ nachteilig. Die Ergebnisse sind aus Bild 6.5-4 und Bild 6.5-5 zu entnehmen.

Experiment 6.5-3: Digitaler-Phasenvergleich mit $TD2=20\mu s$

Experiment 6.5-4: Digitaler-Phasenvergleich mit $TD1=20\mu s$

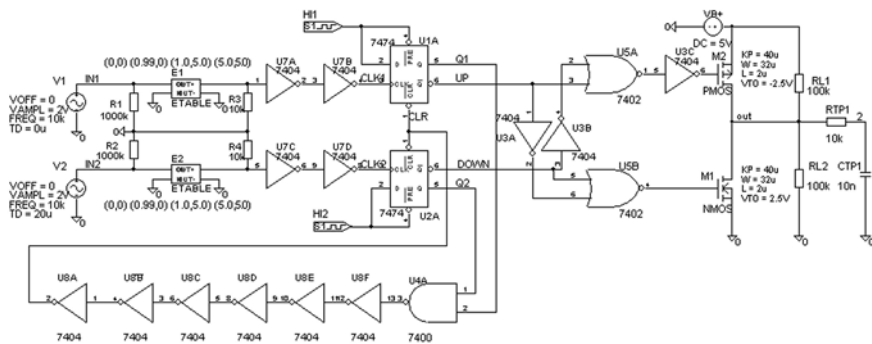


Bild 6.5-3: Digitaler Phasenvergleich mit TriState-Buffer und Tiefpass am Ausgang

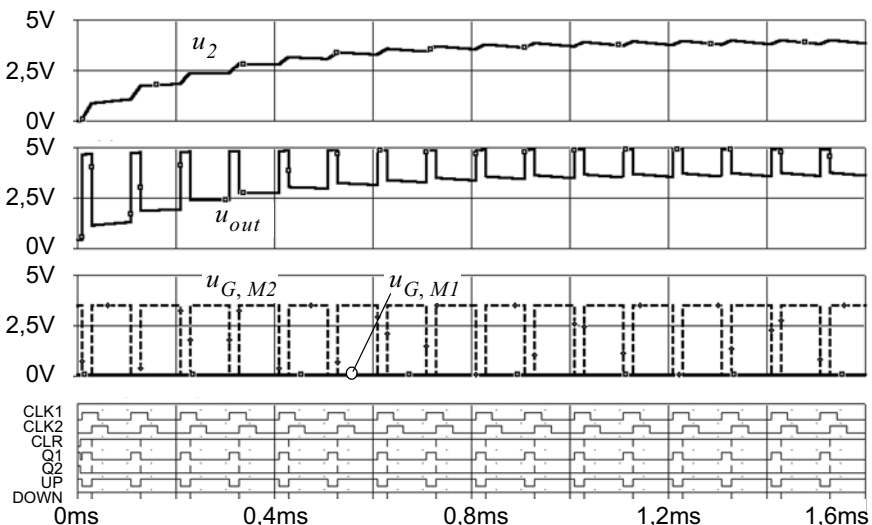


Bild 6.5-4: Simulationsergebnis des Phasenvergleichers; Ausgangsspannung des Integrators u_2 , Ausgangsspannung am TriState-Ausgang u_{out} , Steuerspannung der Transistoren $M1$ und $M2$, und Digitalsignale des Phasenvergleichers bei um $TD = 20\mu s$ nacheilendem Signal $IN2$ gegenüber $IN1$

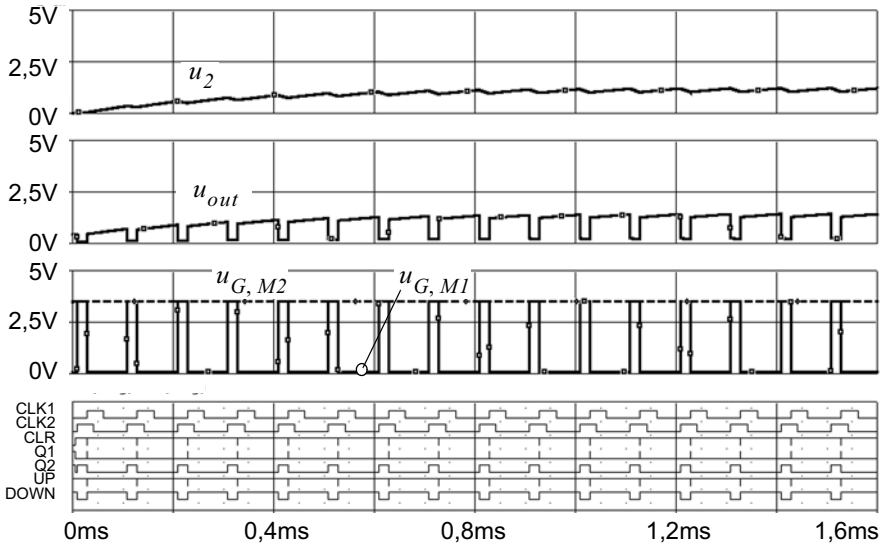


Bild 6.5-5: Simulationsergebnis des Phasenvergleichers; Ausgangsspannung des Integrators u_2 , Ausgangsspannung am TriState-Ausgang u_{out} , Steuerspannung der Transistoren $M1$ und $M2$, und Digitalsignale des Phasenvergleichers bei um $TD = 20\mu s$ vorseilendem Signal $IN1$ gegenüber $IN2$

Das folgende Zustandsdiagramm (Bild 6.5-6) zeigt die Wirkungsweise des betrachteten digitalen Phasendetektors. Prinzipiell weist der Ausgang einen Tri-State-Ausgang auf. Je nach Ansteuerung mit den Eingangssignalen $IN1$ und $IN2$ ist der Ausgang aufgrund des leitenden Transistors $M2$ auf die Versorgungsspannung U_{B+} geschaltet (Zustand „M2“), bzw. bei leitendem Transistor $M1$ auf „Ground“ geschaltet (Zustand „M1“ oder er befindet sich im hochohmigen Zustand „Z“, wenn beide Transistoren gesperrt sind.

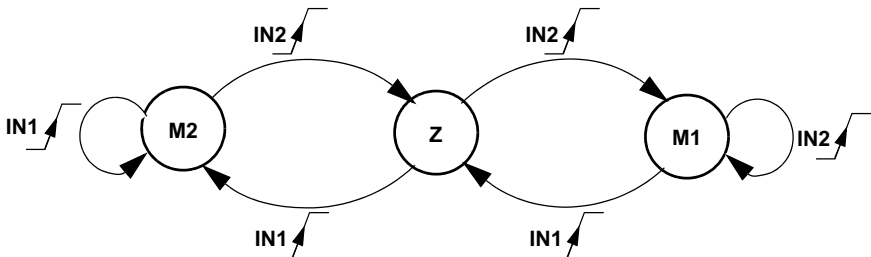


Bild 6.5-6: Zustandsdiagramm des digitalen Phasendetektors

Der Phasendetektor befindet sich zunächst im Zustand „Z“ und die beiden Transistoren $M1$ und $M2$ sind gesperrt. Das bedeutet, daß der Ausgang des Phasendetektors hochohmig ist. Eine steigende Flanke am Eingang $IN1$ bewirkt einen

Übergang zum Zustand „M2“, d.h. der Transistor $M2$ wird leitend, während der Transistor $M1$ weiterhin gesperrt. Dadurch wird der Kondensator des anschließenden Tiefpasses aufgeladen. Weitere steigende Flanken an $IN1$ bewirken keine Zustandsänderungen. Weist nun der Eingang $IN2$ eine steigende Signalfanke auf, werden beide Flip-Flops über das CLR Signal zurückgesetzt und der Ausgang geht wieder in den Grundzustand „Z“ (hochohmig) über. Eine steigende Flanke am Eingang $IN2$ bewirkt nun den Übergang zu Zustand „M1“. Jetzt wird der Ausgang auf „Ground“ geschaltet. Es erfolgt ein Entladen des Kondensators des anschließenden Tiefpasses aufgrund des gegen Masse durchgeschalteten Transistor $M1$; $M2$ bleibt gesperrt. Unmittelbar folgende, steigende Flanken an $IN2$ bewirken keine Zustandsänderung. Es erfolgt ein weiteres Absinken der Spannung am Tiefpass-Ausgang. Eine steigende Flanke an $IN1$ hat wiederum ein Rücksetzen in den hochohmigen Zustand zur Folge.

6.5.3 Induktiver Abstandssensor

Gemäß der Patentschrift¹ soll ein induktiver Abstandssensor untersucht werden. Die erfindungsgemäße Schaltung ist im nachstehenden Bild 6.5-7 skizziert. Sie enthält einen Parallelresonanzkreis mit der Sensorspule LI und der parallel liegenden Kapazität CI .

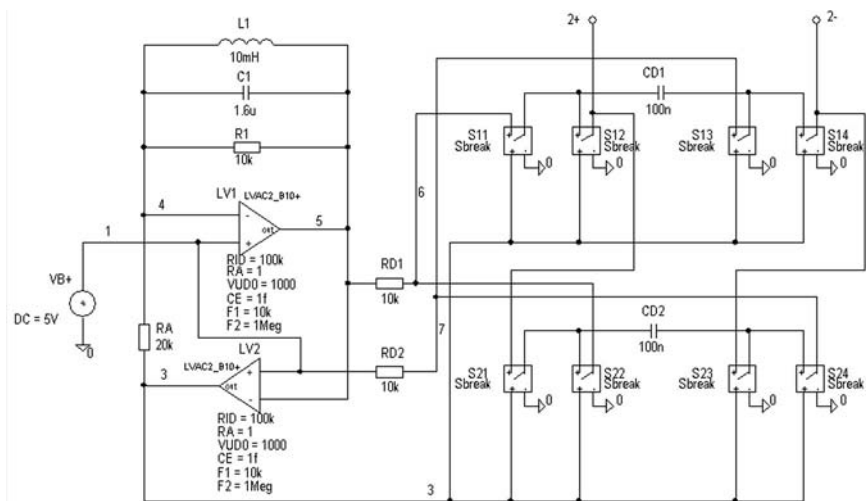


Bild 6.5-7: Schaltung zur induktiven Distanzerfassung eines Metallteils

Bei Annäherung eines metallischen Gegenstands wird dieser vom Magnetfeld der Spule erfasst. Es ergeben sich Wirbelstromverluste auf der Oberfläche des

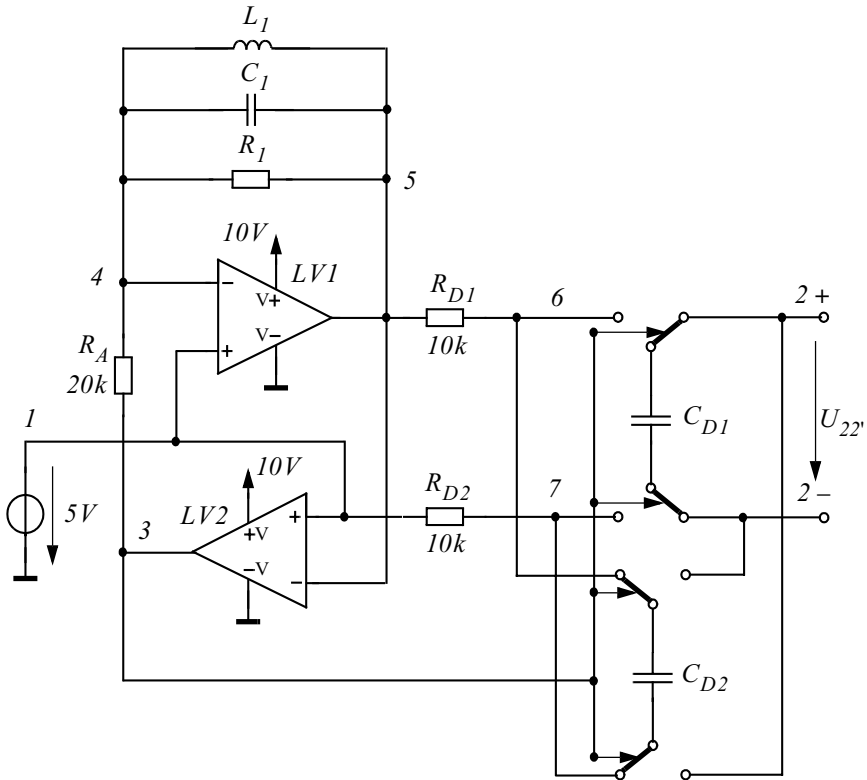
1. Patentschrift DE 4232426C2; Hofbeck, M., Kodl, G.: „Schaltung zur induktiven Distanzerfassung eines Metallteils“; 8. September 1994

metallischen Gegenstands. Diese Wirbelstromverluste machen sich als zusätzliche Bedämpfung des Parallelresonanzkreises bemerkbar. Bei stärkerer Annäherung erhöht sich die Bedämpfung, der virtuelle Verlustwiderstand R_I wird niederohmiger. Es gibt einen Zusammenhang zwischen dem virtuellen Verlustwiderstand und der Entfernung eines metallischen Gegenstands von der Spule des Parallelresonanzkreises. Eine Sensorelektronik hat die Aufgabe, den virtuellen Verlustwiderstand des Parallelresonanzkreises in einem möglichst weiten Variationsbereich zu messen. Die in der Patentschrift veröffentlichte Schaltung ist nachstehend für die Simulation mit PSpice aufbereitet.

Der Parallelresonanzkreis mit L_I , C_I und dem virtuellen Verlustwiderstand R_I bildet mit den beiden Verstärkern $LV1$ und $LV2$ einen Oszillator, der bei der gegebenen Dimensionierung bei ca. 1 kHz schwingt. Der Rückkopplungspfad des Oszillators wirkt ausgehend vom (-) Eingang des Verstärkers $LV1$ über dessen Ausgang zum (-) Eingang des Verstärkers $LV2$ zurück zum (-) Eingang von $LV1$. Die Schalter $S11$ bis $S24$ können paarweise durch CMOS-Schalter ersetzt werden. Dafür bietet sich u.a. der Baustein „LTC1043 – Dual Precision Instrumentation Switched Capacitor Building Block“ von Linear Technology an. Der Widerstand R_A muss größer sein, als der größtmögliche zu messende virtuelle Verlustwiderstand R_I .

Der Verstärker $LV1$ arbeitet als Transimpedanzverstärker mit dem Parallelresonanzkreis im Rückkopplungspfad, der Verstärker $LV2$ als Komparator. Die Versorgungsspannung der Verstärker liegt unsymmetrisch bei 10 V , der Arbeitspunkt bei 5 V . Somit schaltet der Ausgang des Komparators $LV2$ zwischen 10 V und 0 V . Bei 0 V an Knoten 3 sind die Schalter $S11$, $S13$, $S21$ und $S23$ offen und $S12$, $S14$, $S22$ und $S24$ geschlossen; bei 10 V sind $S12$, $S14$, $S22$ und $S24$ offen und $S11$, $S13$, $S21$, $S23$ geschlossen. Ist $S11$, $S13$, $S21$ und $S23$ offen und $S12$, $S14$, $S22$, $S24$ geschlossen, so wird die Kapazität $CD1$ auf den Ausgang $22'$ geschaltet und die Kapazität $CD2$ an $RD1$ bzw. $RD2$, d.h. $CD2$ liegt dann an Knoten 6 und 7. Bei der darauf folgenden Halbwelle liegt umgekehrt $CD2$ am Ausgang $22'$ und $CD1$ an $RD1$ bzw. $RD2$.

Das etwas vereinfachte Schaltungsprinzip zeigt Bild 6.5-8. Bei unsymmetrischer Versorgungsspannung mit $U_B = 10\text{ V}$ gegen Masse benötigt man eine Hilfsspannung von 5 V an Knoten 1. Bei hinreichend hoher Verstärkung von $LV1$ ist Knoten 4 damit stets auf 5 V . Der Komparatorausgang an Knoten 3 schaltet zwischen 0 V und 10 V . Ist die Knotenspannung an Knoten 5 geringfügig größer als 5 V geht der Ausgang des Komparators $LV2$ auf 0 V , ist sie geringfügig kleiner geht der Ausgang auf 10 V . Bei 10 V an Knoten 3 wird dem Resonanzkreis mit L_I , C_I , R_I über dem Widerstand R_A ein Anregungsstrom eingeprägt. Der Ausgang an Knoten 5 reagiert mit einer sinusförmigen Spannung mit negativer Amplitude bezüglich der Referenzspannung von 5 V . Damit bleibt der Ausgang des Komparators auf 10 V . Sobald die sinusförmige Spannung an Knoten 5 geringfügig über 5 V liegt schaltet der Ausgang des Komparators auf 0 V . Jetzt dreht sich die Phase des Anregungsstroms für den Resonator um 180° . Damit entsteht bezüglich der 5 V Referenzspannung eine positive Amplitude, was den Komparatorausgang auf 0 V hält (siehe Bild 6.5-9). Die Schwingbedingung wird erfüllt durch phasenrichtiges Umschalten des Komparators.

Experiment 6.5-5: Induktiver Abstandssensor**Bild 6.5-8:** Prinzipschaltung des induktiven Abstandssensors

Das Simulationsergebnis in Bild 6.5-10 zeigt die Ausgangsspannung u_{22} des Abstandssensors bei $R_I = 10k\Omega$. Verändert sich der Widerstand R_I aufgrund von Wirbelstromverlusten bei Annäherung eines metallischen Gegenstandes, so ändert sich die Ausgangsamplitude U_{22} . Damit ergibt sich ein Zusammenhang zwischen dem Abstand zu einem metallischen Gegenstand und der Ausgangsamplitude. Ein Vorteil der Schaltung ist, dass auch bei starker Bedämpfung die Schwingung nicht abreißt. Man erzielt damit einen relativ großen Auswertebereich. Der Leser möge am Experiment eigene ergänzende Untersuchungen anstellen, z.B. durch Veränderung des „Sensorwiderstandes“ R_I .

Die beschriebene Schaltungsanordnung ist offengelegt und patentrechtlich geschützt. Der Inhaber der Schutzrechte besitzt mit dem Patent ein „Verbotungsinstrument“. Er kann einem Anwender die Nutzung untersagen oder gegen eine Lizenzgebühr ein Nutzungsrecht einräumen. Die Lizenzgebühr richtet sich nach Umsatzerfolg und Wertschöpfungsbeitrag der Schaltungsanordnung zu einem Anwendungssystem.

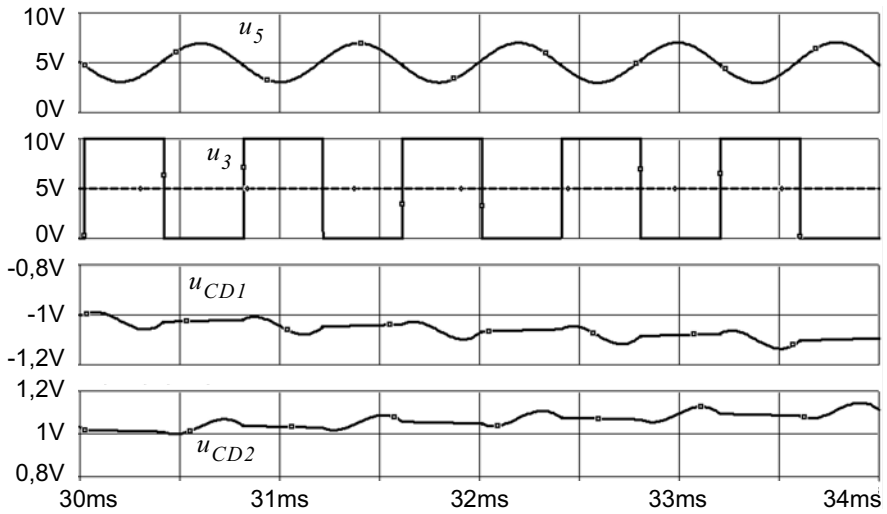


Bild 6.5-9: Ausgangsspannung des Komparators u_3 , Knotenspannung u_5 am Ausgang des Resonators und Spannungsverläufe an den Kondensatoren $CD1$ und $CD2$

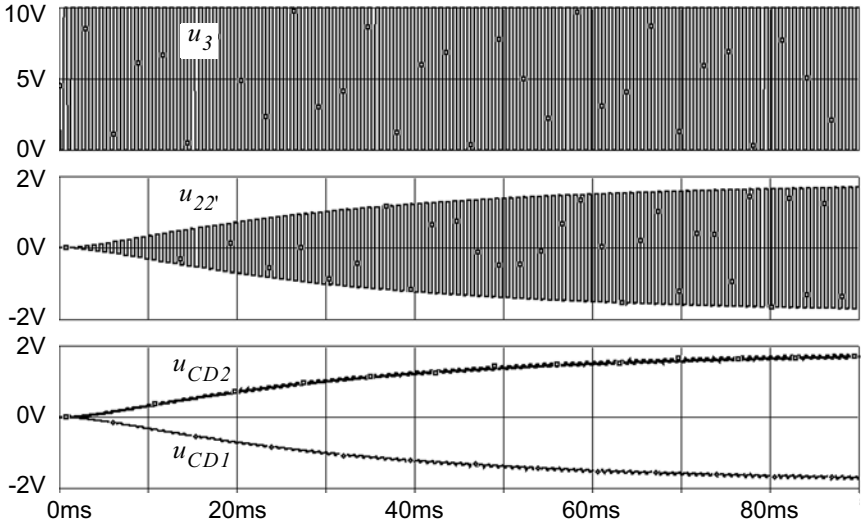


Bild 6.5-10: Sensorsignal am Ausgang bei $R1 = 10k\Omega$; u_3 steuert die Schalter

7 Gemischte Funktionsprimitive und Funktionsschaltungen

Behandelt werden die wichtigsten gemischten Funktionsprimitive von komplexeren Schaltungen insbesondere im Hinblick auf die „innere“ Schaltungstechnik integrierter Verstärkerschaltungen und integrierter Funktionsschaltungen. Im Weiteren geht es um praktische Anwendungen in gängigen Funktionsschaltungen.

7.1 Differenzstufen

Differenzstufen bieten vielfältige Vorteile insbesondere bei DC-gekoppelten Verstärkern wegen ihrer hohen Gleichtaktunterdrückung. In analogen und gemischt analog/digitalen integrierten Schaltungen werden Differenzstufen sehr häufig verwendet. Nach einer eingehenden Analyse von Differenzstufen mit Bipolartransistoren wird auf Differenzstufen mit Feldeffekttransistoren eingegangen.

7.1.1 Emittergekoppelte Differenzstufen

Im allgemeinen stellt eine Differenzstufe eine Verstärkerstufe mit symmetrischem Eingang und symmetrischem Ausgang dar (Bild 7.1-1). Ähnlich wie beim Einzeltransistor gibt es verschiedene Varianten von Differenzstufen. Als erste Variante der Differenzstufen wird die emittergekoppelte Differenzstufe behandelt. Sie ist dadurch gekennzeichnet, dass die Emittoren zweier Transistoren zusammengeführt sind und am gemeinsamen Emittor ein Strom I_0 eingeprägt wird. Das Grundprinzip ist in Bild 7.1-2a) dargestellt. Das typische Übertragungsverhalten der Differenzstufe in einer konkreten Anwendung zeigt Bild 7.1-2b). Im Betriebsbereich der Eingangs-Differenzspannung um $U_{11'} = 0$ wirkt die Differenzstufe als Linearverstärker. Bei größeren Aussteuerungen am Eingang $\Delta U_{11'} > 50\text{mV}$ ergibt sich eine Begrenzung der Aussteuerung am Ausgang.

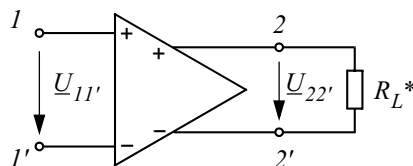


Bild 7.1-1: Differenzstufe mit symmetrischem Eingang und symmetrischem Ausgang

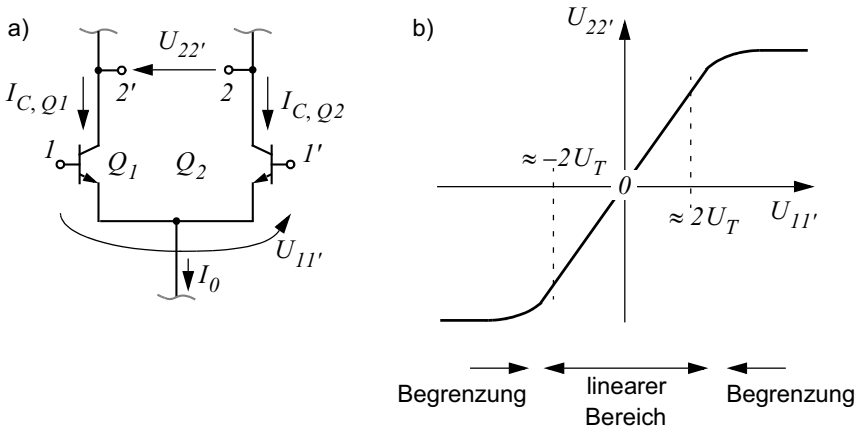


Bild 7.1-2: Emitttergekoppelte Differenzstufe: a) Prinzipielle Anordnung einer emitttergekoppelten Differenzstufe; b) Übertragungsverhalten

Übertragungskennlinie: Mit emitttergekoppelten Differenzstufen lassen sich u.a. Verstärkerstufen und Komparatoren realisieren. Die Komparatorschwelle liegt bei Differenzstufen mit Bipolartransistoren ohne Gegenkopplung bei ca. $4U_T$. Der lineare Bereich wird bei ca. $2U_T$ verlassen (U_T , siehe Gl.(2.2-3)). Allgemein ist die Differenzstufe dadurch gekennzeichnet, dass die Summe der Ausgangsströme der Transistoren konstant gleich einem eingepprägten Strom I_0 ist. Die Aufteilung der Ausgangsströme wird durch die Differenzspannung U_{11}' gesteuert.

$$I_0 = I_{C,Q1} + I_{C,Q2}; \quad (7.1-1)$$

Mit den bekannten Übertragungsfunktionen der Einzeltransistoren im Flussbereich:

$$I_{C,Q1} \approx I_{S,Q1} \cdot \exp(U_{B'E,Q1}/U_T); \quad (7.1-2)$$

$$I_{C,Q2} \approx I_{S,Q2} \cdot \exp(U_{B'E,Q2}/U_T);$$

wird bei Gleichheit der Transistoren $Q1$ und $Q2$ mit gleichem Sättigungssperrstrom $I_{S,Q1} = I_{S,Q2}$ und bei $U_{11}' \approx U_{B'E,Q1} - U_{B'E,Q2}$ als Eingangs-differenzspannung erhält man:

$$I_{C,Q1}/I_{C,Q2} = \exp(U_{11}'/U_T);$$

(7.1-3)

Berücksichtigt man die Nebenbedingung in (Gl 7.1-1) so ergibt sich schließlich:

$$\boxed{\begin{aligned} I_{C,Q1} &= I_0 \cdot \frac{1}{1 + \exp(-U_{II'}/U_T)}; \\ I_{C,Q2} &= I_0 \cdot \frac{1}{1 + \exp(U_{II'}/U_T)}; \end{aligned}} \quad (7.1-4)$$

Diese Gleichung stellt die Übertragungskennlinie der Differenzstufe dar. Sie beschreibt das Übertragungsverhalten der Ausgangsströme der Differenzstufe in Abhängigkeit der Eingangsspannung (siehe Bild 7.1-4). In einem Experiment soll dieses Verhalten dargestellt werden.

Experiment 7.1-1: Differenzstufe_Emgek_Grundsich – DCSweep-Analyse

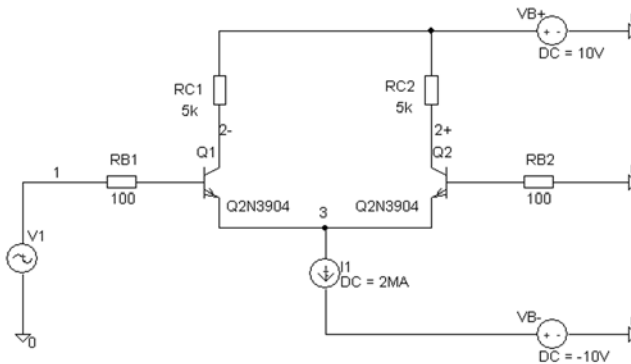


Bild 7.1-3: Emitttergekoppelte Differenzstufe mit $I_0 = 2mA$

Das Ergebnis in Bild 7.1-4 zeigt die Übertragungskennlinie der Differenzstufe gemäß Gl.(7.1-4). Bei einer Eingangsdifferenzspannung von $U_{II'} = 0$ erhält man eine gleichmäßige Stromaufteilung von $I_0/2$ auf die beiden Transistoren $Q1$ und $Q2$. Der lineare Aussteuerbereich erstreckt sich um $U_{II'} = 0$ bis ca. $+2U_T$. Bei Eingangsdifferenzspannungen von $U_{II'} > 4U_T$ übernimmt der Transistor $Q1$ den vollen Strom I_0 , bei $U_{II'} < -4U_T$ hingegen übernimmt der Transistor $Q2$ den eingepprägten Strom I_0 . Ist der Lastkreis mit $RC1$ bzw. $RC2$ hinreichend niederohmig, so ergibt sich eine sättigungslose Begrenzung der Transistorströme auf maximal I_0 . Eine sättigungslose Begrenzung ist insbesondere für das Schaltverhalten wichtig, da ungünstige Speicherzeiten sich damit vermeiden lassen. Von Bedeutung ist die sättigungslose Begrenzung u.a. bei Anwendungen als Komparator und bei Verstärkeranwendungen.

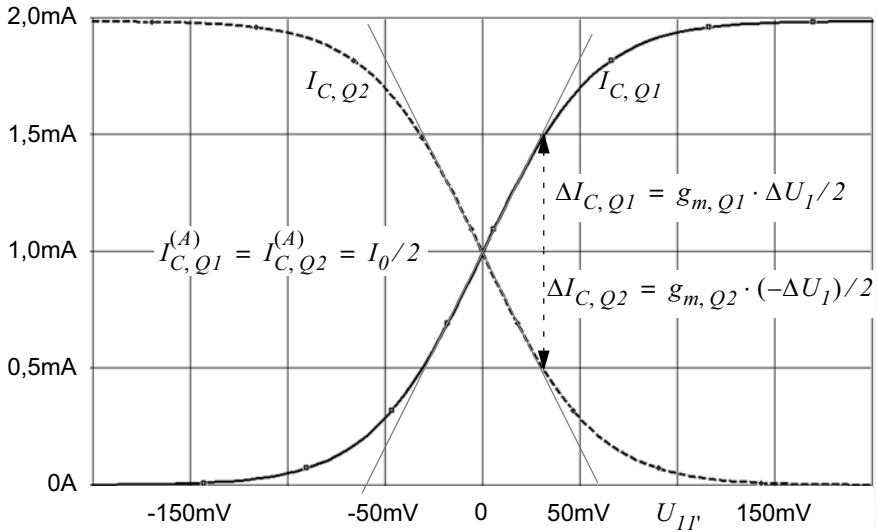


Bild 7.1-4: DC-Übertragungskennlinie der Differenzstufe

Differenzaussteuerung um $U_{II'} = 0$: Kennzeichen der Differenzstufe ist, dass die Summe der Ausgangsströme der Transistoren $Q1$ und $Q2$ stets konstant gleich dem eingprägten Strom I_0 ist. Bei $U_{II'} = 0$ verteilt sich der Strom I_0 gleichmäßig. Es ist in diesem Fall $I_{C,Q1} = I_{C,Q2} = I_0/2$; bei genügend positiver Eingangsdifferenzspannung $U_{II'}$ übernimmt $Q1$ den vollen Strom I_0 ; während bei genügend negativer Eingangsspannung $I_{C,Q2} = I_0$ wird. Liegt der Arbeitspunkt bei $U_{II'} = 0$, so ändern sich die Ausgangsströme um $I_0/2$ gemäß:

$$\begin{aligned} \Delta I_{C,Q1} &= g_{m,Q1} \cdot \Delta U_{BE,Q1} = g_{m,Q1} \cdot \Delta U_{II'}/2; \\ \Delta I_{C,Q2} &= g_{m,Q2} \cdot \Delta U_{BE,Q2} = g_{m,Q2} \cdot (-\Delta U_{II'}/2); \end{aligned} \quad (7.1-5)$$

Die beiden Transistoren führen denselben Arbeitspunktstrom $I_0/2$, also sind ihre Steilheiten g_m in dem gegebenen Arbeitspunkt gleich groß. Die Steilheit der Differenzstufe ist also bei $U_{II'} = 0$:

$$\Delta I_{C,Q1} / \Delta U_{II'} = g_{m,Q1} / 2; \quad (7.1-6)$$

und damit gleich der halben Steilheit des Einzeltransistors. Im Arbeitspunkt $U_{II'} = 0$ ergibt sich das in Bild 7.1-5 skizzierte AC-Modell. Bild 7.1-6 zeigt die Ausgangsströme im Arbeitspunkt bei $U_{II'} = 0$ und bei Aussteuerung um den Arbeitspunkt mit $\Delta U_{II'}$.

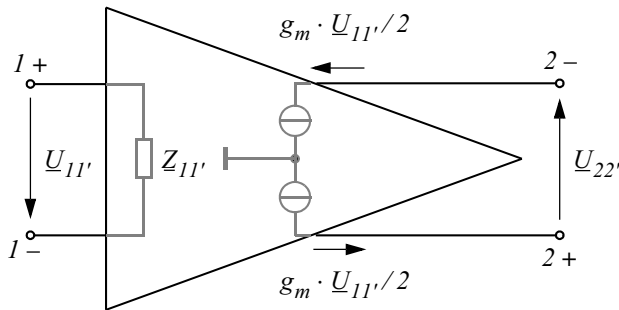


Bild 7.1-5: AC-Modell der Differenzstufe im Arbeitspunkt $U_{II'} = 0$

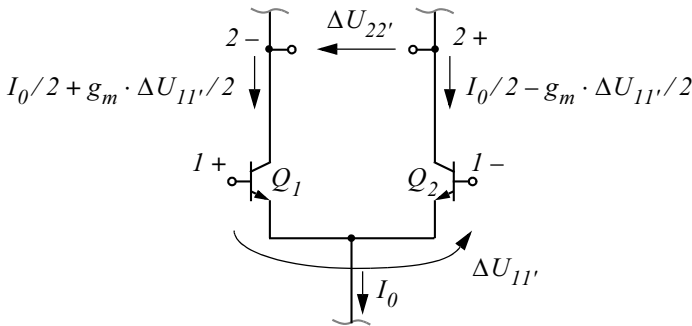


Bild 7.1-6: Ausgangsströme der Differenzstufe bei Kleinsignalaussteuerung im Arbeitspunkt $U_{II'} = 0$

Im AC-Modell wirken die Ausgänge als spannungsgesteuerte Stromquelle. Der Eingangswiderstand bestimmt sich mit Blickrichtung auf Bild 7.1-3 von Knoten 1 gegen Masse aus:

$$Z_{II'} = 2 \cdot (r_b + (\beta_0 + 1) \cdot r_e) + R_{B1} + R_{B2}; \quad (7.1-7)$$

wobei $r_e = U_T / (I_0/2)$ ist. Das nachstehende Bild 7.1-7 zeigt das Aussteuerverhalten der Differenzstufe im Arbeitspunkt $U_{II'} = 0$.

Anders als bei den bisher betrachteten Übertragungskennlinien liegt bei der Differenzstufe mit Bipolartransistoren eine *tanh*-Funktion betreffs des Zusammenhangs zwischen Ausgangsstrom und Eingangsdifferenzspannung als Steuerspannung vor. Beim Bipolartransistor in Kap. 5 ist die Übertragungskennlinie eine *exp*-Funktion (siehe Bild 5.2-12), beim Feldeffekttransistor in Kap. 6 eine quadratische Kennlinie (siehe Bild 6.2-7).

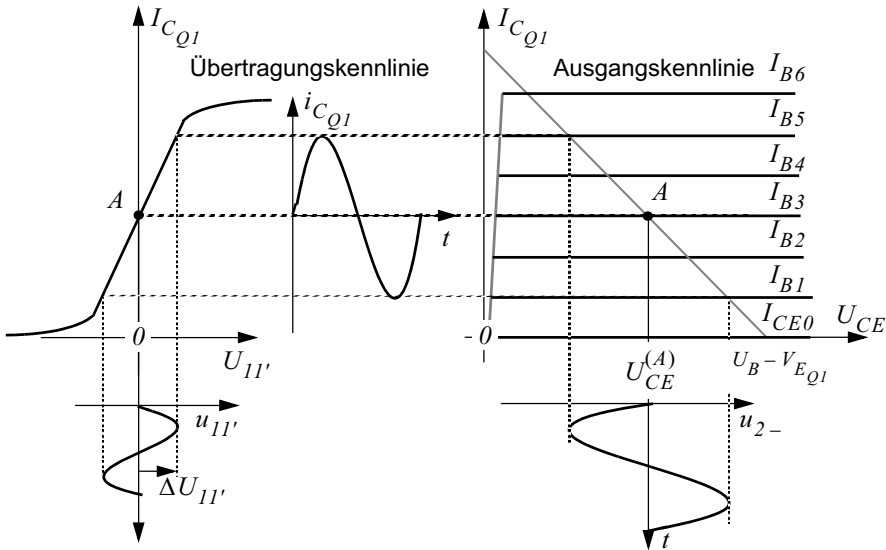


Bild 7.1-7: Aussteuerverhalten der emittergekoppelten Differenzstufe im Arbeitspunkt bei $U_{II'} = 0$

Gegenüber dem Einzeltransistor ist das Ausgangskennlinienfeld unverändert (vergl. Bild 5.2-12), wohl aber die Übertragungskennlinie, wobei die Steilheit des Einzeltransistors unverändert bleibt. Bei Großsignalaussteuerung stellt sich eine Strombegrenzung auf I_0 ein. Wichtig dabei ist, dass diese Strombegrenzung anders als beim Einzeltransistor „sättigungslos“ erfolgt. Allerdings muss darauf geachtet werden, den Ausgangskreis so zu dimensionieren, dass sich auch bei größtmöglicher Aussteuerung kein Sättigungseffekt eines Einzeltransistors einstellt. Die sättigungslose Aussteuerungsgrenze erhält man mit der verfügbaren Versorgungsspannung:

$$U_{B, \text{verf}} \geq I_0 \cdot R_{C, \text{opt}} + U_{CE, \text{min}}; \quad U_{B, \text{verf}} = U_B - V_{E, Q}; \quad (7.1-8)$$

Dabei ist $V_{E, Q}$ das Potenzial am gemeinsamen Emitterknoten und $U_{CE, \text{min}}$ ist die Mindestspannung, wobei für $U_{CE, \text{min}}$ im allgemeinen $0,5V$ angenommen wird. Der Lastwiderstand am Kollektor darf demzufolge nicht zu hoch ohmig gewählt werden.

Stromquelle ersetzt durch Widerstand: Die Stromquelle mit I_0 kann bei Aussteuerung mit kleinen Signalamplituden durch einen Widerstand ersetzt werden (siehe Bild 7.1-8). Bei nahezu konstanter Spannung an einem Widerstand stellt sich näherungsweise Stromquellenverhalten ein. Das folgende Experiment ermittelt und zeigt das Ergebnis (Bild 7.1-8) der DC-Analyse einer Differenzstufe mit einem Widerstand RE am gemeinsamen Emitteranschluss als "Quasi"-Stromquelle.

Experiment 7.1-2: Differenzstufe_Emgek_RE – DC-Analyse mittels des SimulationProfile „DC“.

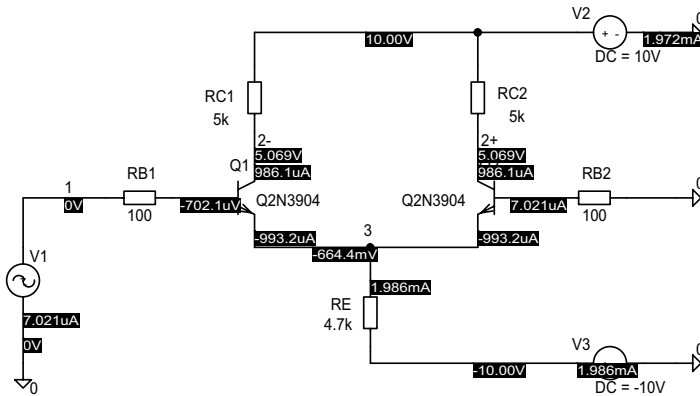


Bild 7.1-8: DC-Analyse der emittergekoppelten Differenzstufe mit RE anstelle der Stromquelle

Der Widerstand RE ist so dimensioniert, dass wiederum $I_0 = 2mA$ ist. Der Lastkreis ist mit $RC1$ bzw. $RC2 = 5k\Omega$ so ausgelegt, dass sich zwischen dem Lastwiderstand und U_{CE} die verfügbare Versorgungsspannung etwa hälftig aufteilt. Wobei an U_{CE} mit $U_{CE,min} = 0,7V$ eben diese Mindestspannung von $0,7V$ mehr abfallen soll als am Lastwiderstand RC , um hinreichend Abstand zu $U_{CE,sat}$ zu erhalten, falls der Transistor bei entsprechender Ansteuerung den vollen Strom von $2mA$ zieht.

Nach Festlegung des Arbeitspunktes und der Widerstände im Lastkreis wird in einem Experiment eine AC-Analyse der Differenzstufe durchgeführt. Für eine Abschätzung der Ergebnisse gilt die AC-Ersatzanordnung in Bild 7.1-9.

Experiment 7.1-3: Differenzstufe_Emgek_RE – ACAnalyse mittels des SimulationProfile „AC“.

Ist RG^* nicht zu hoch ohmig, so teilt sich die Eingangsspannung $\underline{U}_I$ hälftig auf $\underline{U}_{BE,Q1}$ und $\underline{U}_{EB,Q2}$ auf. Der Widerstand RE hat bei Differenzansteuerung keinen Einfluss, da der Widerstand $\underline{Z}_x$ (siehe Bild 7.1-9) in der Regel sehr viel niederohmiger ist als RE . Für $\underline{Z}_x$ erhält man näherungsweise:

$$\underline{Z}_x = r_{e,Q2} + (r_{b,Q2} + R_G^*) / (\beta_0 + 1); \quad (7.1-9)$$

Im gegebenen Beispiel bei einem Arbeitspunktstrom von $1mA$ des Einzeltransistors ergibt sich damit näherungsweise ein Zweigwiderstand $\underline{Z}_x = 26\Omega$.

Bei höheren Frequenzen wird aufgrund der Diffusionskapazität zwischen innerer Basis und Emitter die Steuerspannung $\underline{U}_{B'E}$ an den Transistoren $Q1$ bzw. $Q2$ zunehmend kurzgeschlossen. Nur die Steuerspannung $\underline{U}_{B'E}$ wird mit der Steilheit g_m verknüpft und bildet einen Ausgangsstrom. Daraus ergibt sich ein Tiefpassverhalten.

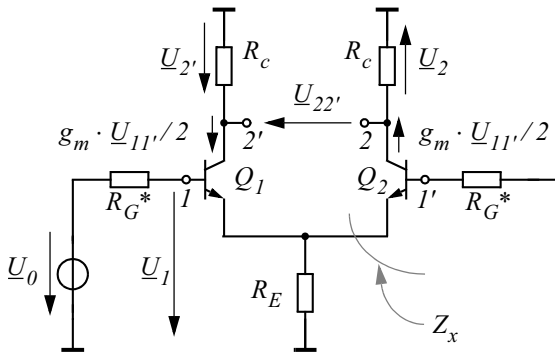


Bild 7.1-9: AC-Ersatzanordnung der emittergekoppelten Differenzstufe mit R_E

Als nächstes interessiert der Eingangswiderstand am Differenzeingang. Im Beispiel erhält man für den Eingangswiderstand $Z_{I1'}$ bei einer Stromverstärkung $\beta_0 = 150$:

$$Z_{I1'} = 2 \cdot (r_b + (\beta_0 + 1) \cdot r_e) \approx 8 \text{ k}\Omega; \quad (7.1-10)$$

für die Verstärkung ergibt sich:

$$v_{21} = \underline{U}_{22'} / \underline{U}_1 = g_m \cdot R_C \approx 190; \quad (7.1-11)$$

Die Verstärkung von $\underline{U}_1$ nach $\underline{U}_2$ ist nur halb so groß. Bild 7.1-10 zeigt das Simulationsergebnis des Experiments und die Abschätzungen. Die getroffenen Abschätzungen werden durch das Simulationsergebnis bestätigt.

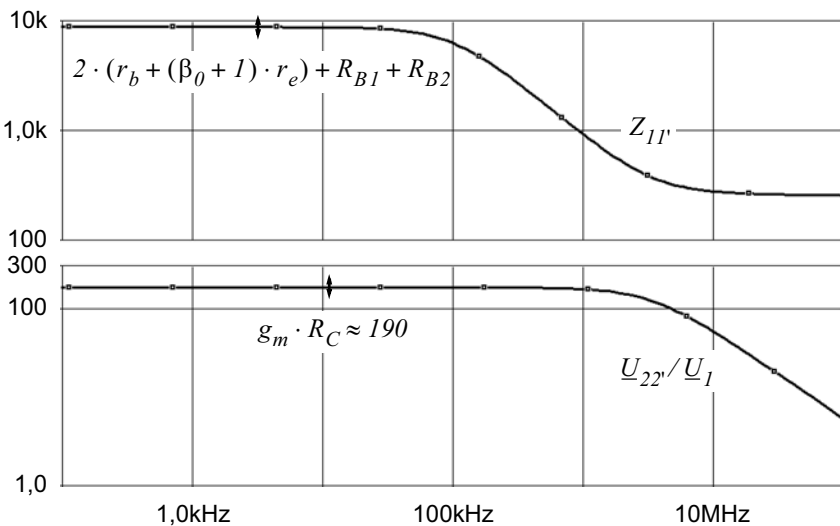


Bild 7.1-10: Ergebnis der AC-Analyse

Allgemein wird bei unsymmetrischer Ansteuerung der Differenzstufe (Bild 7.1-9) der Transistor Q_1 als Emitterfolger aus Sicht von Q_2 betrieben, wobei Q_2 in Basisgrundsaltung arbeitet. Das Eingangssignal $\underline{U}_I$ teilt sich etwa hälftig auf die Steuerspannungen von Q_1 und Q_2 auf.

Differenzstufe mit unsymmetrischer Versorgungsspannung: Bei unsymmetrischer Versorgungsspannung oder nur einer Versorgungsspannungsquelle ergibt sich ein Problem für die Arbeitspunkteinstellung, so dass $U_{II'} = 0$ ist. Sind die Spannungsteilerwiderstände R_1 und R_2 toleranzbehaftet, so stellt sich ein unterschiedliches Basispotenzial ein. Bei Widerständen mit Toleranzwerten von 10% kann sich hier ein Unterschied um mehrere U_T ergeben. Dies bewirkt eine unakzeptable Eingangsoffsetspannung und damit eine Verschiebung des Arbeitspunktes. Bild 7.1-11 zeigt eine Differenzstufe mit unsymmetrischer Versorgungsspannung und getrennten Basisspannungsteilern.

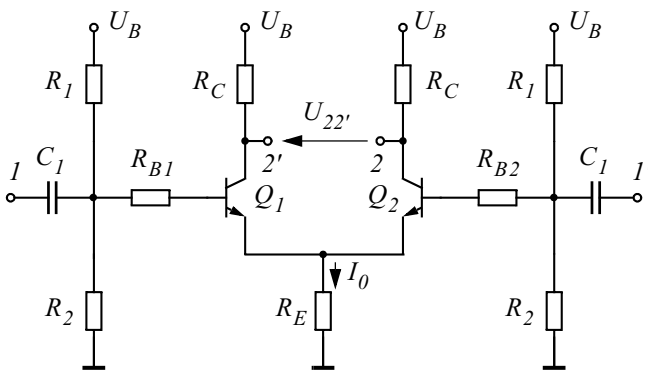


Bild 7.1-11: Ausführung einer emittergekoppelten Differenzstufe mit unsymmetrischer Versorgungsspannung

Ein ähnliches Problem ergibt sich bei gleichem Basispotenzial aber ungleichen Transistoren. Der Arbeitspunkt von Transistor Q_1 ergibt sich aus der Maschengleichung um den Steuerkreis (R_{B1} , $U_{BE,Q1}$ und U_{RE} bei gegebenem Basispotenzial). Aufgrund der Beschaltung wird eine gleiche Basis-Emitter-Spannung erzwungen (zweite Netzwerkgleichung zur Arbeitspunktbestimmung). Sind die Übertragungskennlinien der Transistoren nicht deckungsgleich (siehe Bild 7.1-12), so erhält man ebenfalls eine Unsymmetrie für die Kollektorströme und damit eine Offsetspannung am Ausgang. Im übrigen liegt eine Verschiebung der Übertragungskennlinien auch bei identischen Transistoren vor, wenn deren Temperatur ungleich ist. Die beiden Differenzstufentransistoren müssen daher ein hohes „Gleichlaufverhalten“ hinsichtlich der technologischen Parameter und der Temperatur aufweisen. In integrierten Schaltungen kann dies als gegeben angesehen werden.

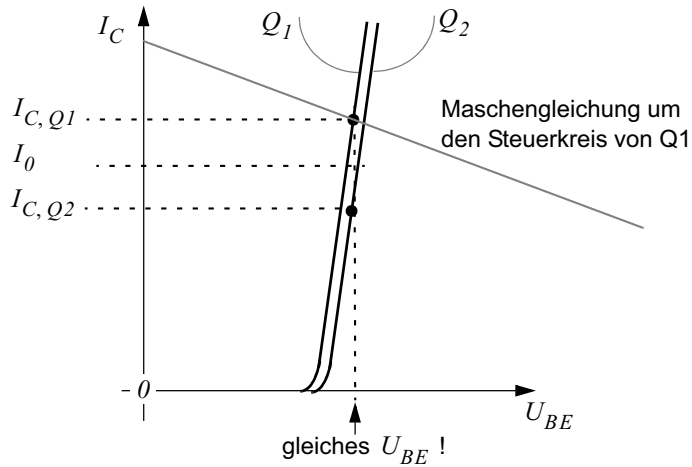


Bild 7.1-12: Zur Unsymmetrie des Arbeitspunktes bei ungleichen Transistoren und gleichem Basispotenzial

Verfeinertes AC-Modell: Zur Berücksichtigung des gemeinsamen Emittterwiderstandes lässt sich ein verfeinertes AC-Ersatzschaltbild angeben. Als erster Schritt wird die gesteuerte Stromquelle $g_m \cdot U_{b'e1}$ vom inneren Basisknoten auf den Emittterknoten transformiert. Zur Korrektur ist r_e jetzt auf $r_e \cdot (\beta_0 + 1)$ zu verändern. In einem weiteren Schritt kann die Stromquelle auf den Massepunkt gezogen werden. Zur weiteren Korrektur ist dann zudem R_E auf $R_E \cdot (\beta_0 + 1)$ zu transformieren.

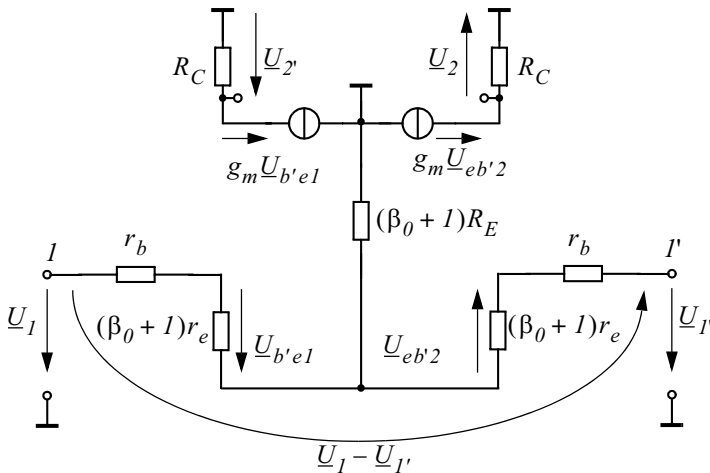


Bild 7.1-13: Verfeinertes AC-Modell einer emittergekoppelten Differenzstufe mit Berücksichtigung des gemeinsamen Emittterwiderstandes

Das Ergebnis dieser Maßnahmen zeigt Bild 7.1-13. Nicht berücksichtigt ist in der Darstellung die Rückwirkung der Transistoren durch eine vorhandene Sperrschichtkapazität. Der Vorteil des nunmehr vorliegenden AC-Ersatzschaltbildes in Bild 7.1-13 ist die Entkopplung von Ausgangskreis und Eingangskreis, sofern die Rückwirkung vom Kollektor auf die innere Basis (mit C_c gegeben) vernachlässigt werden kann. Der Spannungsabfall an $r_{e,Q1} \cdot (\beta_0 + 1)$ steuert den Kollektorstrom von $Q1$, der an $r_{e,Q2} \cdot (\beta_0 + 1)$ den Kollektorstrom von $Q2$.

AC-Analyse bei Gleichtaktansteuerung: Bislang wurde nur die Differenzansteuerung betrachtet. Bei Gleichtaktansteuerung ist $\underline{U}_{II} = 0$ und $\underline{U}_I = \underline{U}_I$ (Bild 7.1-13). Die Differenzstufe ist in diesem Fall mit R_E bzw. mit $R_E \cdot (\beta_0 + 1)$ seriengegekoppelt. Die Seriengegenkopplung bewirkt eine hohe Gleichtaktunterdrückung. Der Gleichtaktbetrieb einer Differenzstufe ist in Bild 7.1-14 dargestellt. Bei Gleichtaktansteuerung erhält man für die Ausgangsspannung:

$$\underline{U}_2 = \underline{U}_2' = R_C / (2 \cdot R_E \cdot (\beta_0 + 1)) \cdot \underline{U}_I; \quad (7.1-12)$$

Aus Symmetriegründen lässt sich folgende Vereinfachung treffen. Wird der gemeinsame Emittterwiderstand R_E aufgespalten, so ist der Strom $I_x = 0$. Das schraffiert gekennzeichnete Leitungssegment kann ohne Störung der Funktion entfernt werden (siehe Bild 7.1-14). Bei Gleichtaktansteuerung verhält sich die Differenzstufe wie zwei getrennte, mit $2R_E$ bzw. mit $2 \cdot R_E \cdot (\beta_0 + 1)$ seriengegekoppelte Transistoren.

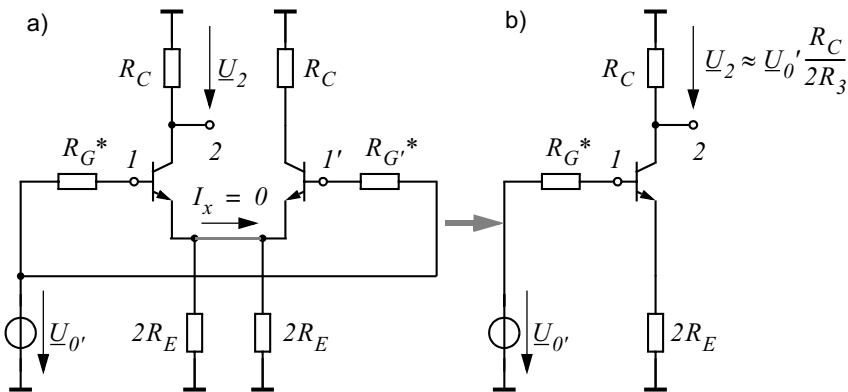


Bild 7.1-14: Zur Gleichtaktunterdrückung einer emittergekoppelten Differenzstufe; a) Gleichtaktansteuerung; b) Ersatzanordnung mit nur einem Transistor

Offsetverhalten: Als nächstes soll das Offsetverhalten einer Differenzstufe mit dem eines Einzeltransistors verglichen werden. Um das Offsetverhalten zu ermitteln wird die Ansteuerung am Eingang weggelassen. Mögliche Stromänderungen am Ausgang ergeben sich dann nur aufgrund innerer Unsymmetrien. Verursacht werden diese Unsymmetrien durch Temperatureinflüsse, Parameterstreuungen und durch Alterungseinflüsse. Sie wirken sich auf die Stromverstärkung B , die Schwellspannung U_{BE} und vor allem auf den Leckstrom I_{CB0} aus. Es

interessiert die Ausgangsstromänderung aufgrund von Änderungen der genannten Parameter ΔB , ΔU_{BE} und ΔI_{CB0} .

Die Offsetanalyse ist direkt vergleichbar mit der Analyse der Arbeitspunktstabilität. Für Änderungen im Arbeitspunkt gilt das AC-Ersatzschaltbild in Bild 7.1-15 für den Einzeltransistor und für die Differenzstufe. Betreffs des Offsetverhaltens interessiert die Änderung des Ausgangsstroms ΔI_C , bzw. $\Delta I_{C,Q1} - \Delta I_{C,Q2}$ aufgrund der Änderung der Parameter ΔB , ΔU_{BE} und ΔI_{CB0} . Bild 7.1-16 zeigt das zugehörige AC-Ersatzschaltbild mit Wirkung der genannten Änderungsparameter.

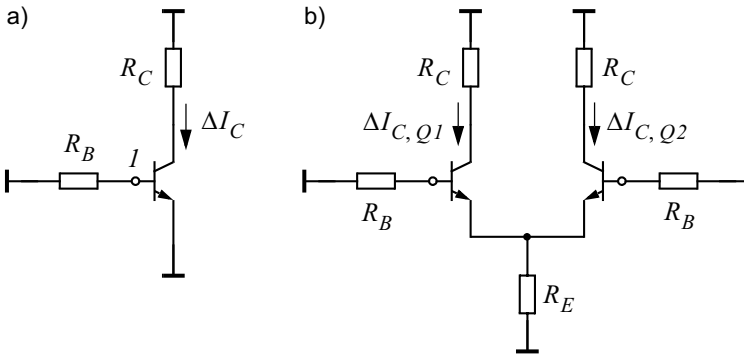


Bild 7.1-15: Zum Offsetverhalten: a) Einzeltransistor, b) Differenzstufe

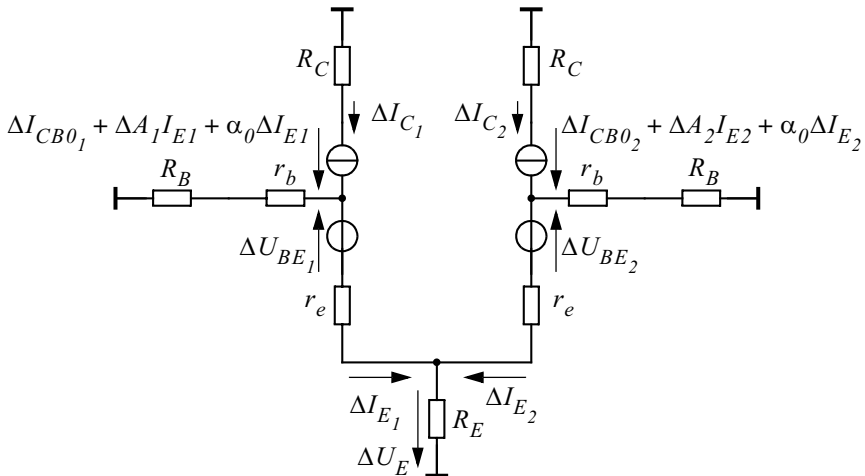


Bild 7.1-16: AC-Ersatzschaltbild zum Offsetverhalten einer Differenzstufe

Das Offsetverhalten wird bestimmt durch Kleinsignalanalyse unter der Randbedingung von gleichen Transistoren mit $Q_1 = Q_2$. Zunächst wird der Einzeltransistor in Bild 7.1-15a) betrachtet. Mit der Maschengleichung um den Steuerkreis und

der Knotenpunktgleichung am Kollektor-Ausgangsknoten erhält man:

$$\begin{aligned} 1) \quad & (\Delta I_{E_1} - \Delta I_{C_1})(R_B + r_b) + \Delta I_{E_1} \cdot r_e - \Delta U_{BE_1} = 0; \\ 2) \quad & \Delta I_{C_1} = \Delta I_{CB0_1} + \Delta A_1 I_{E_1}^{(A)} + \alpha_0 \Delta I_{E_1}; \end{aligned} \quad (7.1-13)$$

Aus der Maschengleichung des Steuerkreises lässt sich ΔI_{E_1} bestimmen:

$$\Delta I_{E_1} = (\Delta U_{BE_1} + \Delta I_{C_1}(R_B + r_b)) \frac{1}{R_B + r_b + r_e}; \quad (7.1-14)$$

Eingesetzt in die Knotenpunktgleichung am Ausgang erhält man:

$$\Delta I_{C_1} \left(1 - \frac{\alpha_0 (R_B + r_b)}{R_B + r_b + r_e} \right) = \Delta I_{CB0_1} + \Delta A_1 I_{E_1}^{(A)} + \frac{\alpha_0 \cdot \Delta U_{BE_1}}{R_B + r_b + r_e}; \quad (7.1-15)$$

Damit ergibt sich das gesuchte Ergebnis für die Änderung des Ausgangsströms bei gegebenen Änderungsparametern ΔB , ΔU_{BE} und ΔI_{CB0} aufgrund geänderter Temperatur, aufgrund von Exemplarstreuungsschwankungen oder Alterungseffekten.

$$\Delta I_{C_1} = \frac{R_B + r_b + r_e}{r_e + \frac{R_B + r_b}{\beta_0 + 1}} \left(\Delta I_{CB0_1} + \Delta A_1 I_{E_1}^{(A)} \right) + \frac{\alpha_0 \cdot \Delta U_{BE_1}}{r_e + \frac{R_B + r_b}{\beta_0 + 1}}; \quad (7.1-16)$$

Die Stromänderung am Ausgang (Offset) hängt ab von der Änderung der Stromverstärkung ΔA , der Änderung des Leckstroms ΔI_{CB0} und der Änderung der Schwellspannung ΔU_{BE} . Die Änderung der Schwellspannung geht in etwa multipliziert mit der Steilheit des Transistors ein. Die Änderung des Leckstroms ist um so signifikanter, je hochohmiger die Basis abgeschlossen wird.

Zur Offsetanalyse der Differenzstufe wird analog vorgegangen. Bei symmetrischem Ausgang interessiert allerdings nicht die absolute Änderung des Ausgangsströms, sondern $\Delta I_{C_1, Q1} - \Delta I_{C_2, Q2}$. Die Spannung am gemeinsamen Emitterknoten ist:

$$\Delta U_E = \Delta U_{BE_2} + \Delta I_{C_2}(R_B + r_b) - \Delta I_{E_2}(R_B + r_b + r_e) \quad (7.1-17)$$

Damit ergibt die Maschengleichung um den Steuerkreis und die Knotenpunktgleichung am Ausgang für die Differenzstufe:

$$\begin{aligned} 1) \quad & (\Delta I_{E_1} - \Delta I_{C_1})(R_B + r_b) + \Delta I_{E_1} \cdot r_e - \Delta U_{BE_1} + \Delta U_E = 0; \\ 2) \quad & \Delta I_{C_1} - \Delta I_{C_2} = \Delta I_{CB0_1} - \Delta I_{CB0_2} + (\Delta A_1 - \Delta A_2) \cdot I_{E_1}^{(A)} + \alpha_0 (\Delta I_{E_1} - \Delta I_{E_2}); \end{aligned} \quad (7.1-18)$$

Aus der Maschengleichung des Steuerkreises lässt sich wiederum ΔI_{E_1} bestimmen:

$$\Delta I_{E_1} = ((\Delta U_{BE_1} - \Delta U_{BE_2}) + (\Delta I_{C_1} - \Delta I_{C_2})(R_B + r_b)) \frac{1}{R_B + r_b + r_e} + \Delta I_{E_2};$$

Nach Zwischenrechnung erhält man das gesuchte Ergebnis für den Unterschied der Änderungen der Ausgangsströme bei einer gegebenen Änderung der Stromverstär-

kung, des Leckstroms und der Schwellspannung verursacht durch Temperatureinflüsse, Exemplarstreuungsschwankungen oder Alterungseffekte:

$$\Delta I_{C_1} - \Delta I_{C_2} = \frac{R_B + r_b + r_e}{r_e + (R_B + r_b)/(\beta_0 + I)} \left(\Delta I_{CB0_1} - \Delta I_{CB0_2} + (\Delta A_1 - \Delta A_2) I_{E_1}^{(A)} \right) + \frac{\alpha_0 (\Delta U_{BE_1} - \Delta U_{BE_2})}{r_e + (R_B + r_b)/(\beta_0 + I)}; \quad (7.1-19)$$

Greift man die Spannung am symmetrischen Ausgang ab, so wirken sich nur noch ungleiche Änderungen aus. Die absoluten Änderungen gehen nicht mehr direkt ein. Man spricht von einer hohen Gleichtaktunterdrückung der Differenzstufe. Der Einzeltransistor ohne Seriengegenkopplung ist als DC-gekoppelter Verstärker wegen seines Offsetverhaltens außerordentlich nachteilig. Zusammenfassend lässt sich feststellen, dass die Differenzstufe eine hohe Gleichtaktunterdrückung und damit ein geringes Offsetverhalten aufweist. Allerdings gilt dies nur am symmetrischen Ausgang.

Symmetrischen Ausgang auf unsymmetrischen Ausgang bringen: Es stellt sich die Frage, wie kann man die Vorteile des symmetrischen Ausgangs betreffs des Offsetverhaltens und der hohen Gleichtaktunterdrückung auf einen oft benötigten unsymmetrischen Ausgang bringen? Eine mögliche Lösung stellt die nachstehende Schaltung in Bild 7.1-17 mit einem Linearverstärker im Ausgangskreis dar.

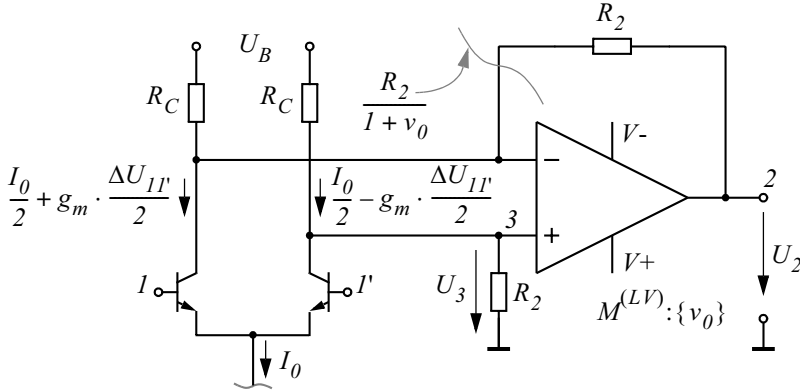


Bild 7.1-17: Ausgangsschaltung, um den symmetrischen Ausgang einer Differenzstufe auf einen unsymmetrischen Ausgang zu bringen

Zur Analyse der Beispielschaltung in Bild 7.1-17 wird als erstes der Arbeitspunkt der Ausgangsschaltung durch DC-Analyse bestimmt. Mit den Maschengleichungen am Ausgang:

$$\begin{aligned} 1) \quad (U_B - U_3)/R_C &= \frac{I_0}{2} + U_3/R_2; \\ 2) \quad (U_B - U_3)/R_C &= \frac{I_0}{2} + (U_3 - U_2)/R_2; \end{aligned} \quad (7.1-20)$$

erhält man als einzig mögliche Lösung $U_2 = 0$ der Arbeitspunktanalyse, bei symmetrischer Beschaltung.

Die AC-Analyse für die gegebene Schaltung stellt sich für die betrachteten Maschengleichungen folgendermaßen dar:

$$\begin{aligned} 1) \quad & g_m \cdot \Delta U_{I1}/2 + \Delta U_3/R_C + (\Delta U_3 - \Delta U_2)/R_2 = 0; \\ 2) \quad & -g_m \cdot \Delta U_{I1}/2 + \Delta U_3/R_C + \Delta U_3/R_2 = 0; \end{aligned} \quad (7.1-21)$$

Durch Subtraktion der beiden Gleichungen erhält man schließlich das Ergebnis für die gesuchte unsymmetrische Ausgangsspannung:

$$\Delta U_2 = g_m \cdot R_2 \cdot \Delta U_{I1}; \quad (7.1-22)$$

Das Ergebnis zeigt, dass der Widerstand R_C nicht mehr eingeht. Dies gilt allerdings nur solange folgende Bedingung erfüllt ist:

$$R_C \gg (R_2/(1 + v_0)); \quad (7.1-23)$$

Neben der betrachteten Schaltung, die den symmetrischen Ausgang der Differenzstufe auf einen unsymmetrischen Ausgang bringt, ohne dabei die Vorteile der Gleichtaktunterdrückung zu verlieren, gibt es weitere geeignete Schaltungsvarianten, auf die im Rahmen der Übungen noch eingegangen wird.

7.1.2 Basisgekoppelte Differenzstufen

Basisgekoppelte Differenzstufen sind dadurch gekennzeichnet, dass die Basisanschlüsse zweier Transistoren zusammengeführt sind und jeweils am Emittor ein Konstantstrom eingepreßt wird. Die basisgekoppelte Differenzstufe weist prinzipiell hinsichtlich der Gleichtaktunterdrückung dieselben Eigenschaften auf, wie die emittergekoppelte Differenzstufe. Die Prinzipschaltung der basisgekoppelten Differenzstufe zeigt Bild 7.1-18a).

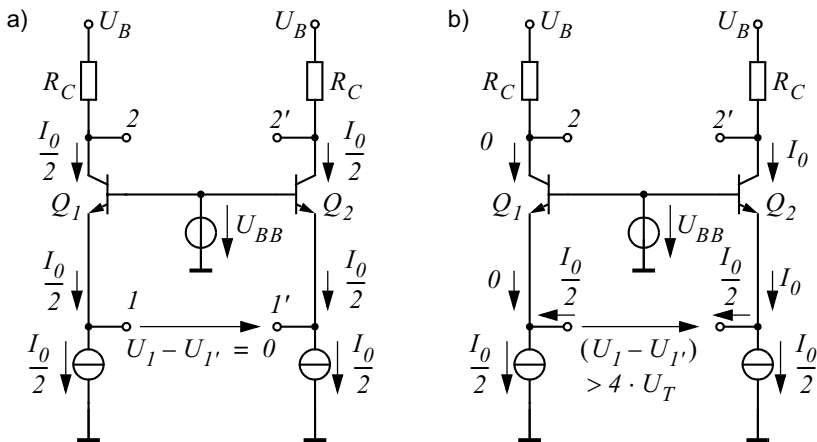


Bild 7.1-18: Basisgekoppelte Differenzstufe: a) ohne Ansteuerung, b) mit Ansteuerung

Die zusammengeführten Basisanschlüsse der beiden Transistoren müssen mit U_{BB} auf ein bestimmtes Potenzial gelegt werden. Der Konstantstrom I_0 teilt sich auf die beiden Emitteranschlüsse auf. Bei $U_{II'} = 0$ ist die Eingangsdivergenzspannung gleich Null. Beide Transistoren führen – wie bei der emittergekoppelten Differenzstufe – den Strom $I_0/2$. Wird die basisgekoppelte Differenzstufe mit $U_{II'} > 4U_T$ angesteuert (siehe Bild 7.1-18b)), so übernimmt der Transistor $Q2$ den vollen Strom I_0 , der Transistor $Q1$ ist gesperrt und damit idealerweise stromlos. Bei $U_{II'} < 4U_T$ sind die Verhältnisse umgekehrt. Insofern ergeben sich für die basisgekoppelte Differenzstufe dieselben Randbedingungen wie für die emittergekoppelte Differenzstufe. Die Summe der beiden Ausgangsströme ist konstant gleich I_0 . Die Aufteilung der Ströme wird über die Eingangsdivergenzspannung gesteuert.

In folgenden Experimenten wird die basisgekoppelte Differenzstufe näher untersucht. Als erstes erfolgt die DC-Analyse der basisgekoppelten Differenzstufe. Das Ergebnis zeigt Bild 7.1-19. Die Vorspannungserzeugung am gemeinsamen Basisanschluss ist über einen Basisspannungsteiler gegeben. Im nächsten Experiment wird mittels einer DCSweep-Analyse die Übertragungskennlinie bestimmt. Wegen der nicht veränderten Eigenschaften der Differenzstufe ist das Ergebnis der Übertragungskennlinie der basisgekoppelten Differenzstufe identisch mit der von einer emittergekoppelten Differenzstufe (siehe Bild 7.1-20, vergl. Bild 7.1-4). Schließlich wird in einem weiteren Experiment eine AC-Analyse um den Arbeitspunkt bei $U_{II'} = 0$ durchgeführt.

Experiment 7.1-4: Differenzstufe_Basisgek_Grundsich – DCAnalyse mittels des SimulationProfile „DC“.

Experiment 7.1-5: Differenzstufe_Basisgek_Grundsich – DCSweep mittels des SimulationProfile „DCSweep“.

Experiment 7.1-6: Differenzstufe_Basisgek_Grundsich – AC-Analyse mittels des SimulationProfile „AC“.

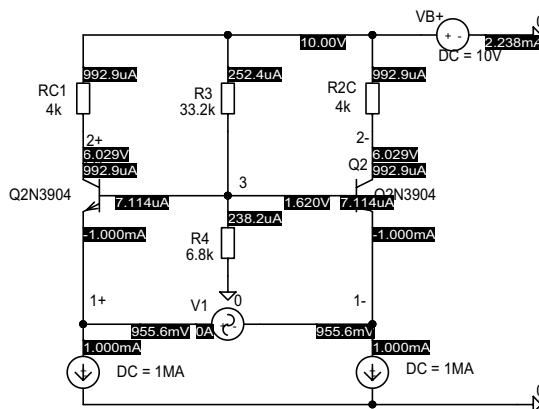


Bild 7.1-19: Testbench für die basisgekoppelte Differenzstufe – DCAnalyse

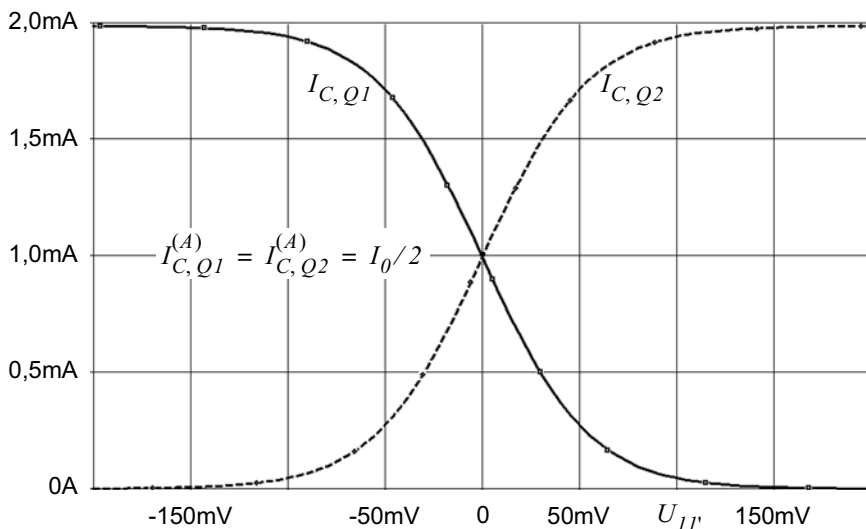


Bild 7.1-20: DC-Übertragungskurve der basisgekoppelten Differenzstufe

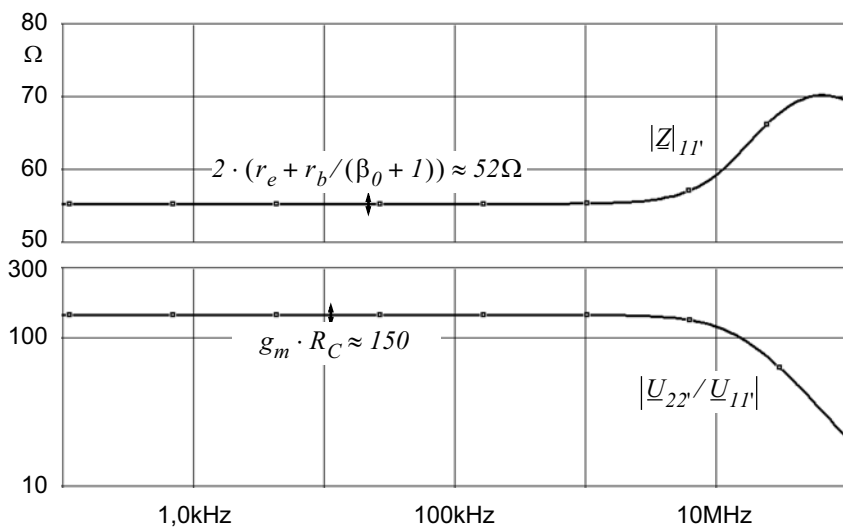


Bild 7.1-21: Ergebnis der AC-Analyse der basisgekoppelten Differenzstufe

Bei Kleinsignalansteuerung teilt sich die Eingangsdifferenzspannung $\underline{U}_{11'}$ wieder auf $\underline{U}_{EB,Q1}$ und $\underline{U}_{BE,Q2}$ auf. Am Emittiereingang ist der Eingangswiderstand niederohmig.

$$\boxed{Z_{11'} = 2 \cdot (r_e + r_b / (\beta_0 + 1)) \approx 52 \Omega; \quad (7.1-24)}$$

Für die Verstärkung erhält man denselben Wert wie bei der emittergekoppelten Differenzstufe.

$$|v|_{2I} = \underline{U}_{22'} / \underline{U}_{1I'} = g_m \cdot R_C \approx 150; \quad (7.1-25)$$

Wegen des geringeren Lastwiderstandes ist der Zahlenwert hier kleiner als im Beispiel für die emittergekoppelte Differenzstufe. Aufgrund des notwendigen Basispotenzials (im Beispiel 1,7V) ist die verfügbare Versorgungsspannung verringert. Insofern muss der Lastkreis niederohmiger dimensioniert werden, um einen Sättigungseffekt zu vermeiden. Das Ergebnis der AC-Analyse mit den Abschätzwerten für die Beispielschaltung in Bild 7.1-19 zeigt Bild 7.1-21. Mit basisgekoppelten Differenzstufen lassen sich u.a. Verstärkerstufen, Komparatoren und Stromquellen realisieren.

Basisgekoppelte Differenzstufe als Stromquelle: Eine weitere interessante Anwendung der basisgekoppelten Differenzstufe ergibt sich als Stromspiegel. Bild 7.1-22b) zeigt die basisgekoppelte Differenzstufe als Stromquelle. Über R_0 und $Q1$ wird der Strom I_0 eingepreßt. Bei gleichen Transistoren erzwingt dieselbe Steuerungsspannung gleiche Ausgangsströme. In Bild 7.1-22a) ist nochmals das Prinzip der basisgekoppelten Differenzstufe dargestellt. Bei einer Differenzeingangsspannung $U_{1I'} = 0$ an den Emittiereingängen, müssen die Ausgangsströme gleich groß sein. Dies gilt auch dann, wenn die Widerstände $R_E = 0$ sind. Allerdings erfordert dies hohe Anforderungen an die Gleichheit der Transistoren. Es müssen die Sättigungssperrströme $I_{S,Q1} = I_{S,Q2}$ gleich groß sein. Die mit R_E seriengegekoppelten Transistoren vermindern die Anforderungen an die Gleichheit der Transistoren.

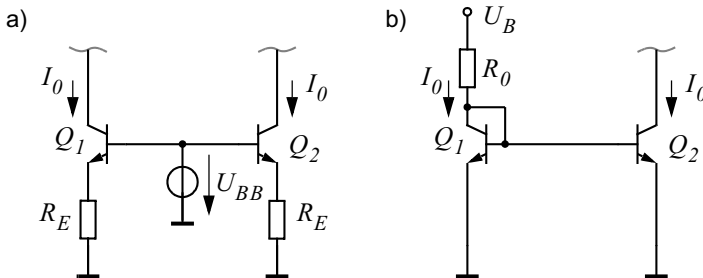


Bild 7.1-22: Stromspiegel-Schaltungen mit basisgekoppelten Differenzstufen; a) basisgekoppelte Differenzstufe mit seriengegekoppelten Transistoren, b) Stromspiegel mit Konstantstromeinstellung über R_0 und $Q1$

In den nachstehenden Experimenten wird die basisgekoppelte Differenzstufe als Stromquelle untersucht, bei Anwendung des Stromspiegels als Stromquelle in der Grundschiung von Bild 7.1-19. Zunächst erfolgt eine DC-Analyse, deren Ergebnis zeigt Bild 7.1-23. Im Beispiel wird mit R_0 und $Q5$ ein Konstantstrom von $I_0 = 1\text{mA}$ eingepreßt.

Experiment 7.1-7: Differenzstufe_Basisgek_Stromsp – DCAnalyse mittels des SimulationProfile „DC“.

Experiment 7.1-8: Differenzstufe_Basisgek_Stromsp – DCSweep mittels des SimulationProfile „DCSweep“.

Experiment 7.1-9: Differenzstufe_Basisgek_Stromsp – ACAnalyse mittels des SimulationProfile „AC“.

Beim Stromspiegel ist die Eingangs­differenzspannung Null. Deshalb wird der Strom – definiert im Stromzweig mit R_0 und Q_5 – näherungsweise auf die Kollektorfade von Q_3 und Q_4 „gespiegelt“. Voraussetzung dafür ist eine genügend hohe Stromverstärkung der Transistoren und die Gleichheit der Steuerkreise der Transistoren Q_3 , Q_4 und Q_5 .

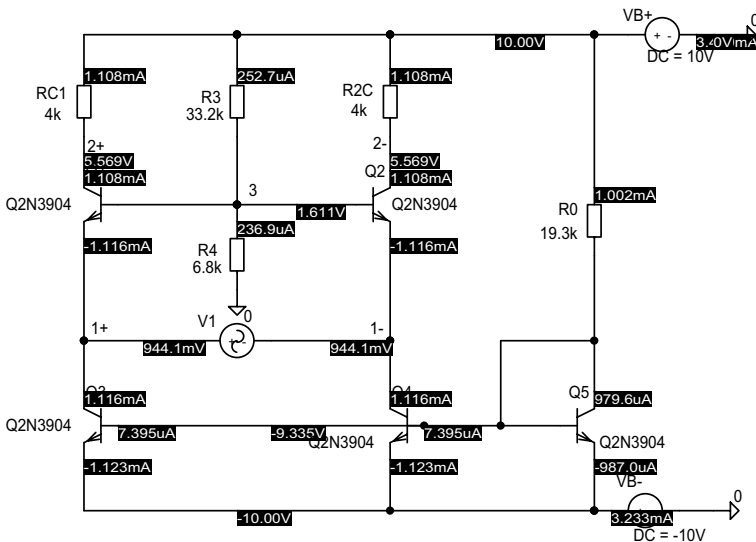


Bild 7.1-23: Stromspiegel zur Versorgung der basisgekoppelten Differenzstufe mit $I_0/2$

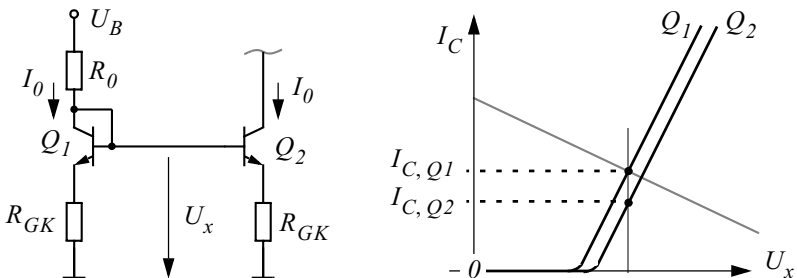


Bild 7.1-24: Stromspiegel mit Seriengegenkopplung

Bei einem Aufbau der Schaltung mit diskreten Transistoren ist auf ein hohes Gleichlaufverhalten der Transistoren zu achten. Das Problem lässt sich durch

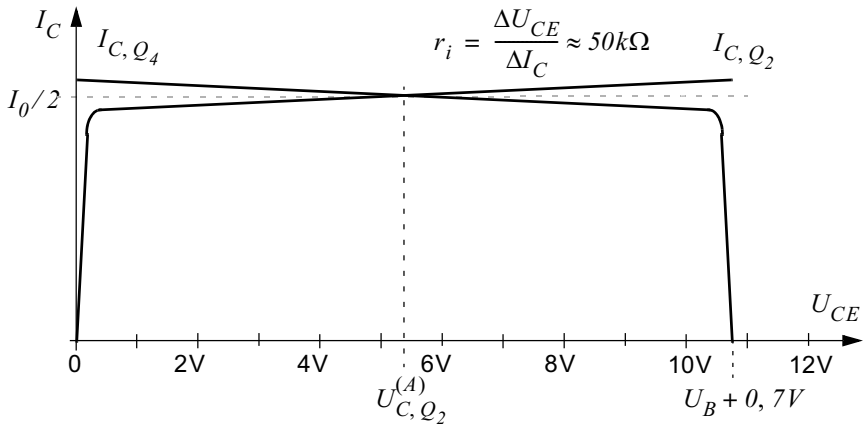


Bild 7.1-26: Ausgangskennlinien der emittergekoppelten Differenzstufe mit basisgekoppelter Differenzstufe als Lastkreis

Bei hochohmiger Last an Knoten 2 sind nur die beiden Innenwiderstände von Q_2 und Q_4 wirksam. Damit ergibt sich für die Verstärkung:

$$|v|_{2I} = \frac{\Delta U_2}{\Delta U_{I1'}} \approx g_m \cdot \frac{r_i}{2}; \quad (7.1-29)$$

In einem Experiment soll der Innenwiderstand r_i von Q_4 bestimmt werden. Bild 7.1-27 zeigt die zugrundeliegende Testschaltung. Der Innenwiderstand ist im Experiment ca. $r_i = 20k\Omega$ (Bild 7.1-28). Dies liegt daran, dass die Early-Spannung V_A bei dem verwendeten Transistor nur ca. $20V$ beträgt.

Experiment 7.1-10: Differenzstufe_Basisgek_Lastkr_ri – Innenwiderstand einer basisgekoppelten Stufe als aktiver Lastkreis.

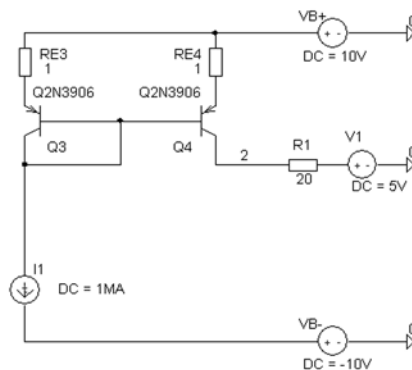


Bild 7.1-27: Zur Bestimmung des Innenwiderstandes der Ausgangsstromquelle

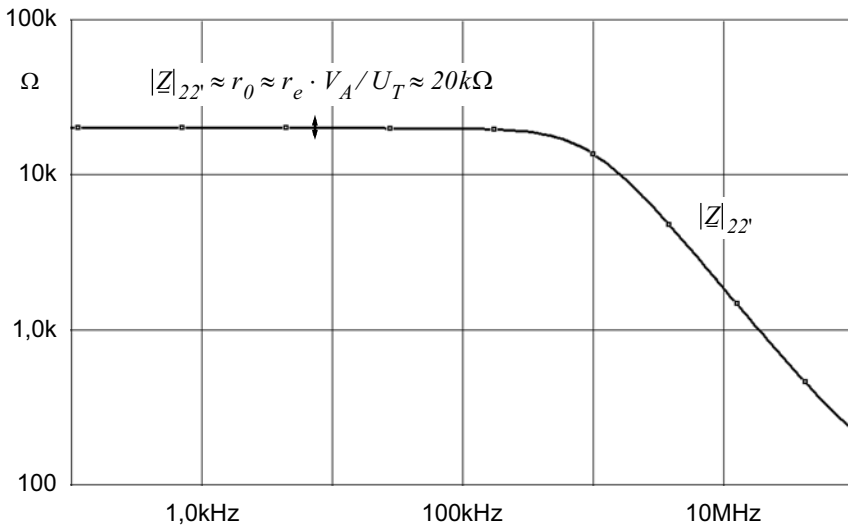


Bild 7.1-28: Ergebnis des Innenwiderstandes

Der Innenwiderstand lässt sich mit Seriengegenkopplung, realisiert über einen Widerstand R_E im Emittterpfad, erhöhen. Um die Erhöhung des Innenwiderstandes durch Seriengegenkopplung im Emittterpfad zu bestätigen, wird ein weiteres Experiment angestellt. Bild 7.1-29 zeigt die Testschaltung des Experiments. In Bild 7.1-30 ist das Ergebnis des Experiments dargestellt. Deutlich zeigt sich eine Erhöhung des Innenwiderstandes am Ausgang begründet durch die Seriengegenkopplung.

Experiment 7.1-11: Differenzstufe_Basisgek_Lastkr_riSerGK – Innenwiderstand einer basisgekoppelten Stufe als aktiver Lastkreis mit Seriengegenkopplung.

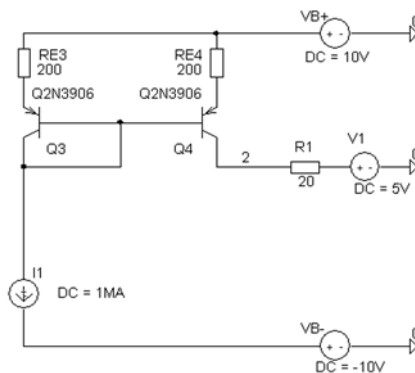


Bild 7.1-29: Zur Bestimmung des Innenwiderstandes mit Seriengegenkopplung

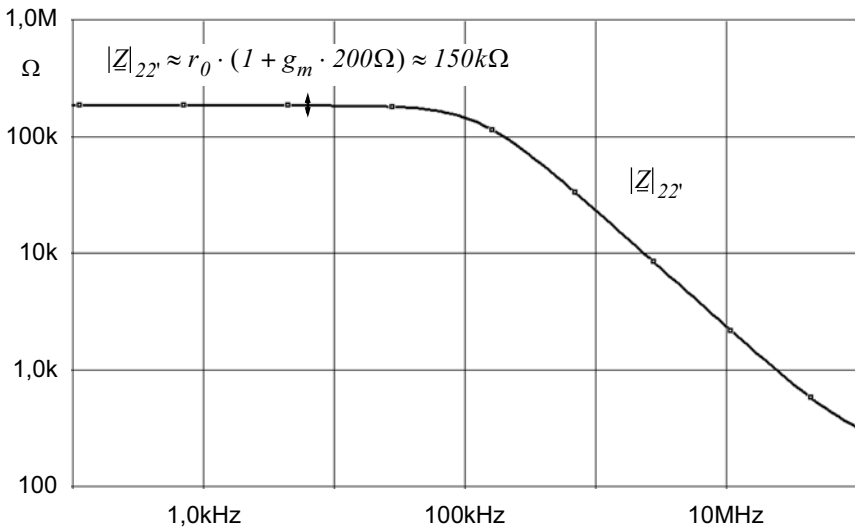


Bild 7.1-30: Ergebnis des Innenwiderstandes von $Q4$ mit Seriengegenkopplung

Der Innenwiderstand der Gesamtschaltung am Ausgangsknoten wird in folgendem Experiment bestimmt. Bild 7.1-31 zeigt die Testschaltung.

Experiment 7.1-12: Differenzstufe_Emgek_LKBasisgek_riSerGK – Bestimmung des Lastwiderstandes einer emittergekoppelten Differenzstufe mit basisgekoppelter Differenzstufe als Lastkreis.

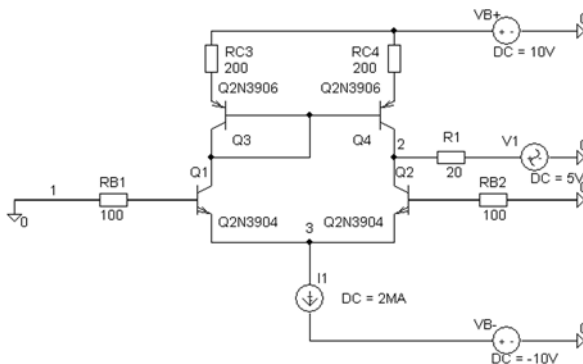


Bild 7.1-31: Zur Bestimmung des Innenwiderstandes der Gesamtschaltung

Der Transistor $Q2$ weist eine Early-Spannung V_A von ca. $75V$ auf, deshalb ist sein Innenwiderstand am Ausgangsknoten hochohmiger; er liegt im Beispiel bei ca. $55k\Omega$. Da der Knoten 3 sehr niederohmig ist, wegen des niederohmigen Ein-

gangs am Emitterknoten von $Q1$, ergibt sich der wirksame Innenwiderstand der Gesamtschaltung von Bild 7.1-31 aus der Parallelschaltung des Innenwiderstandes von $Q2$ und des Innenwiderstandes der seriengegekoppelten Stromquelle mit $Q4$. Das Ergebnis des Experiments in Bild 7.1-32 bestätigt die dort angegebene Abschätzung.

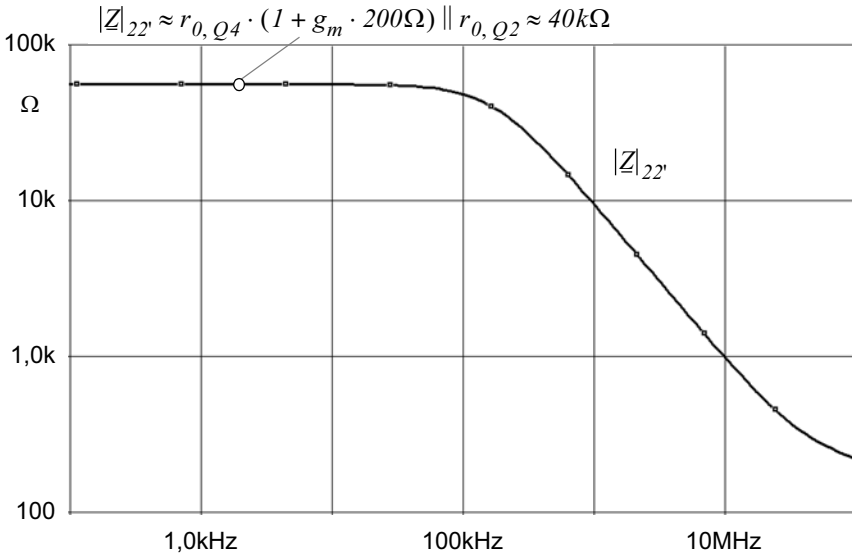


Bild 7.1-32: Ergebnis des Innenwiderstandes der Gesamtschaltung am Ausgangsknoten

Als nächstes wird die Stromübertragungskurve der Gesamtschaltung in einem Experiment betrachtet, um die Darstellung in Bild 7.1-1b) zu bestätigen. Die dafür erforderliche Testschaltung ist in Bild 7.1-33 dargestellt.

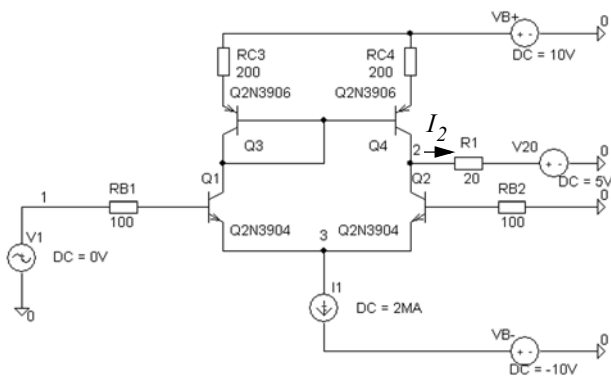


Bild 7.1-33: Zur Bestimmung der DC-Übertragungskurve $I_2 = f(U_{I1})$ der Gesamtschaltung

Experiment 7.1-13:

Differenzstufe_Emgek_LKBasisgek_DCÜbertragKurv

Im Arbeitspunkt ist der Ausgangsstrom näherungsweise Null. Bei positiver Ansteuerung erhöht sich der Ausgangsstrom bis der Maximalwert I_0 erreicht wird. Bei negativer Ansteuerung verringert sich der Ausgangsstrom bis $-I_0$. Als Steilheit ergibt sich die Steilheit des Einzeltransistors. Wegen der ungleichen Early-Spannungen der Ausgangstransistoren $Q2$ und $Q4$ stellt sich ein geringer Offsetstrom (hier ca. $62\mu A$) am Ausgang ein. Dieser Offsetstrom könnte durch eine geringe Eingangsoffsetspannung (hier ca. $-1,7mV$) kompensiert werden. Das Ergebnis der DC-Übertragungskurve des Ausgangsstroms zeigt Bild 7.1-34.

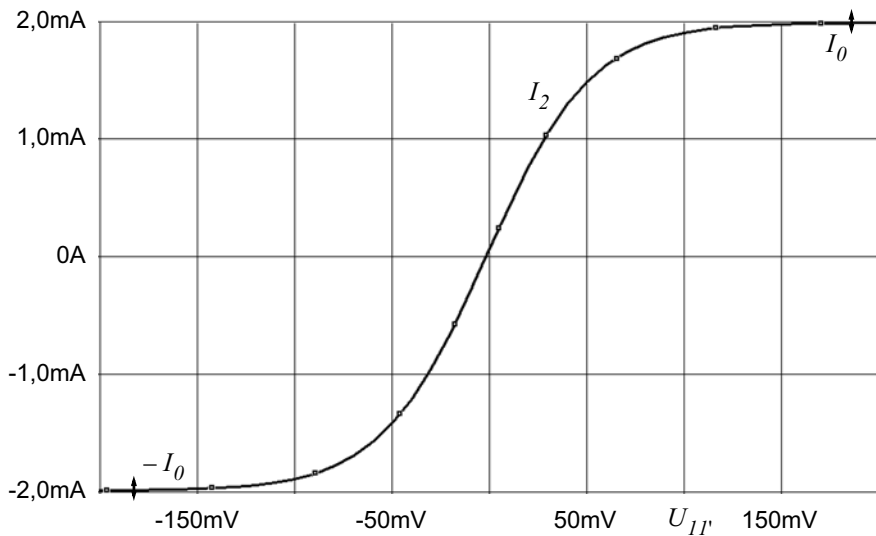


Bild 7.1-34: Ergebnis der DC-Übertragungskurve des Ausgangsstroms der Gesamtschaltung

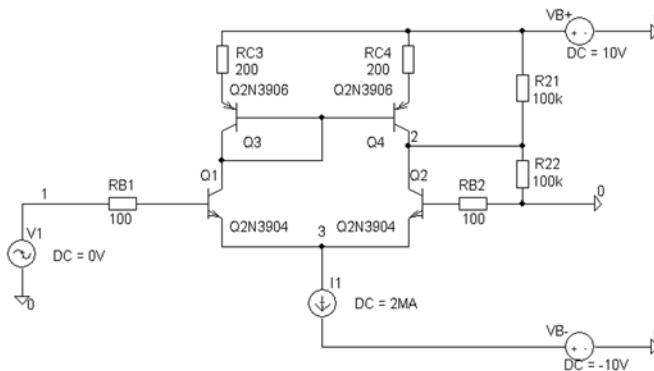


Bild 7.1-35: Zur Bestimmung der Verstärkung der Gesamtschaltung

Experiment 7.1-14: Differenzstufe_Emgek_LKBasisgek_Verst

In Kenntnis der Steilheit der Ansteuerung des Ausgangskreises und des Innenwiderstandes kann nunmehr die Verstärkung der Gesamtschaltung ermittelt werden. Die Testschaltung in Bild 7.1-35 ist am Ausgangsknoten mit einem Spannungsteiler beschaltet. Diese Maßnahme ist erforderlich, da sowohl der Transistor $Q2$, als auch der Transistor $Q4$ als Stromquelle arbeiten. Somit muss das Potenzial durch die Beschaltung des Ausgangsknotens geeignet festgelegt werden. Wegen des erwähnten Offsetstromes darf die Ausgangsbeschaltung nicht zu hochohmig gewählt werden (hier ist $R21 = R22 = 100k\Omega$).

Der Gesamtwiderstand am Knoten 2 ist im Beispiel ca. $25k\Omega$. Er ergibt sich aus der Parallelschaltung der Spannungsteilerwiderstände $R21$, $R22$ und parallel dazu der Innenwiderstand am Ausgang aus Bild 7.1-32. Bei einer Steilheit der Gesamtschaltung von $g_m = 1/25\Omega$ erhält man eine Verstärkung von ca. 1000, was durch das Simulationsergebnis in Bild 7.1-36 gut bestätigt wird. Eine Abschätzung für die Verstärkung ergibt sich für das Schaltungsbeispiel des Experiments aus:

$$|v_{2I}| = \underline{U}_2 / \underline{U}_I = g_m \cdot r_{i,Q4} \parallel r_{i,Q2} \parallel R21 \parallel R22; \quad (7.1-30)$$

Das Ergebnis der Abschätzung der Verstärkung für das betrachtete Beispiel ist damit schließlich:

$$|v_{2I}| = \underline{U}_2 / \underline{U}_I = \frac{1}{26\Omega} \cdot 200k \parallel 75k \parallel 100k \parallel 100k \approx 1000; \quad (7.1-31)$$

Wegen des Offsetstroms an Knoten 2 hin zu $R21$ bzw. $R22$ dürfen die Widerstände $R21$ und $R22$ nicht zu hochohmig gewählt werden, ansonsten ergibt sich eine unzulässige Offsetspannung, die dazu führen kann, dass zum einen die Aussteuerbarkeit reduziert wird bis dahin, dass der Transistor $Q4$ gesättigt wird.

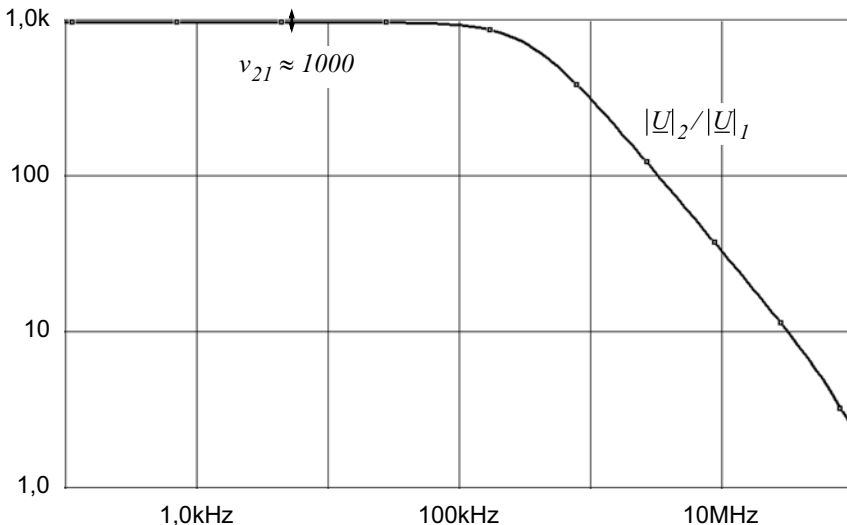


Bild 7.1-36: Ergebnis der Verstärkung der Gesamtschaltung

7.1.3 Differenzstufen in Kaskodeschaltung

Ähnlich der Kaskodeschaltung mit Einzeltransistoren (siehe Abschnitt 5.3.7) lassen sich Kaskodeschaltungen mit Differenzstufen realisieren, um den Vorteil der höheren Bandbreite von Kaskodestufen zu nutzen. Unter Kaskodeschaltungen versteht man im allgemeinen eine Hintereinanderschaltung zweier Transistoren. Eine Variante besteht darin, dass die Basis des ersten Transistors angesteuert wird, das Signal vom Kollektorausgang des ersten Transistors auf den Emitter des zweiten geführt und dann schließlich der Kollektor des zweiten Transistors als Ausgang verwendet wird. Bild 7.1-37a) zeigt diese Variante. Eine weitere Variante ist in Bild 7.1-37b) dargestellt. In dieser Anordnung wird das Signal wiederum an der Basis eingespeist, vom Emitter des ersten Transistors auf den Emitter des zweiten Transistors geführt, um dann am Ausgang des Kollektors des zweiten Transistors abgenommen zu werden.

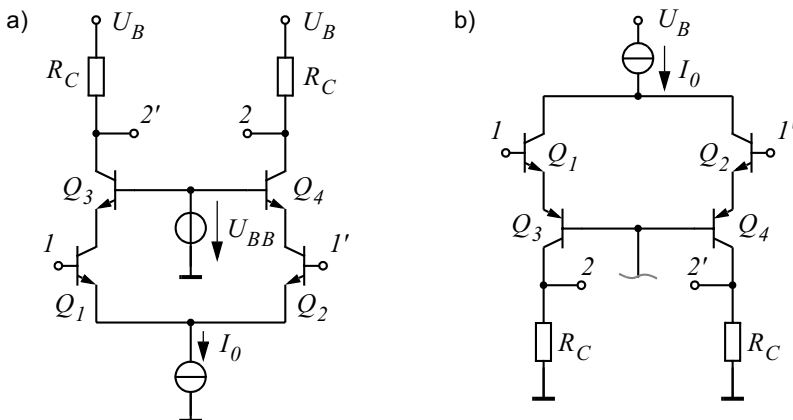


Bild 7.1-37: Kaskode-Differenzstufe: a) Variante B-C_E-C; b) Variante B-E_E-C

Zunächst wird in einem Experiment die Variante a) der Kaskodestufen in Bild 7.1-37 untersucht. Bild 7.1-38 zeigt die zugehörige Testschaltung. Der Spannungsteiler mit R_3 und R_4 legt das Basispotenzial U_{BB} von Q_3 und Q_4 fest. Ein wesentliches Kennzeichen der Kaskode-Stufe ist, dass die Verstärkung des Transistors Q_3 von Knoten $1+$ nach Knoten $3-$ betragsmäßig etwa bei 1 liegt. Damit wird der „Miller“-Effekt des Transistors Q_3 weitgehend unwirksam gemacht. Der Transistor Q_4 ist wegen der Ansteuerung am Emitterknoten in Basisschaltung betrieben. Damit erzielt man eine breitbandigere Verstärkeranordnung. In Bild 7.1-39 ist der Verstärkungsfrequenzgang nach AC-Analyse der Schaltung in Bild 7.1-38 dargestellt. Der Abschätzwert für die Verstärkung ergibt sich aus der Steilheit von Q_3 multipliziert mit dem Lastwiderstand $4k\Omega$. Somit erhält man für die Verstärkung von ca. $4000\Omega/25\Omega = 160$.

Experiment 7.1-15: Differenzstufe_Kaskode_B-C_E-C_Grundsich – ACAnalyse mittels des SimulationProfile „AC“.

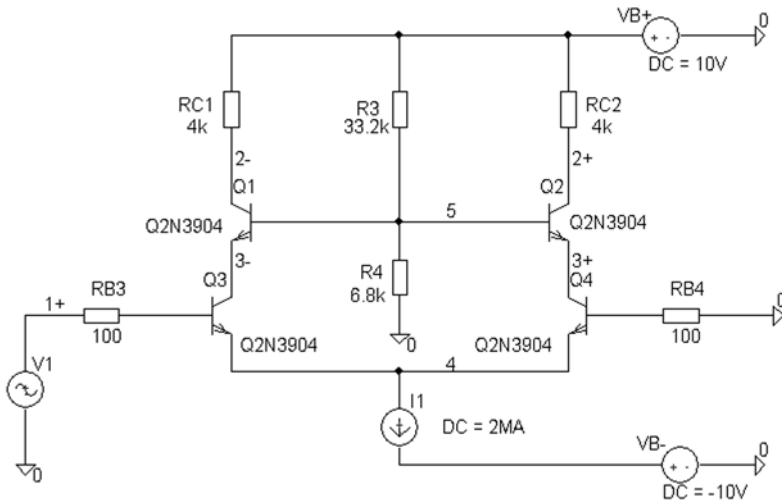


Bild 7.1-38: Testbench für die Kaskode-Differenzstufe – Variante B-C_E-C

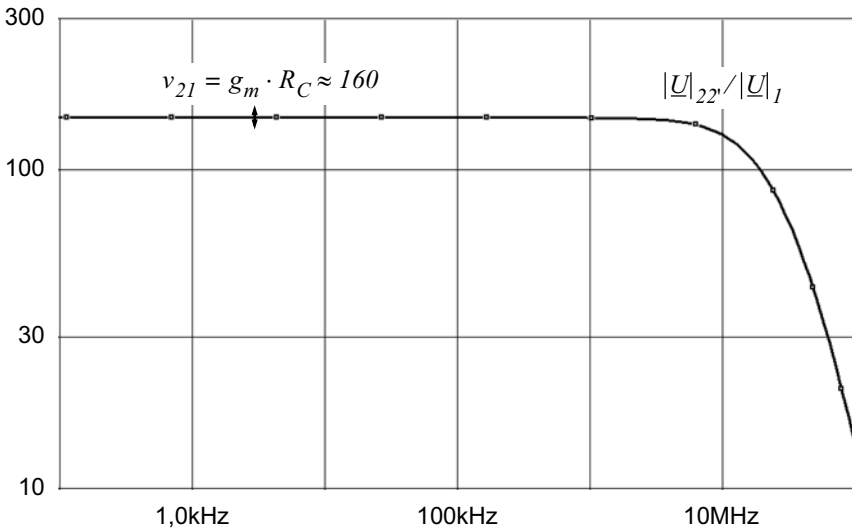


Bild 7.1-39: Verstärkungsfrequenzgang der Kaskode-Differenzstufe – Variante B-C_E-C

Als nächstes Experiment wird die zweite Variante einer Kaskode-Differenzstufe in Bild 7.1-37 betrachtet. Bild 7.1-40 zeigt die Testschaltung und Bild 7.1-41 das Ergebnis des Verstärkungsfrequenzgangs.

Experiment 7.1-16: Differenzstufe_Kaskode_B-E_E-C_Grundschr – ACAnalyse mittels des SimulationProfile „AC“.

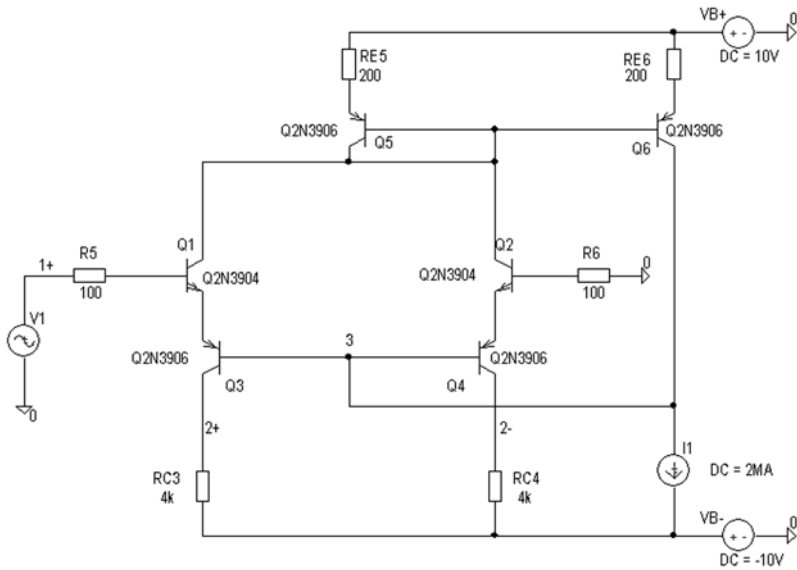


Bild 7.1-40: Testbench für die Kaskode-Differenzstufe – B-E_E-C

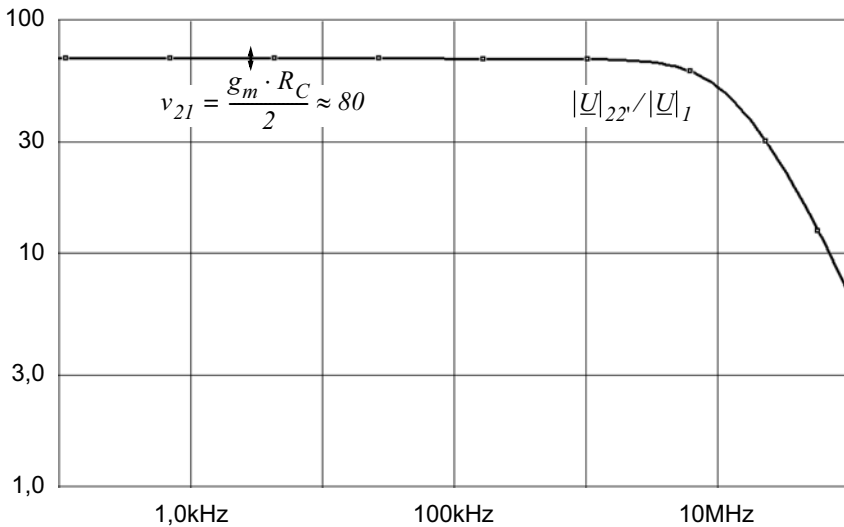


Bild 7.1-41: Verstärkungsfrequenzgang der Kaskode-Differenzstufe – B-E_E-C

Der Transistor $Q5$ bildet die Stromquelle der Differenzstufe der Variante in Bild 7.1-37b). Die Ableitung des Basisstroms von $Q3$ und $Q4$ erfolgt über die Stromquelle $I1$. In dieser Variante teilt sich das Eingangssignal auf $R5$, $R6$ und die vier

Basis-Emitter-Strecken auf. Ist $R5$ und $R6$ hinreichend niederohmig, so liegt an einer Basis-Emitter-Strecke von $Q3$ die Steuerspannung $\underline{U}_{I1}/4$ an. Die Ausgangsspannung an Knoten $2+$ ist demnach:

$$\underline{U}_{2+} = g_m \cdot R_C \cdot \underline{U}_{I1}/4; \quad (7.1-32)$$

Aufgrund dieses Sachverhalts ist die Verstärkung in Bild 7.1-41 nur etwa halb so groß wie in Bild 7.1-39.

7.1.4 Differenzstufen mit Feldeffekttransistoren

Das Prinzip von Differenzstufen und deren vielfältige Vorteile wird erweitert auf Differenzstufen mit Feldeffekttransistoren. Bislang wurden nur Differenzstufen mit Bipolartransistoren behandelt. Grundsätzlich lassen sich die betrachteten Schaltungsanordnungen in gleicher Weise mit Feldeffekttransistoren realisieren. Auch hier unterscheidet man zwischen sourcegekoppelten Differenzstufen und gategekoppelten Differenzstufen. Die Stromübertragungskurve weist wiederum in beiden Fällen einen S-förmigen Verlauf auf. Allerdings ist bedingt durch die geringere Steilheit der Feldeffekttransistoren der Übergang deutlich flacher.

Sourcegekoppelte Differenzstufe: In einer ersten Experimentfolge wird die sourcegekoppelte Differenzstufe betrachtet. Bild 7.1-42 zeigt die Testanordnung. Mittels DCSweep-Analyse wird die Stromübertragungsfunktion ermittelt (siehe Bild 7.1-43).

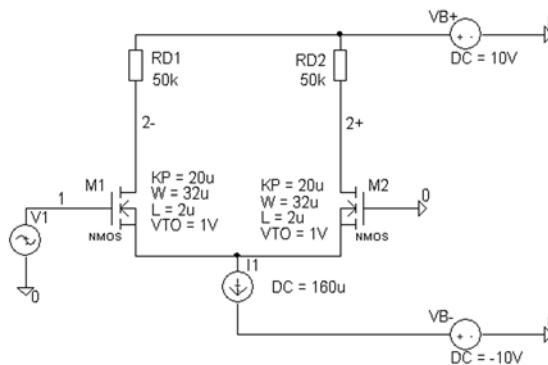


Bild 7.1-42: Sourcegekoppelte Differenzstufe mit NMOS-Transistoren

Experiment 7.1-17: FDifferenzstufe_Sourcegek_Grundschr – DCAnalyse mittels des SimulationProfile „DC“.

Experiment 7.1-18: FDifferenzstufe_Sourcegek_Grundschr – DCSweep Analyse mittels des SimulationProfile „DCSweep“.

Experiment 7.1-19: FDifferenzstufe_Sourcegek_Grundschr – AC Analyse mittels des SimulationProfile „AC“.

Wie bei der emittergekoppelten Differenzstufe ist bei $U_{II'} = 0$ der Ausgangsstrom $I_0/2$. Bei voller Aussteuerung kann ein Transistor den maximal möglichen Strom I_0 übernehmen. Die Steilheit des Übergangs ist durch die Steilheit des Feldeffekttransistors (Gl.(6.2-5) und Gl.(6.3-13)) bestimmt, die allerdings deutlich geringer ist, als beim Bipolartransistor.

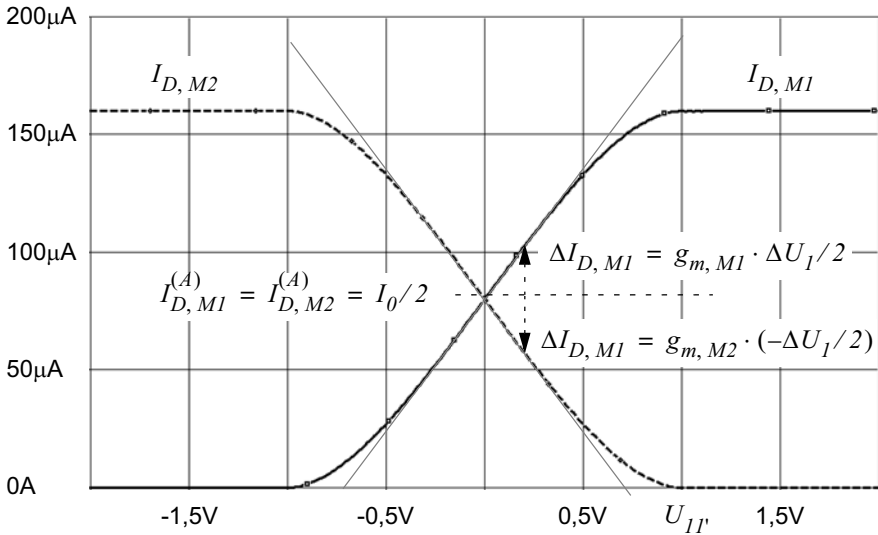


Bild 7.1-43: DC-Übertragungskurve der sourcegekoppelten Differenzstufe

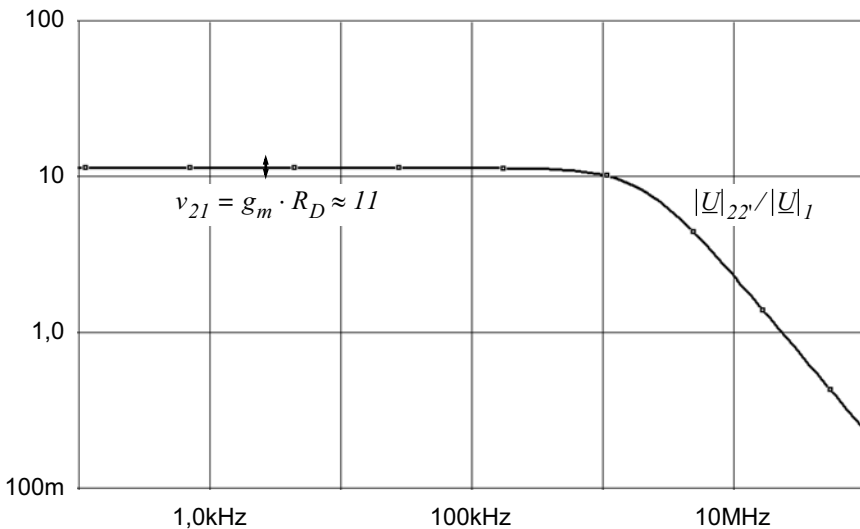


Bild 7.1-44: Ergebnis der Verstärkung der sourcegekoppelten Differenzstufe

Null. Bei hinreichend positiver Ansteuerung beträgt der Ausgangsstrom I_0 , bei genügend großer negativer Aussteuerung $-I_0$. Allerdings darf der Spannungsteiler mit $R21$ und $R22$ dabei nicht zu hochohmig dimensioniert sein, da sonst entweder $M2$ oder $M4$ den Stromquellenbetrieb verlässt. Je hochohmiger der Spannungsteiler ist, um so mehr verringert sich die lineare Stromaussteuerbarkeit am Ausgang.

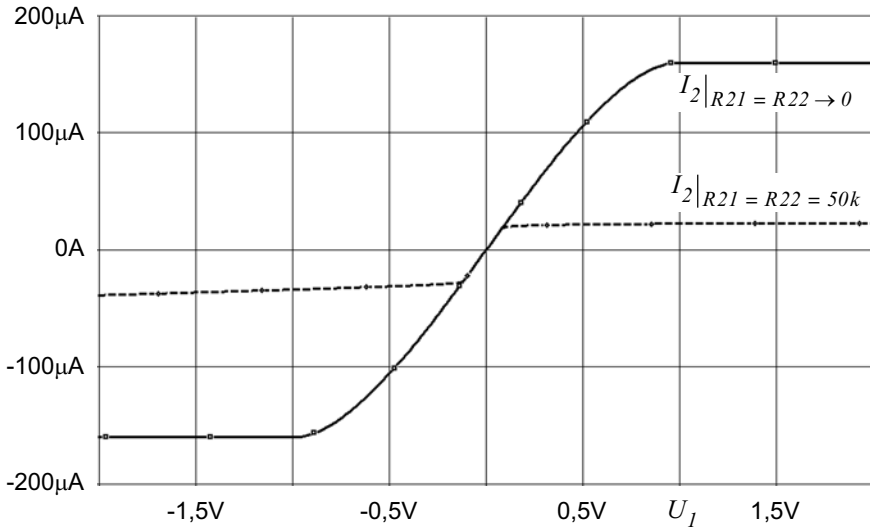


Bild 7.1-46: DC-Übertragungskurve der sourcegekoppelten Differenzstufe mit gategekoppelter Differenzstufe im Lastkreis

Für Kleinsignalbetrieb kann der Lastkreis hochohmiger dimensioniert werden. Im Beispiel wurden $R21 = R22 = 440k\Omega$ gewählt. Damit ergibt sich der in Bild 7.1-47 dargestellte Verstärkungsverlauf. Bandbegrenzend wirkt die Kapazität C_{bd} , die mit $5p$ angenommen wurde. Im obigen Experiment für die AC-Analyse wird der Verstärkung der Differenzstufe von Bild 7.1-45 am Ausgangsknoten 2+ bestimmt. Für die Verstärkung erhält man bei der gegebenen Steilheit $g_m = 1/4,4k\Omega$ mit dem Lastwiderstand an Knoten 2+ in der Größe von $220k\Omega$ den Wert von ca. 50. Bild 7.1-47 zeigt das Ergebnis der AC-Analyse der Verstärkung mit angegebenem Abschätzwert.

Die Stromquelle an der sourcegekoppelten Differenzstufe kann durch eine zusätzliche gategekoppelte Differenzstufe realisiert werden. Bild 7.1-48 zeigt die Testschaltung. Im folgenden Experiment wird die Verstärkerschaltung untersucht.

Experiment 7.1-23:

FDifferenzstufe_Sourcegek_LKGategek_realeStromqu_Verst

Das Beispiel ist so gewählt, dass der Arbeitspunkt nicht verändert wird, die Verstärkung also wieder 50 beträgt. Mit realen parasitären Kapazitäten für die Transistoren ergibt sich eine obere Eckfrequenz, wie aus dem Ergebnis der Untersuchung

in Bild 7.1-47 entnommen werden kann. Derartige Schaltungen sind die Basis von integrierten Verstärkerschaltungen mit NMOS und PMOS Transistoren.

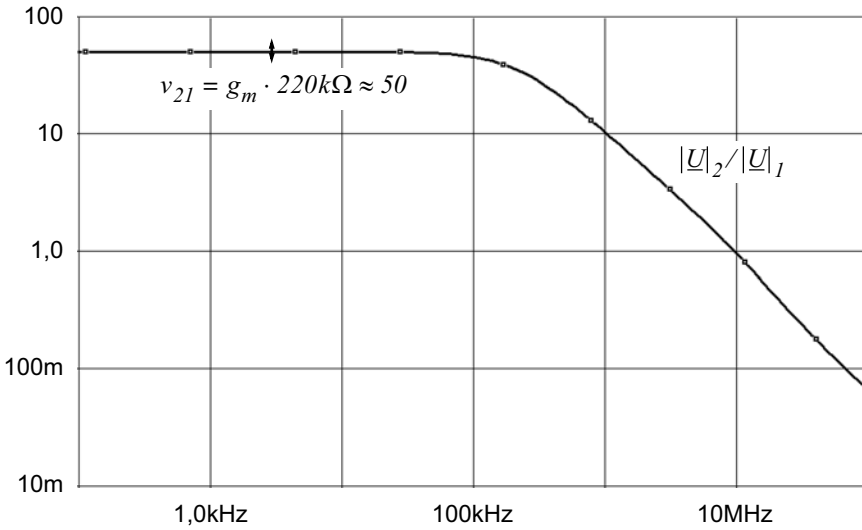


Bild 7.1-47: Ergebnis der AC-Analyse für die sourcegekoppelte Differenzstufe mit gategekoppelter Differenzstufe im Lastkreis und $R_{21} = R_{22} = 440k\Omega$

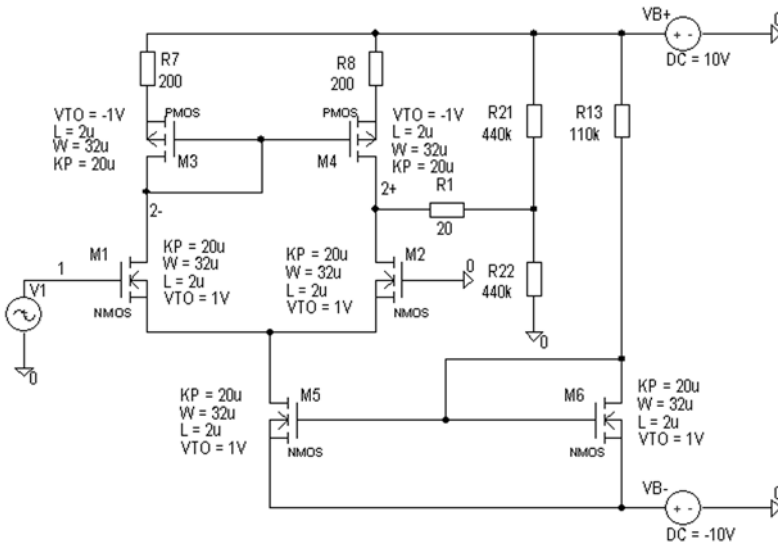


Bild 7.1-48: Sourcegekoppelte Differenzstufe mit NMOS-Transistoren und realer Stromquelle

7.2 Konstantstrom- und Konstantspannungsquellen

Konstantstromquellen und Konstantspannungsquellen bilden Funktionsprimitive in Verstärkerschaltungen u.a. zur Arbeitspunkteinstellung. Es wurde schon mehrfach darauf eingegangen. In einem eigenen Abschnitt gilt es, die spezifischen Eigenschaften herauszuarbeiten.

7.2.1 Konstantstromquellen

Konstantstromquellen benötigt man u.a. für die Arbeitspunkteinstellung und für aktive Lastkreise in Verstärkerschaltungen. Konstantstromquellen wurden bereits in verschiedenen Anwendungen benötigt, verwendet und erläutert. Hier sollen nochmals zusammenfassend die Eigenschaften von Stromquellen und mögliche Realisierungen behandelt werden. Die allgemeinen Eigenschaften von Konstantstromquellen sind im Bild 7.2-1 dargestellt. Unabhängig von der Realisierung beschreibt das Makromodell die Eigenschaften einer Konstantstromquelle. Bei Systemuntersuchungen genügt es, zunächst ohne Bezug zu einer konkreten Realisierung ein geeignetes Makromodell mit Innenwiderstand r_i und gegebenenfalls mit parasitären (kapazitiven) Einflüssen zugrunde zu legen.

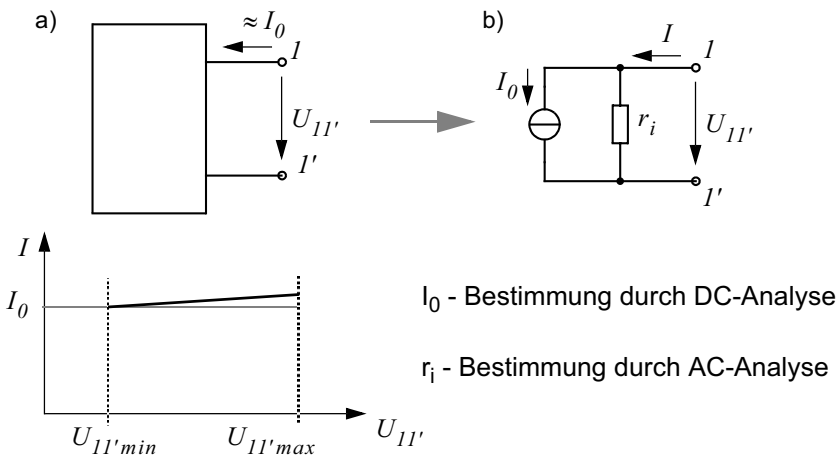


Bild 7.2-1: Makromodell einer Konstantstromquelle; a) Funktionsmodell mit Kennlinie für I_0 , b) Ersatzschaltbild

Der Konstantstrom I_0 wird durch eine DC-Analyse bestimmt. Den differentiellen Innenwiderstand r_i ermittelt man durch AC-Analyse. Gegebenenfalls ist parallel zu r_i eine parasitäre Kapazität zu berücksichtigen, die ebenfalls durch AC-Analyse bestimmt wird und bei einer AC-Analyse (Spannungsänderung) wirksam ist.

Die Funktion einer Stromquelle ist dadurch gekennzeichnet, dass der Ausgangsstrom konstant ist unabhängig von der anliegenden Spannung. Allgemein ist diese

Eigenschaft einer Stromquelle nur in einem beschränkten Aussteuerbereich gültig. Die gewünschte Funktion ist erst ab einer bestimmten Mindestspannung und bis zu einer Maximalspannung gegeben.

Einige mögliche Realisierungen wurden in den vorangehenden Kapiteln beschrieben. Jeder Transistor stellt am Kollektor- bzw. Drainausgang eine Stromquelle dar, wenn er im geeigneten Arbeitspunkt betrieben wird.

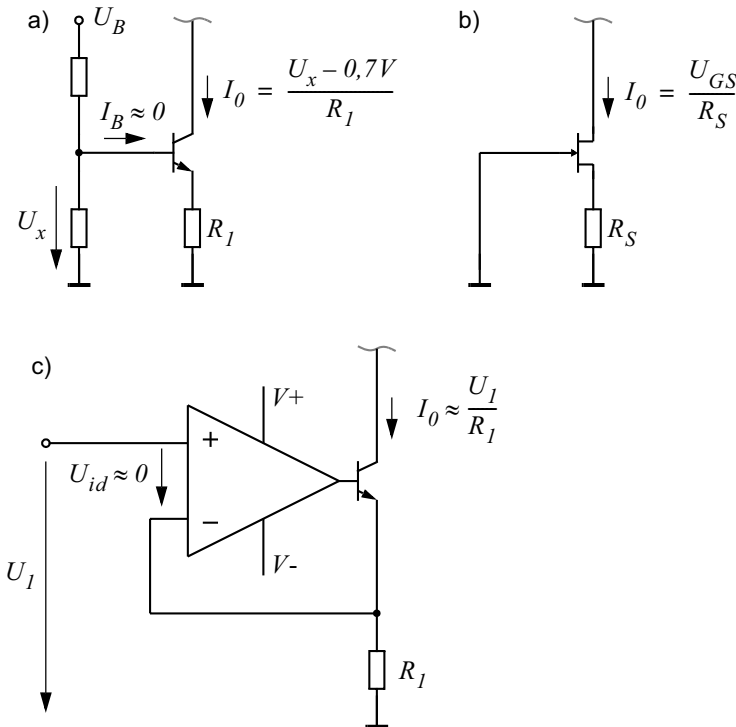


Bild 7.2-2: Beispiele für Konstantstromquellen mit Einzeltransistoren: a) Einzeltransistor seriengegekoppelt, b) Feldeffekttransistor seriengegekoppelt, c) Einzeltransistor mit Linearverstärker seriengegekoppelt

Der Innenwiderstand einer Stromquelle kann durch Seriengegenkopplung signifikant erhöht werden (siehe Abschnitt 4.2.4). Von dieser Eigenschaft der Seriengegenkopplung wurde schon vielfach Gebrauch gemacht. In den Beispielen wirkt R_I bzw. R_S als Seriengegenkopplung.

Weitere Realisierungsmöglichkeiten ergeben sich mit basisgekoppelten bzw. gategekoppelten Differenzstufen. In den Beispielen in Bild 7.2-3 sind mögliche Ausführungsformen skizziert. Bei $R_2 = R_E$ in Bild 7.2-3a) ist $I_0 = I_x$, allerdings nur dann, wenn die Stromverstärkung genügend groß ist. Der Strom $I_{B,Q1} + I_{B,Q2}$ verursacht eine – wenn auch geringe – Unsymmetrie. Die Unsymmetrie lässt sich verringern, wenn der Kurzschlussbügel durch einen Transistor mit Stromverstärkung

ersetzt wird (Bild 7.2-3b). Im Beispiel reduziert der Transistor Q_4 die Unsymmetrie verursacht durch die Basisströme.

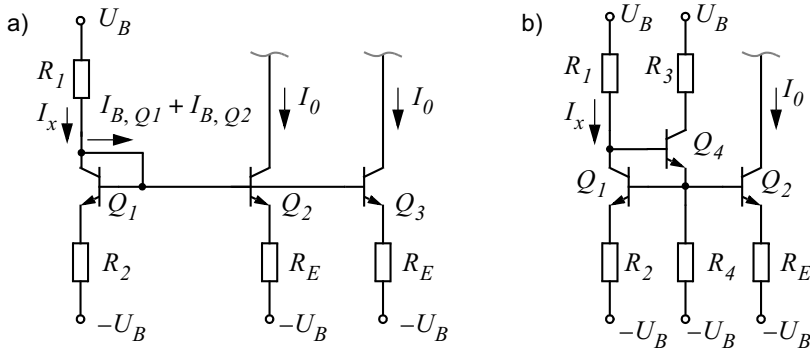


Bild 7.2-3: Stromquellen realisiert durch basisgekoppelte Differenzstufen: a) allgemeine Form, b) Kurzschlussbügel ersetzt durch Transistor Q_4 mit Stromverstärkung

Unter Vernachlässigung des Basisstroms ergibt sich folgender Zusammenhang:

$$I_{E, Q1} \cdot R_2 = I_{E, Q2} \cdot R_E = \frac{I_0}{A_{Q2}} \cdot R_E; \quad (7.2-1)$$

$$I_{E, Q1} = \frac{2 \cdot U_B - 0,7V}{R_1 + R_2};$$

Bei $R_2 = R_E$ ist mit guter Näherung $I_{E, Q1} = I_0$. Wegen möglicher unterschiedlicher Kollektor-Emitter Spannungen kann sich aufgrund der endlichen Early-Spannung eine weitere Unsymmetrie einstellen. Dieser Effekt lässt sich durch geeignete Gegenkopplung bei Erhöhung des Innenwiderstandes verringern. Einen Sonderfall stellt die Ausführungsform mit $R_2 = 0$ dar (Bild 7.2-4). Damit ist es möglich, ausgehend von einem größeren Strom I_x einen kleineren Konstantstrom I_0 abzuleiten. Die OP-Verstärkerschaltung in Bild 2.1-14 verwendet dieses Prinzip mit Q_{11} , Q_{10} und R_4 .

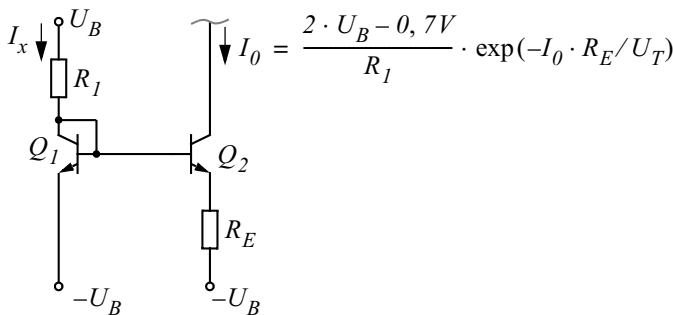


Bild 7.2-4: Sonderfall der basisgekoppelten Differenzstufe mit $R_2 = 0$

Im betrachteten Sonderfall gilt unter Vernachlässigung des Basisstroms:

$$U_{BE, Q2} + I_0 R_E = U_{BE, Q1};$$

$$\text{Mit } I_0 \approx I_S \cdot e^{\left(\frac{U_{BE, Q1}}{U_T} \right)} \text{ wird: } U_T \cdot \ln(I_0/I_S) + I_0 R_E = U_T \cdot \ln(I_x/I_S);$$

$$\boxed{I_x/I_0 = e^{I_0 \cdot R_E / U_T};} \quad (7.2-2)$$

Bei $I_0 R_E = 4U_T$ wird $I_x/I_0 = 50$. Dies ist beispielsweise gegeben, wenn $I_0 = 20\mu\text{A}$ ist bei $R_E = 5K\Omega$. Damit erhält man bei einem gegebenen Strom $I_x = 1\text{mA}$ einen Konstantstrom von $I_0 = 20\mu\text{A}$ am Ausgang (siehe Bild 2.1-14).

Eine weitere Variante stellt die Wilson-Konstantstromquelle dar. Bild 7.2-5 zeigt die zugrundeliegende Prinzipschaltung.

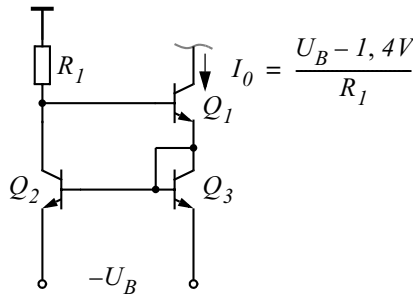


Bild 7.2-5: Wilson-Konstantstromquelle

Die Wilson-Konstantstromquelle besteht aus einer basisgekoppelten Differenzstufe mit $Q2$ und $Q3$ und einem zusätzlichen Transistor $Q1$, der als Stromquelle arbeitet. Durch den Gegenkopplungspfad über $Q2$ wird der Innenwiderstand des Stromquellentransistors $Q1$ signifikant erhöht. Die Abschätzung auf Basis des AC-Ersatzschaltbildes in Bild 7.2-6 soll die Gegenkopplungsmaßnahme erklären.

Am Ausgang möge der Strom I_x fließen und die Spannung $\underline{U}_x$ anliegen. Der Quotient aus $\underline{U}_x$ und I_x bestimmt den gesuchten Innenwiderstand. Der Strom I_x hat am Emitter von $Q1$ den Strom I_y zur Folge. Damit ergibt sich als Steuerspannung für $Q2$ und $Q3$ die Spannung $I_y \cdot r_e$, was an $Q2$ den Kollektorstrom $I_y \cdot r_e \cdot g_m = \alpha_0 \cdot I_y$ verursacht. Dieser Kollektorstrom ergibt sich aufgrund der Stromspiegeleigenschaften von $Q2$ und $Q3$. Unter der Bedingung, dass $R_I \gg (\beta_0 + 1) \cdot r_e$ gegeben sei, wird der Basisstrom von $Q1$ näherungsweise $\alpha_0 \cdot I_y$ sein. Dieser Strom erzeugt an $Q1$ eine Gegenkopplungsspannung $\beta_0 \cdot I_y \cdot r_e$, die als Steuerspannung wirkt. Damit treibt die Stromquelle am Kollektor einen Strom der Größe $\beta_0 \cdot I_y \cdot \alpha_0$. Dieser Gegenkopplungsstrom am Ausgang erhöht den Innenwiderstand. Am Ausgangsknoten gilt:

$$\begin{aligned} 1) \quad & I_x + I_y \cdot \beta_0 \cdot \alpha_0 = (\underline{U}_x - I_y \cdot r_e) / r_0; \\ 2) \quad & I_y + \alpha_0 \cdot I_y = I_x; \Rightarrow I_x \approx 2 \cdot I_y; \end{aligned} \quad (7.2-3)$$

Damit wird:

$$I_x \cdot (1 + \beta_0/2) \approx (\underline{U}_x - (I_x/2) \cdot r_e)/r_0; \quad (7.2-4)$$

Schließlich erhält man daraus das Ergebnis für den gesuchten Innenwiderstand:

$$\underline{U}_x/I_x \approx r_0 \cdot (1 + \beta_0/2); \quad (7.2-5)$$

Nach dieser abschätzenden Betrachtung wird der Ausgangswiderstand r_0 durch Gegenkopplung um den Faktor $1 + \beta_0/2$ erhöht. Diese Grobabschätzung soll in erster Linie das Zustandekommen der Gegenkopplung erläutern.

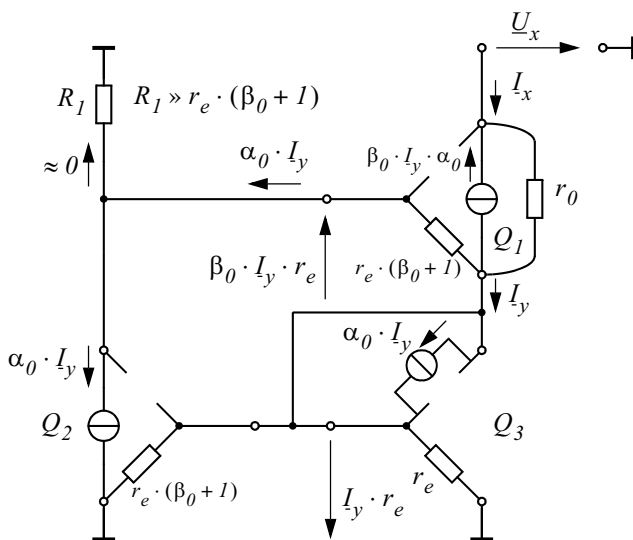


Bild 7.2-6: AC-Ersatzschaltbild der Wilson-Konstantstromquelle mit $R_1 \gg (\beta_0 + 1) \cdot r_e$

Anstelle der einschränkenden Annahme, dass $R_1 \gg (\beta_0 + 1) \cdot r_e$ gelten möge, wird nun der andere Grenzfall mit $R_1 \ll (\beta_0 + 1) \cdot r_e$ betrachtet (Bild 7.2-7). Die Steuerspannung von $Q1$ ist gemäß Bild 7.2-7 $\alpha_0 \cdot I_y \cdot R_1$. Diese Steuerspannung steuert die Stromquelle des Kollektors mit einem Strom in Höhe von $\alpha_0 \cdot I_y \cdot R_1 \cdot g_m$. Dieser Strom vermindert den ursächlichen Strom I_x aufgrund der Gegenkopplung, was einer Erhöhung des Innenwiderstandes entspricht. Wegen der getroffenen Annahme ist weiterhin in diesem Fall $I_x \approx I_y$. Damit wird näherungsweise

$$I_x \cdot (1 + \alpha_0 \cdot R_1 \cdot g_m) \approx (\underline{U}_x - I_x \cdot r_e)/r_0; \quad (7.2-6)$$

Schließlich ergibt sich daraus der gesuchte Innenwiderstand:

$$\underline{U}_x/I_x \approx r_0 \cdot (1 + R_1 \cdot g_m); \quad (7.2-7)$$

Auch hier zeigt sich eine signifikante Erhöhung des Innenwiderstandes aufgrund der gegebenen Seriengegenkopplung. In beiden betrachteten Grenzfällen erhöht sich der Innenwiderstand bei der Wilson-Konstantstromquelle.

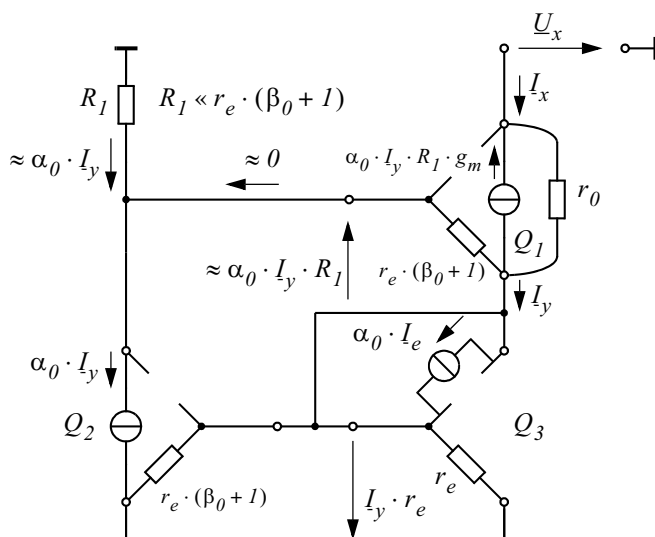


Bild 7.2-7: AC-Ersatzschaltbild der Wilson-Konstantstromquelle mit $R_I \ll (\beta_0 + 1) \cdot r_e$

In einem Experiment wird der Innenwiderstand einer Stromquelle bestehend aus einer basisgekoppelten Differenzstufe, mit der von der Wilson-Konstantstromquelle verglichen. Bild 7.2-8 zeigt die Testschaltung der basisgekoppelten Differenzstufe als Stromquelle. Das Ergebnis des Innenwiderstandes ist in Bild 7.2-9 dargestellt. Der Innenwiderstand wird im wesentlichen bestimmt durch den Early-Widerstand des als Stromquelle betriebenen Transistors $Q1$.

Experiment 7.2-1: Basisgek-Stromqu_AC

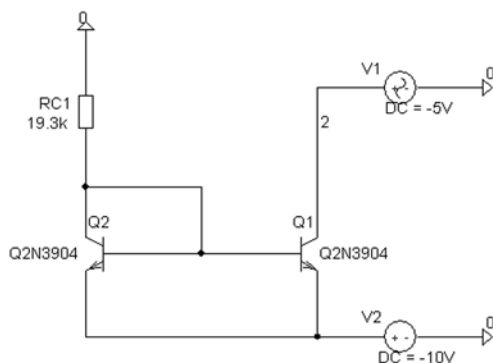


Bild 7.2-8: Testschaltung zur Ermittlung des Innenwiderstandes einer basisgekoppelten Differenzstufe

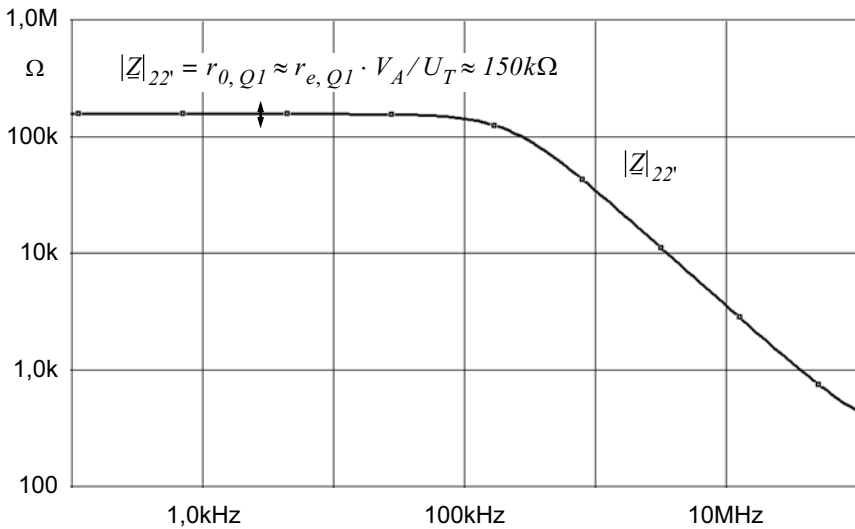


Bild 7.2-9: Ergebnis des Innenwiderstandes der basisgekoppelten Differenzstufe

Die Early-Spannung von Q1 in der Testschaltung (Bild 7.2-8) beträgt $V_A = 74V$, somit wird bei einem Konstantstrom von $0,5mA$ der Innenwiderstand näherungsweise ca. $150k\Omega$.

Als nächstes wird die Wilson-Konstantstromquelle gemäß Testschaltung in Bild 7.2-10 untersucht. Das Ergebnis des Innenwiderstandes der Wilson-Konstantstromquelle zeigt Bild 7.2-11.

Experiment 7.2-2: Wilson-Stromqu_AC

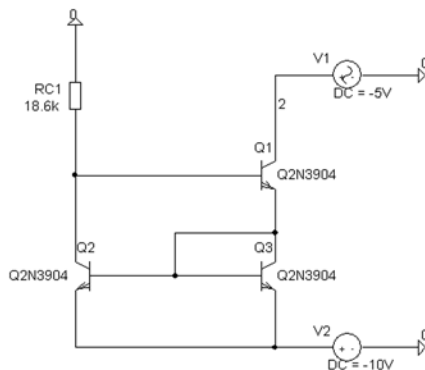


Bild 7.2-10: Testschaltung zur Ermittlung der Innenwiderstandes einer Wilson-Konstantstromquelle

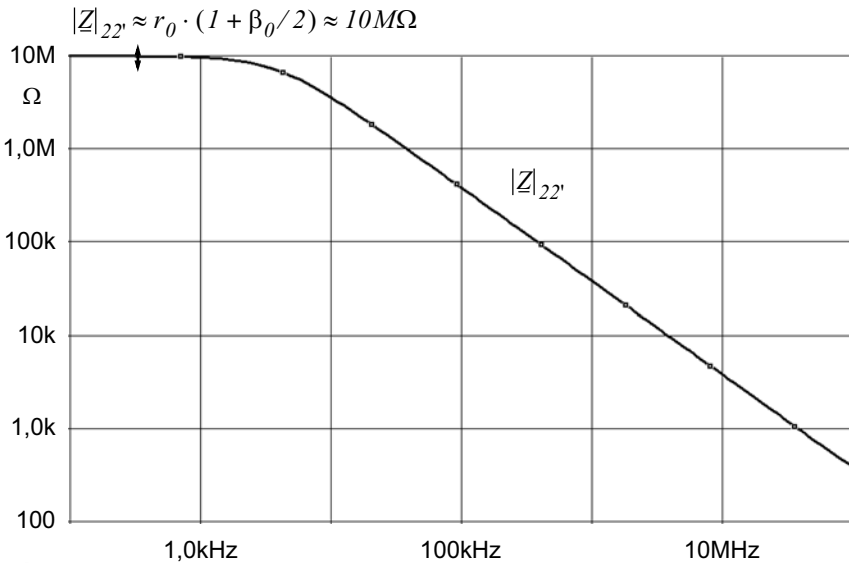


Bild 7.2-11: Ergebnis des Innenwiderstandes der Wilson-Konstantstromquelle

Der Vergleich zwischen dem Ergebnis in Bild 7.2-9 und Bild 7.2-11 zeigt, dass der Innenwiderstand der Wilson-Konstantstromquelle aufgrund der beschriebenen Gegenkopplungsmaßnahme etwa um den Faktor 60 höher ist, als der Innenwiderstand einer basisgekoppelten Differenzstufe bei gleichem Konstantstrom. Dieses Experiment bestätigt die getroffene relativ grobe Abschätzung.

7.2.2 Konstantspannungsquellen

In Verallgemeinerung der bereits bei Funktionsschaltungen mit Bipolartransistoren behandelten Funktionsprimitive für Bipolartransistoren als Spannungsquellen werden Konstantspannungsquellen behandelt. Konstantspannungsquellen benötigt man u.a. zur Vorspannungserzeugung, zur Arbeitspunkteinstellung und zur Referenzspannungserzeugung. Eine Konstantspannung lässt sich herleiten aus der Schwellspannung eines pn-Übergangs bzw. aus der Schwellspannung eines Feldefeffekttransistors. Im Abschnitt 5.3.4 wurde eine Realisierungsmöglichkeit einer Konstantspannungsquelle bereits beschrieben und erläutert. Es sollen zusammenfassend die Eigenschaften von Spannungsquellen und mögliche Realisierungen behandelt werden. Die allgemeinen Eigenschaften von Konstantspannungsquellen werden im nachstehenden Bild 7.2-12 erläutert. Von besonderer Bedeutung ist die Konstanz der Spannung und in welcher Weise Temperatureinflüsse diese Grundeigenschaft der Konstantspannungsquelle ändern. Bei Systemuntersuchungen genügt es, zunächst ohne Bezug zu einer konkreten Realisierung ein geeignetes Makromodell zugrunde zu legen.

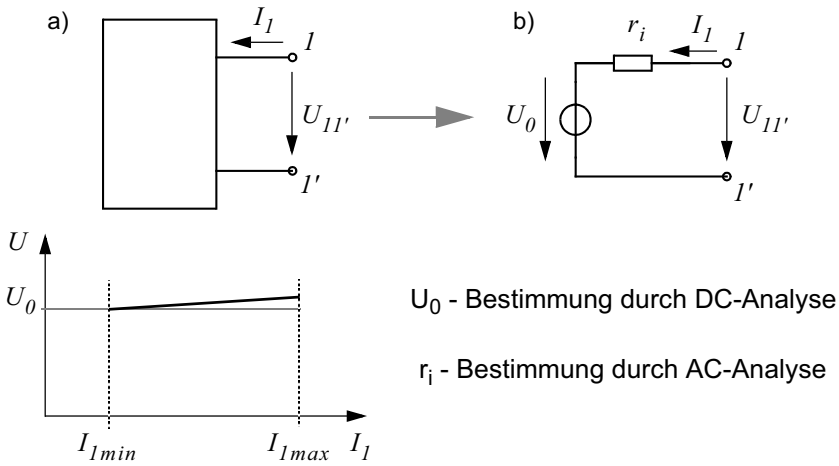


Bild 7.2-12: Makromodell einer Konstantspannungsquelle; a) Funktionsmodell mit Kennlinie für U_0 , b) Ersatzschaltbild

Die Konstantspannung U_0 wird durch eine DC-Analyse bestimmt. Den differentiellen Innenwiderstand r_i ermittelt man durch AC-Analyse. In Abschnitt 5.3.4 wurde ein Bipolartransistor mittels geeigneter Parallelgegenkopplung als Konstantspannungsquelle eingeführt; zunächst ein Experiment zu diesem Beispiel. Es soll das Temperaturverhalten dieser Konstantspannungsquelle untersucht werden. In Bild 7.2-13 ist das Ergebnis der DC-Analyse bei $T = 27^\circ C$ und bei $T = 120^\circ C$ dargestellt.

Experiment 7.2-3: Spannungsqu_BipTrans

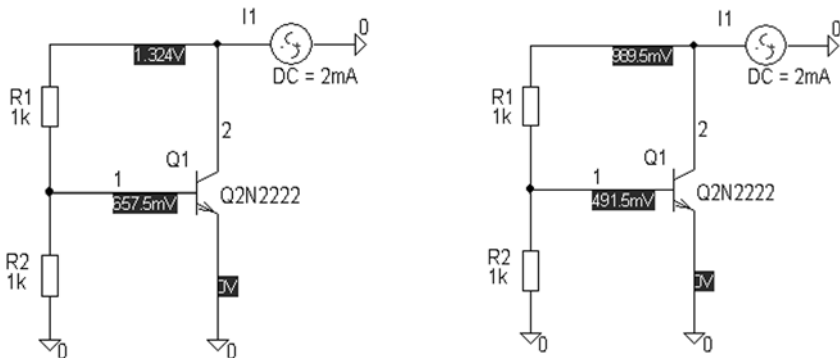


Bild 7.2-13: Temperaturverhalten der Konstantspannungsquelle mit einem parallelgegenekoppelten Bipolartransistor; a) $T = 27^\circ C$, b) $T = 120^\circ C$

Im Beispiel ist die Konstantspannung U_0 etwa gleich der doppelten Schwellspannung der Emitter-Basisdiode. Wegen des Temperaturkoeffizienten dieser Schwellspannung in Höhe von ca. $-2\text{mV}/^\circ\text{C}$ verändert sich bei Temperaturerhöhung die Konstantspannung beträchtlich. Es wird also nach Möglichkeiten gesucht, den Temperaturgang einer Konstantspannungsquelle zu vermindern. Eine Möglichkeit stellt die sogenannte Bandgap-Referenzschaltung dar. Bild 7.2-14 zeigt ein Realisierungsbeispiel einer Bandgap-Referenzschaltung. Eingebildet ist das Ergebnis der DC-Analyse bei $T = 27^\circ\text{C}$.

Experiment 7.2-4: Bandgap-Referenz_27

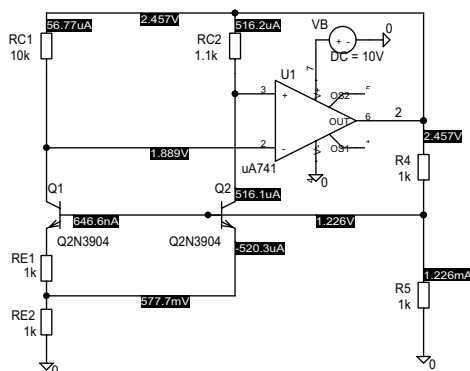


Bild 7.2-14: Bandgap-Referenz als Konstantspannungsquelle bei $T = 27^\circ\text{C}$

Für die gegebene Schaltung in Bild 7.2-14 gelten folgende Netzwerkgleichungen:

- 1) $I_{C,Q1} \cdot R_{C1} = I_{C,Q2} \cdot R_{C2}; \Rightarrow I_{C,Q2} / I_{C,Q1} = 9,09;$
- 2) $U_2/2 = U_{BE,Q2} + (I_{C,Q1} + I_{C,Q2}) \cdot R_{E2};$
- 3) $U_{BE,Q1} + I_{C,Q1} \cdot R_{E1} = U_{BE,Q2};$

Aus der letzten Gleichung ergibt sich:

$$U_T \cdot \ln \frac{I_{C,Q1}}{I_S} + I_{C,Q1} \cdot R_{E1} = U_T \cdot \ln \frac{I_{C,Q2}}{I_S}; \quad (7.2-9)$$

$$\text{Daraus wird: } I_{C,Q1} \cdot R_{E1} = U_T \cdot \ln \frac{I_{C,Q2}}{I_{C,Q1}} = U_T \cdot \ln 9,09;$$

Im Beispiel ist konkret:

$$I_{C,Q1} = \frac{U_T \cdot \ln 9,09}{R_{E1}} = 57\mu\text{A} \Rightarrow I_{C,Q2} = 520\mu\text{A}; \quad (7.2-10)$$

Eingesetzt in Gleichung 2) von Gl.(7.2-8) erhält man:

$$U_2/2 = U_{BE,Q2} + 10,09 \cdot U_T \cdot \ln 9,09; \quad (7.2-11)$$

Während $U_{BE,Q2}$ mit $-2\text{mV}/^\circ\text{C}$ abnimmt, steigt der zweite Summand mit T .

Die Temperaturabhängigkeit der Ausgangsspannung bestimmt sich aus:

$$\frac{\partial}{\partial T}(U_2/2) = -2mV/^{\circ}C + 10,09 \cdot \frac{k}{e} \cdot \ln(9,09); \quad k: \text{ Boltzmannkonstante} \quad (7.2-12)$$

$$\frac{\partial}{\partial T}(U_2/2) = 0 \quad \text{wenn} \quad 10,09 \cdot \frac{k}{e} \cdot \ln(9,09) \approx +2mV/^{\circ}C;$$

Dieser Effekt der Kompensation von Temperaturkoeffizienten ist bei der gewählten Dimensionierung in etwa gegeben. Damit sollte bei einer Temperaturänderung die Ausgangsspannung weitgehend konstant bleiben. Im folgenden Experiment wird dies überprüft. Das Ergebnis des Experiments zeigt Bild 7.2-15 (vergl. Bild 7.2-14). Man kann feststellen, dass sich die Temperaturstabilität gegenüber der ersten betrachteten Realisierungsvariante beträchtlich verbessert hat.

Experiment 7.2-5: Bandgap-Referenz_120

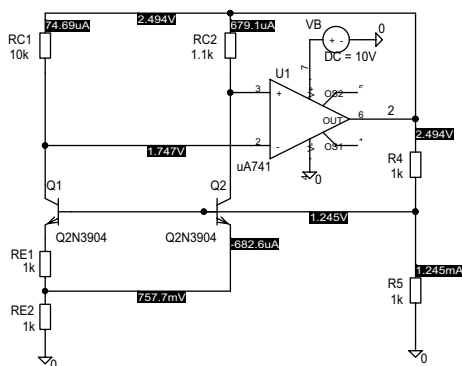


Bild 7.2-15: Bandgap-Referenz als Konstantspannungsquelle bei $T = 120^{\circ}C$

7.3 Schaltungsbeispiele zur Potenzialverschiebung

Bei DC-gekoppelten Funktionsschaltungen ergeben sich Verkopplungen der Arbeitspunkte von Transistoren. Zur Realisierung eines Potenzialausgleichs benötigt man Funktionsprimitive für die Potenzialverschiebung, so dass die Hauptfunktion einer Schaltung möglichst nicht beeinträchtigt wird.

Sollen zwei Funktionsschaltungen verbunden werden, so muss eine Arbeitspunktverschiebung durch die speisende Stufe verhindert werden. Dies ist besonders wichtig bei DC-gekoppelten Stufen. Bild 7.3-1 zeigt die Auswirkungen einer AC-Kopplung bei Übertragung eines Bitstromes mit DC-Komponente. Bei geeigneter DC-Kopplung kann die bitmusterabhängige Basislinienverschiebung vermieden werden. Eine AC-Kopplung ist im allgemeinen nur erlaubt, wenn das Signal keine DC-Komponente enthält. Dies kann beispielsweise bei Digitalsignalen durch einen gleichstromfreien Code (z.B. AMI-Code) erreicht werden.

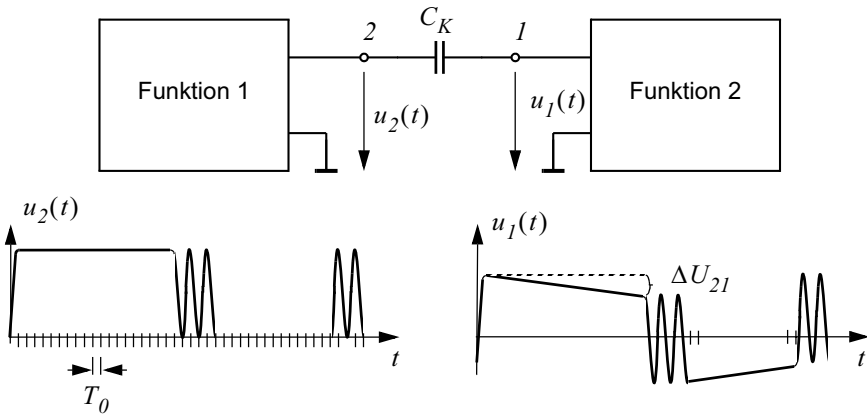


Bild 7.3-1: Basislinienverschiebung durch AC-Kopplung

Es hängt nun von der Spektralverteilung des Signals ab, ob eine AC-Kopplung möglich ist. Bei AC-Kopplung entsteht ein Hochpass mit einer unteren Eckfrequenz (Bild 7.3-2). Die Eckfrequenz muss so gewählt werden, dass keine signifikanten Teile des Spektrums vom übertragenen Signal herausgeschnitten werden. Die Eckfrequenz wird bestimmt durch den Eingangswiderstand der Funktionseinheit 2 und der Koppelkapazität C_K .

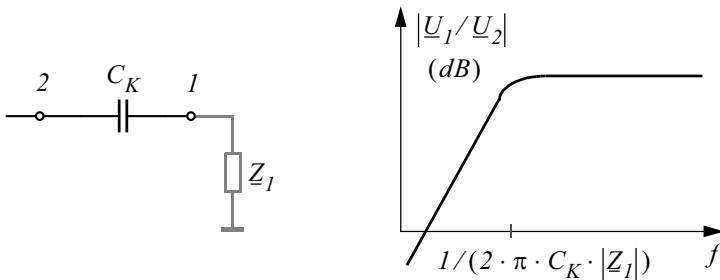


Bild 7.3-2: Zur Eckfrequenz bei AC-Kopplung

Gesucht wird eine Schaltungsfunktion, die bei DC eine Potenzialverschiebung ermöglicht, ohne das Signal im Spektralverlauf zu verfälschen. Bild 7.3-3 skizziert die Aufgabenstellung. Zur Lösung der gestellten Aufgabe muss bei $f = 0$ die gewünschte Spannung U_{21} zwischen Knoten 2 und Knoten 1 abfallen. Bei Frequenzen $f > 0$ sollen Änderungen des Signals unverfälscht weitergegeben werden.

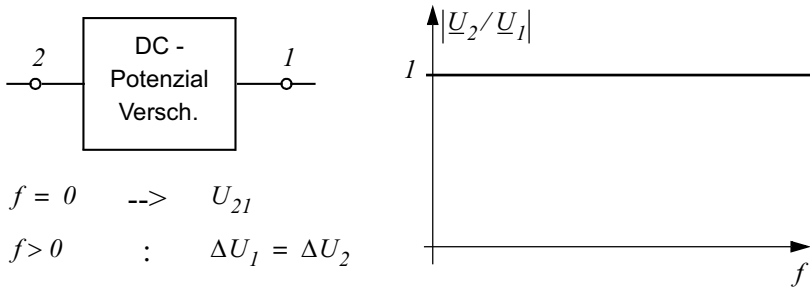


Bild 7.3-3: Zur Aufgabenstellung der DC-Potenzialverschiebung

Ein einfacher Spannungsteiler in Bild 7.3-4 löst diese Aufgabe nicht. Mit dem Spannungsteiler kann eine Spannungsdifferenz zwischen Knoten 2 und Knoten 1 erzeugt werden, jedoch werden alle Spektralanteile $f > 0$ ebenfalls geschwächt entsprechend des Spannungsteilerverhältnisses.

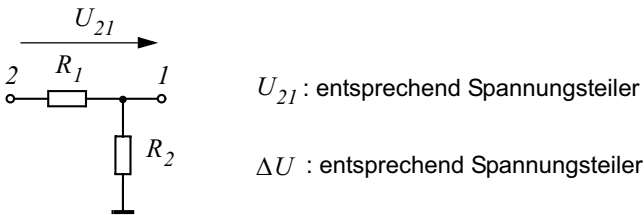


Bild 7.3-4: Spannungsteiler zwischen Knoten 2 und Knoten 1

Das Problem lösen die drei in Bild 7.3-5 skizzierten Schaltungsvarianten. Ein Längswiderstand mit parallel liegender Stromquelle erzeugt einen Potenzialunterschied (Bild 7.3-5a)). Ist der Innenwiderstand der Stromquelle hinreichend hochohmig, so ergibt sich bei Frequenzen $f > 0$ kein Spannungsfall. Vorausgesetzt der Eingangswiderstand der folgenden Stufe ist genügend hochohmig. Eine weitere Variante stellt eine Zenerdiode im Längspfad mit parallel liegendem Widerstand dar (Bild 7.3-5b)). Bei $f = 0$ wird der Potenzialunterschied bestimmt durch die Durchbruchspannung der Zenerdiode. Ist der Innenwiderstand der Zenerdiode hinreichend klein, so werden Signalanteile mit $f > 0$ nicht abgeschwächt. Die eleganteste Lösung zur Erzeugung eines Potenzialunterschieds erhält man mit einem pnp-Transistor gemäß Bild 7.3-5c). Der Potenzialunterschied ist gleich der Spannung zwischen Basis und Kollektor. Durch geeignete Wahl des Arbeitspunktes lässt sich ein vorgegebener Potenzialunterschied U_{BC} einstellen. Die Schaltung bringt zusätzlich noch eine Verstärkung von R_2/R_1 bei hochohmigem Eingang der nachfolgenden Stufe. Allerdings erhält man eine Phasenverschiebung um 180° zwischen Eingang und Ausgang.

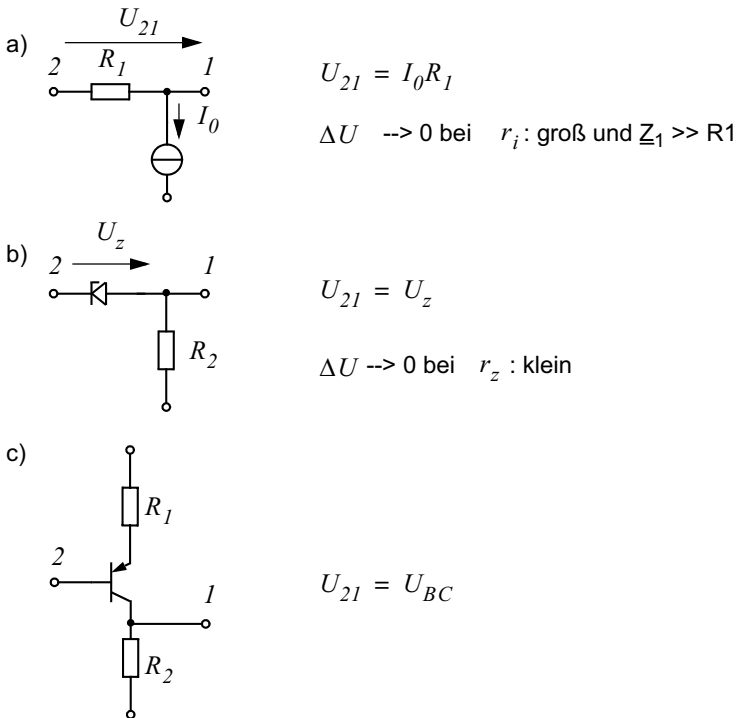


Bild 7.3-5: Beispiele für Möglichkeiten zur Lösung des Problems der Potenzialverschiebung; a) Längswiderstand mit parallel liegender Stromquelle, b) Zenerdiode im Längspfad und parallel liegender Widerstand, c) seriengegekoppelter pnp-Transistor

7.4 Schaltungsbeispiele für Treiberstufen

Treiberstufen sind im wesentlichen Leistungsverstärker, bei denen es weniger auf die Spannungsverstärkung als auf die Leistungsverstärkung und Aussteuerbarkeit ankommt. Eine Treiberstufe hat die Aufgabe eine niederohmige Last R_L auf eine hochohmige Eingangsschnittstelle zu transformieren. Dabei soll der Innenwiderstand am Ausgang der Treiberstufe niederohmig sein. Prinzipiell erzielt man nur signifikante Spannungsverstärkungen an hochohmigen Knoten (was hier nicht im Vordergrund steht). Die Impedanztransformation könnte man im allgemeinen u.a. auch mit einem passiven Transformator (siehe Abschnitt 3.1.4) erreichen.

Bild 7.4-1 zeigt das Grundprinzip einer Treiberstufe. Die Treiberstufe soll eine Signalleistung P_2 an den Lastkreis mit R_L abgeben, bei möglichst geringer Steuerleistung P_1 . Die höhere Ausgangssignalleistung P_2 erzeugt die Treiberstufe durch Umformung aus der Versorgungsleistung. Die Treiberstufe hat also die Aufgabe eine über die Versorgungsspannung verfügbare DC-Leistung in eine Wechsellei-

stung P_2 umzuformen, gesteuert durch P_1 . Eine wichtige Kenngröße ist dabei der Wirkungsgrad. Es stellt sich die Frage, wieviel Versorgungsleistung muss für eine bestimmte Signalleistung am Ausgang aufgewandt werden.

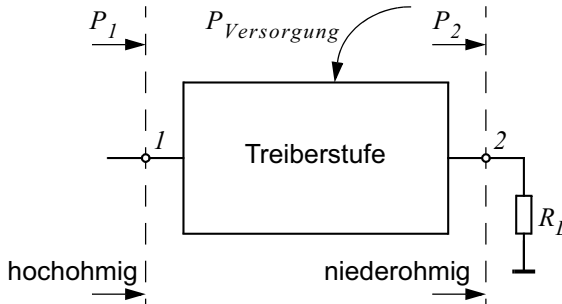


Bild 7.4-1: Zum Grundprinzip einer Treiberstufe

Treiberstufen werden unterschieden, je nach Lage des Arbeitspunktes auf der Übertragungskennlinie des Verstärkerelementes (siehe Bild 5.2-1):

- ☐ A-Betrieb: Es fließt ein signifikanter Strom im Arbeitspunkt;
- ☐ AB-Betrieb: Arbeitspunkt am Übergang Sperrbetrieb-Flussbetrieb;
- ☐ B-Betrieb: Ohne Vorspannung des Transistors (BJT);
- ☐ C-Betrieb: Mit Vorspannung im Sperrbetrieb.

Bei einer Treiberstufe im A-Betrieb arbeitet der Transistor im Normalbetrieb, es fließt ein Ruhestrom. Ausgesteuert wird um den Arbeitspunkt. Im AB-Betrieb liegt der Arbeitspunkt im Knickpunkt der Übertragungskennlinie. Bei sinusförmiger Aussteuerung fließt während einer Halbwelle Strom, während der anderen Halbwelle ist der Transistor gesperrt. Der Stromflusswinkel beträgt dabei ca. 180° (Stromfluss während einer halben Periode). Im C-Betrieb fließt erst ab Erreichen der Schwellspannung Strom, der Stromflusswinkel ist demzufolge $<180^\circ$. Allgemein interessieren folgende Eigenschaften bei Treiberstufen:

- ☐ DC-Übertragungskurve und Aussteuerbarkeit;
- ☐ AC-Übertragungsverhalten;
- ☐ Schnittstellenverhalten mit Eingangswiderstand und Ausgangswiderstand;
- ☐ Wirkungsgrad $\eta = P_2/P_{gesamt}$; der Wirkungsgrad ist eine Maßzahl für das Verhältnis der abgegebenen Nutzleistung zur aufgewendeten Gesamtleistung.

7.4.1 Treiberstufen im A-Betrieb

Treiberstufen im A-Betrieb sind dadurch gekennzeichnet, dass sie einen Ruhestrom ziehen. Damit verbunden ist im allgemeinen ein geringer Wirkungsgrad. Als erstes werden einige Varianten von Treiberstufen im A-Betrieb behandelt.

A-Betrieb mit AC-Kopplung: Die Schaltungsvariante zeigt Bild 7.4-2. Aussteuerungen in positiver Richtung sind dadurch begrenzt, dass der Transistor in den

Sättigungsbetrieb übergeht. Die negative Aussteuergrenze ergibt sich dann, wenn der Transistor in den Sperrbetrieb übergeht. Der Arbeitspunkt sollte möglichst in der Mitte zwischen den Aussteuergrenzen liegen. Die negative Aussteuergrenze bestimmt sich mit $I_E = 0$ aus (siehe Gl.(5.3-12)):

$$\begin{aligned} (2V - \Delta U_2) / 1k\Omega &= \Delta U_2 / 100\Omega; \\ 2V / 1k\Omega &= \Delta U_2 \left(\frac{1}{100\Omega} + \frac{1}{1k\Omega} \right); \end{aligned} \quad (7.4-1)$$

Im Beispiel beträgt die maximale negative Aussteuerung $\Delta U_2 \approx 0,2V$. Selbstverständlich ist darauf zu achten, dass der Transistor bei positiver Aussteuerung nicht in den Sättigungsbetrieb angesteuert wird. Im folgenden Experiment wird die Aussteuerung der Treiberstufe im A-Betrieb näher untersucht.

Experiment 7.4-1: Emitterfolg_A_AC – TR Analyse mit SimulationProfile „TR“.

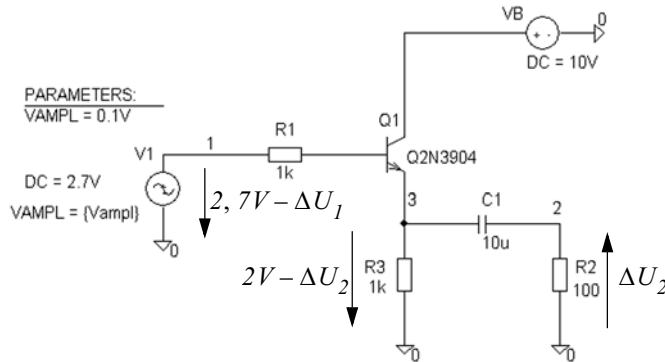


Bild 7.4-2: Emitterfolger im A-Betrieb mit AC-Kopplung bei negativer Aussteuerung

Bild 7.4-3 zeigt das Ergebnis bei unterschiedlichen Signalamplituden, bei sinusförmiger Aussteuerung um den Arbeitspunkt. Die Transienten-Analyse bestätigt die Abschätzung betreffs der Aussteuergrenze.

In einem nächsten Experiment erfolgt eine AC-Analyse im gegebenen Arbeitspunkt der Schaltung in Bild 7.4-2. Die Verstärkung des Emitterfolgers im A-Betrieb mit AC-Kopplung ist etwa 1. Der Eingangswiderstand ergibt sich, wie beim Emitterfolger bekannt mit ca. $Z_{in} \approx (\beta_0 + 1) \cdot 100\Omega$. Der Innenwiderstand am Ausgang ist relativ niederohmig mit ca. $Z_{out} \approx r_e + 1k\Omega / (\beta_0 + 1)$. Das Ergebnis der AC-Analyse in Bild 7.4-4 bestätigt die Abschätzungen.

Experiment 7.4-2: Emitterfolg_A_AC – AC Analyse mit SimulationProfile „AC“.

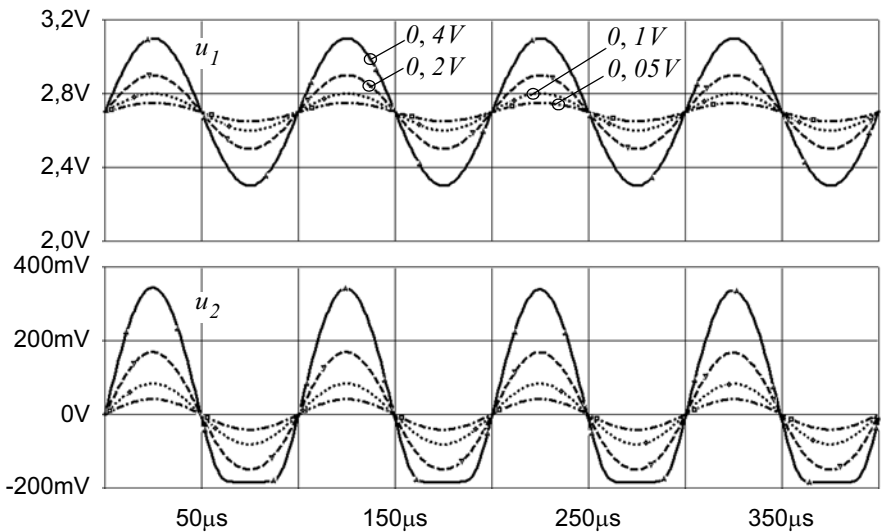


Bild 7.4-3: Ergebnis der Transienten-Analyse des Emittterfolgers im A-Betrieb

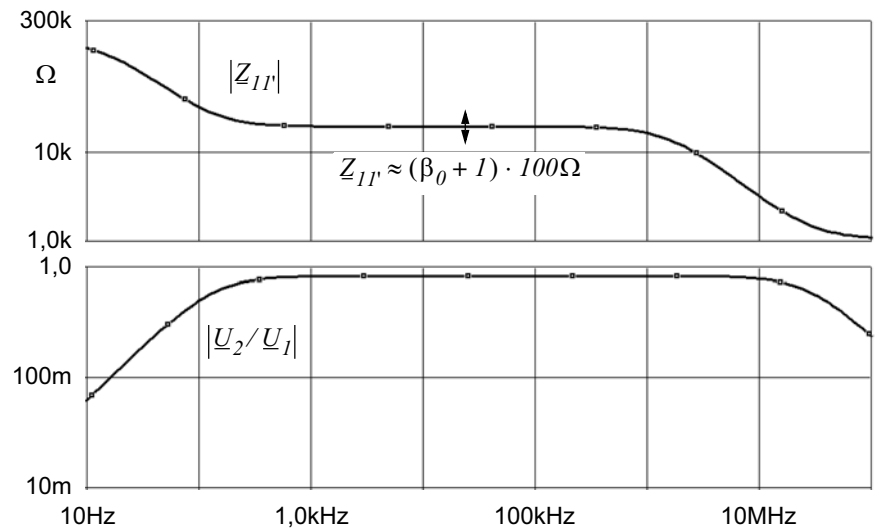


Bild 7.4-4: Ergebnis der AC-Analyse des Emittterfolgers im A-Betrieb mit AC-Kopplung

A-Betrieb mit DC-Kopplung: Als nächste Variante wird dieselbe Schaltung betrachtet, aber mit DC-Kopplung. Der Koppelkondensator ist im Beispiel in Bild

7.4-5 gegenüber der Anordnung in Bild 7.4-2 entfernt. In der betrachteten Schaltung ist der DC-Anteil der Eingangsspannung so gewählt, dass der Arbeitspunkt der Ausgangsspannung etwa bei $0V$ liegt. Die Ausgangsspannung ist nach oben begrenzt auf $U_B - U_{CE,sat}$, weil bei positiver Aussteuerung der Transistor in die Sättigung ausgereut wird. Bei einer Ausgangsspannung von:

$$U_2 \leq -U_B \cdot \frac{R_2}{R_2 + R_E}; \quad (7.4-2)$$

wird der Transistor gesperrt. Eine DC-Sweep-Analyse ermittelt das Übertragungsverhalten und die Aussteuerungen. Das Ergebnis der DC-Übertragungskennlinie der untersuchten Schaltung zeigt Bild 7.4-6. Die Aussteuerung nach oben ist begrenzt durch den Übergang des Transistors in den Sättigungsbetrieb. Nach unten ergibt sich die Aussteuerungsgrenze gemäß Gl.(7.4-2).

Experiment 7.4-3: Emitterfolg_A_DC – DCSweep Analyse mit dem SimulationProfile „DCSweep“.

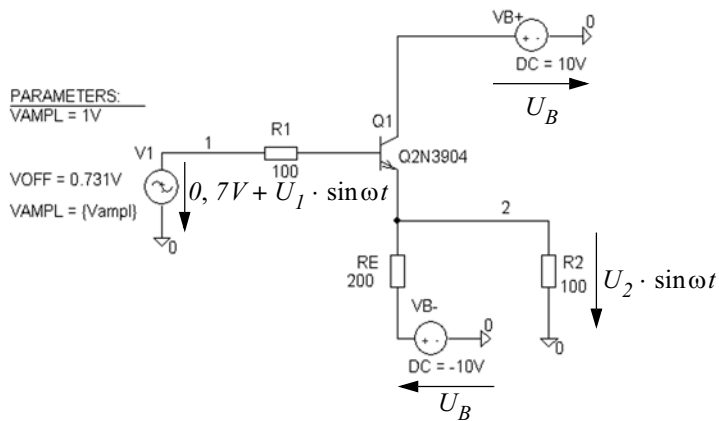


Bild 7.4-5: Emitterfolger im A-Betrieb mit DC-Kopplung

Von besonderem Interesse bei Treiberstufen ist der Wirkungsgrad. Die Schaltung gibt an den Verbraucher die Nutzleistung P_2 ab. Bei entsprechender Leistungsverstärkung kann die Eingangsleistung P_1 in der Gesamtleistungsbilanz vernachlässigt werden. In einem Experiment sollen die zeitlichen Momentanwerte der verbrauchten Leistungen von Schaltelementen der Schaltung nach Bild 7.4-5 untersucht werden.

Experiment 7.4-4: Emitterfolg_A_DC – TR Analyse mit dem SimulationProfile „TR“.

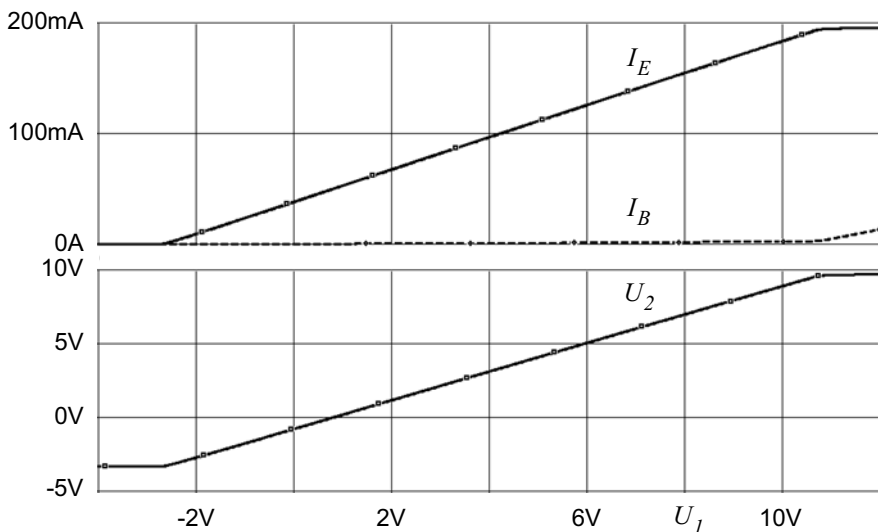


Bild 7.4-6: Ergebnis der DC-Sweep-Analyse des Emitterfolgers im A-Betrieb mit DC-Kopplung

Das Simulationsergebnis in Bild 7.4-7 zeigt den zeitlichen Momentanwert der Leistung an den Schaltungselementen bei einer Signalamplitude von $U_I = 2V$ des sinusförmigen Eingangssignals. Der Mittelwert der Ausgangsleistung beträgt bei $U_2 = U_I$:

$$P_2 = \frac{U_2^2}{2 \cdot R_2} = 20mW; \quad (7.4-3)$$

Die Leistungsaufnahme des Transistors erhält man aus:

$$P_{QI} = \frac{1}{T} \cdot \int_0^T u_{CE} \cdot i_C dt = \frac{1}{T} \cdot \int_0^T (U_B - U_2 \sin \omega t) \cdot \left(\frac{U_2 \sin \omega t}{R_2} + \frac{U_B + U_2 \sin \omega t}{R_E} \right) dt;$$

$$P_{QI} = \frac{U_B^2}{R_E} - \frac{U_2^2}{2 \cdot R_2} - \frac{U_2^2}{2 \cdot R_E} = 500mW - 20mW - 10mW; \quad (7.4-4)$$

Bei Aussteuerung nimmt der Transistor weniger Leistung auf. Er gibt Leistung an R_2 und R_E ab. Die Leistungsaufnahme des Widerstandes ergibt sich aus:

$$P_{RE} = \frac{U_B^2}{R_E} + \frac{U_2^2}{2 \cdot R_E} = 500mW + 10mW; \quad (7.4-5)$$

Schließlich bestimmt sich die Gesamtleistungsaufnahme mit:

$$P_{Versorg} = 2 \cdot \frac{U_B^2}{R_E} = 1W; \quad (7.4-6)$$

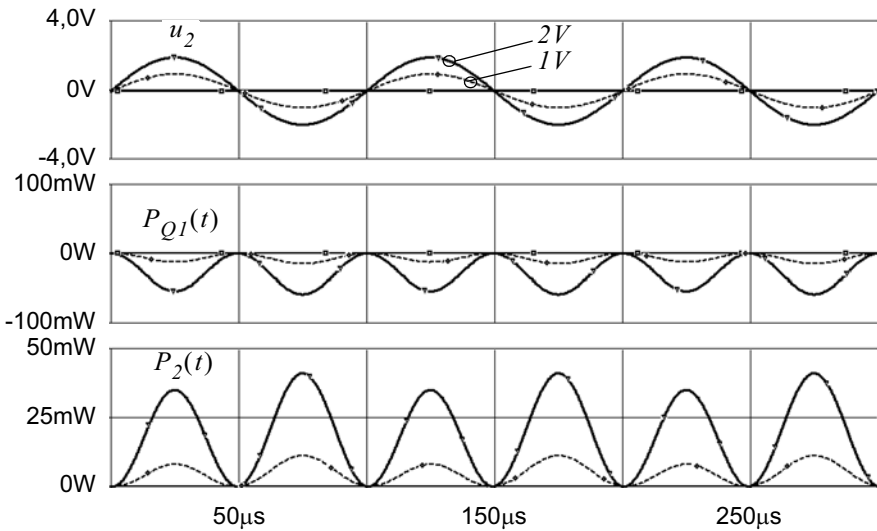


Bild 7.4-7: Simulationsergebnis des zeitlichen Momentanwertes der Leistungsaufnahme für das betrachtete Beispiel

Die maximale Ausgangsleistung ergibt sich für die maximale unverzerzte Ausgangsamplitude. Demnach erhält man den maximalen Wirkungsgrad für größtmögliche unverzerzte Aussteuerung (Gl.(7.4-2)):

$$\eta_{max} = \frac{P_{2,max}}{P_{ges}} = \frac{\frac{U_B^2}{2} \frac{R_2}{(R_2 + R_E)^2}}{2 \frac{U_B^2}{R_E}} = \frac{1}{4} \frac{R_2 R_E}{(R_2 + R_E)^2} = \frac{1}{16} \Big|_{R_2 = R_E}; \quad (7.4-7)$$

Der Wirkungsgrad wird maximal bei $R_2 = R_E$. Es muss also im günstigsten Fall 16Mal mehr Leistung seitens der Versorgung aufgewendet werden, als an den Verbraucher abgegeben wird. Für viele Leistungsstufen ist das nicht akzeptabel.

A-Betrieb mit Stromquelle im Emitterpfad: Ersetzt man den Widerstand R_E durch eine Stromquelle, so erhält man eine weitere Variante der Treiberstufe im A-Betrieb. Bild 7.4-8 zeigt die Schaltungsanordnung, deren DC-Übertragungsfunktion und deren Aussteuerungen in folgendem Experiment durch eine DCSweep-Analyse untersucht wird.

Experiment 7.4-5: Emitterfolg_A_DC_Stromqu – DCSweep Analyse mittels des SimulationProfile „DCSweep“:

Die Stromquelle wird durch eine basisgekoppelte Differenzstufe realisiert. Die maximale negative Aussteuerung ergibt sich, wenn der Transistor $Q1$ sperrt. Es

fließt dann der Konstantstrom über den Lastkreis.

$$U_{2,max} = I_0 \cdot R_2; \quad (7.4-8)$$

Die Stromquelle wird so dimensioniert, dass sich eine Aussteuerbarkeit von nahezu $\pm U_B$ ergibt. Dazu muss der Konstantstrom im Beispiel nahezu 100mA betragen. Die Stromquelle hilft die Aussteuerbarkeit der Treiberstufe zu verbessern. Der Konstantstrom kann unabhängig vom Lastwiderstand eingestellt werden. Bild 7.4-9 zeigt das Ergebnis der DC-Übertragungskurve. Daraus erhält man auch die Aussteuer Grenzen. Wie man aus dem Ergebnis entnehmen kann, ergibt sich wegen des nichtidealen Innenwiderstandes der Konstantstromquelle ein aussteuerungsabhängiger Konstantstrom. Der Innenwiderstand ließe sich – wie schon betrachtet – durch Seriengegenkopplung verbessern.

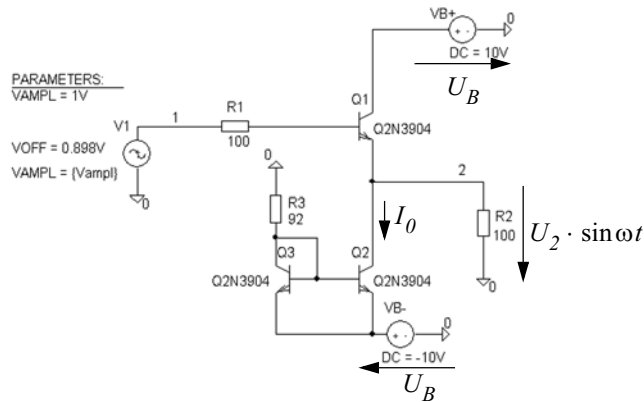


Bild 7.4-8: Emitterfolger im A-Betrieb mit DC-Kopplung und Konstantstromquelle

In einem weiteren Experiment soll die Leistungsbilanz ermittelt werden. Dazu sind die zeitlichen Momentanwerte des Leistungsverbrauchs von Schaltelementen zu ermitteln. Bild 7.4-10 zeigt das Ergebnis für die betrachtete Schaltung.

Experiment 7.4-6: Emitterfolg_A_DC_Stromqu – TR Analyse mittels des SimulationProfile „TR“.

Die Leistungsaufnahme der Konstantstromquelle ist nahezu konstant gleich:

$$P_{Stromqu} = \frac{1}{T} \cdot \int_0^T ((U_B + U_2 \sin \omega t) \cdot I_0 + U_B \cdot I_0) dt = 2 \cdot U_B \cdot I_0 \approx 2 \text{ W}; \quad (7.4-9)$$

Für die Leistungsaufnahme des Transistors erhält man bei 8V Aussteueramplitude:

$$P_{Q1} = \frac{1}{T} \cdot \int_0^T (U_B - U_2 \sin \omega t) \cdot \left(I_0 + \frac{U_2 \sin \omega t}{R_2} \right) dt = U_B I_0 - \frac{U_2^2}{2R_2} \approx 1 \text{ W} - 0,32 \text{ W}; \quad (7.4-10)$$

Die Nutzleistung ist bei 8V Aussteuerung:

$$P_2 = \frac{U_2^2}{2 \cdot R_2} \approx 0,32W; \quad (7.4-11)$$

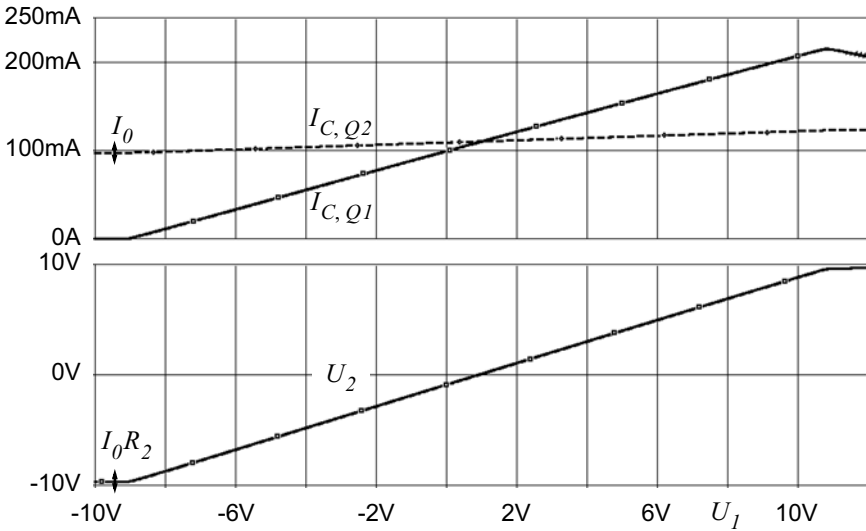


Bild 7.4-9: DC-Übertragungskurve des Emitterfolgers im A-Betrieb mit DC-Kopplung und Konstantstromquelle

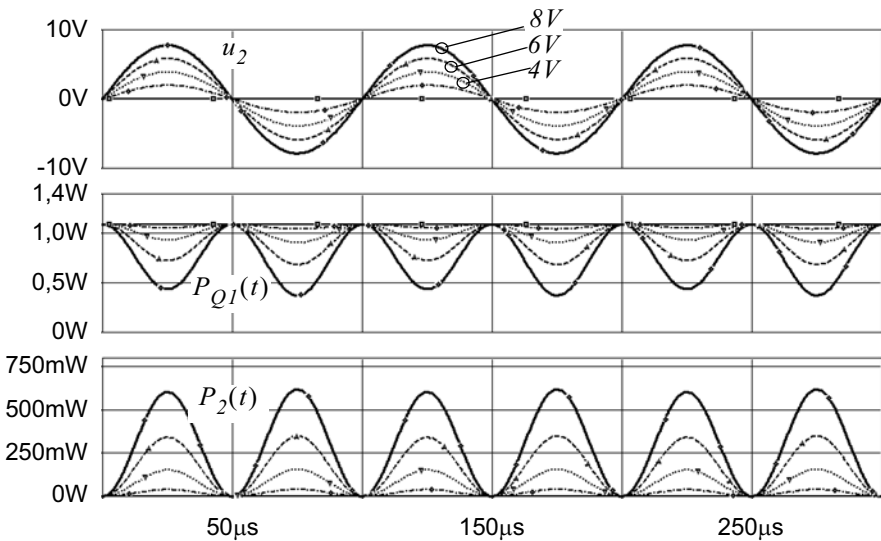


Bild 7.4-10: Zeitlicher Momentanwert der Leistungen des Emitterfolgers im A-Betrieb mit DC-Kopplung und Konstantstromquelle

Auch hier wird deutlich, dass die Leistung, die der Verbraucher aufnimmt vom Transistor kommt. Der Treibertransistor wirkt als „Energiewandler“. Er wandelt DC-Leistung von der DC-Quelle in Wechselleistung um, die an den Verbraucher abgegeben wird. Ohne Aussteuerung wird der Transistor am „heißesten“. Der Wirkungsgrad der Treibervariante mit Konstantstromquelle ist für maximale Aussteuerung $U_{2,max} = I_0 \cdot R_2 \approx U_B$:

$$\eta_{max} = \frac{(I_0 R_2)^2 / 2 R_2}{3 U_B I_0} \approx \frac{1}{6}; \quad (7.4-12)$$

Gegenüber der zuletzt betrachteten Schaltungsvariante mit dem Widerstand R_E erhält man bei Einführung einer Stromquelle anstelle von R_E eine deutliche Verbesserung der Aussteuerbarkeit und des Wirkungsgrades.

A-Betrieb mit gesteuerter Stromquelle: Zur weiteren Verbesserung des Wirkungsgrads wird die Stromquelle so gesteuert, dass der Konstantstrom groß ist, wenn am Ausgang die größtmögliche negative Amplitude gegeben ist. Bei positiver Ausgangsamplitude ist der Konstantstrom in der Größe nicht erforderlich und kann damit zurückgenommen werden. Somit ergibt sich ein verbesserter Wirkungsgrad. Bild 7.4-11 zeigt eine beispielhafte Schaltungsanordnung, deren DC-Übertragungsfunktion im nachstehenden Experiment ermittelt werden soll.

Experiment 7.4-7: Emitterfolg_A_DC_Stromqu_GekSer – DCSweep Analyse mittels des SimulationProfile „DCSweep“.

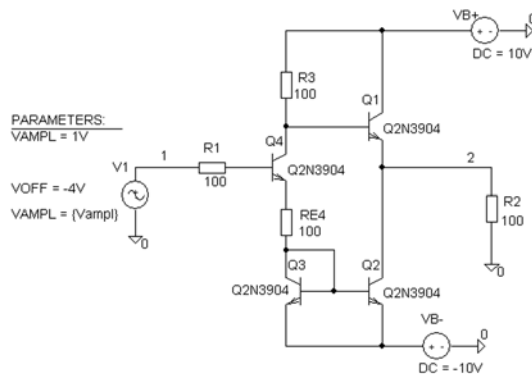


Bild 7.4-11: Emitterfolger im A-Betrieb mit gesteuerter Konstantstromquelle

Bei genügend negativer Ansteuerung ist der Transistor $Q4$ gesperrt. Damit wird die Ausgangsspannung $U_B - 0,7V$. Ist $U_I > -U_B + 1,4V$ arbeitet $Q4$ im Normalbetrieb. Ab ca. $U_I > 1V$ stellt sich im Beispiel Sättigungsbetrieb bei $Q4$ ein. Der Widerstand R_E (bzw. $RE4$) wirkt als Seriengegenkopplungswiderstand, so dass die Verstärkung von Knoten 1 nach Knoten 4 bei etwa 1 liegt. Das Aussteuerverhalten verdeutlicht die DC-Übertragungskurve in Bild 7.4-12. Allerdings lässt sich mit der Beispielschaltung keine symmetrische Aussteuerung um den Nullpunkt erzie-

len, wie die DC-Übertragungskurve ausweist. Sie ist nur geeignet, wenn eine Offsetspannung am Ausgang erlaubt ist.

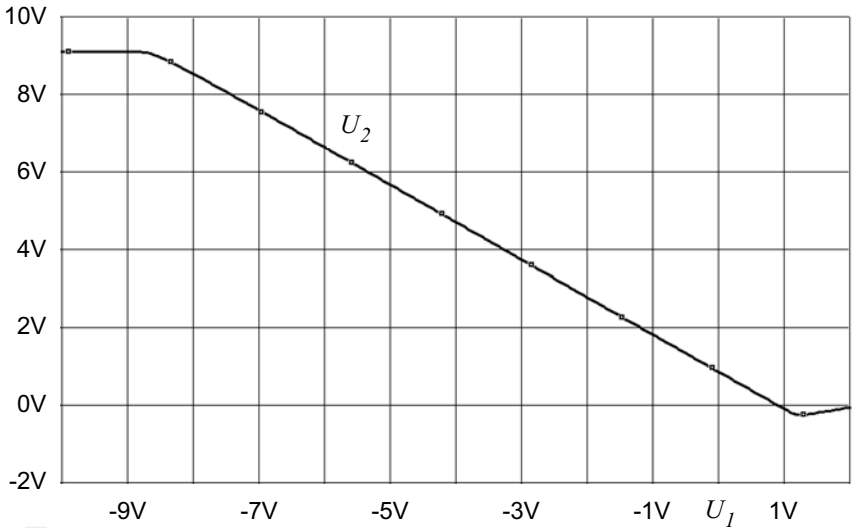


Bild 7.4-12: DC-Übertragungskurve des Emitterfolgers im A-Betrieb mit gesteuerter Konstantstromquelle

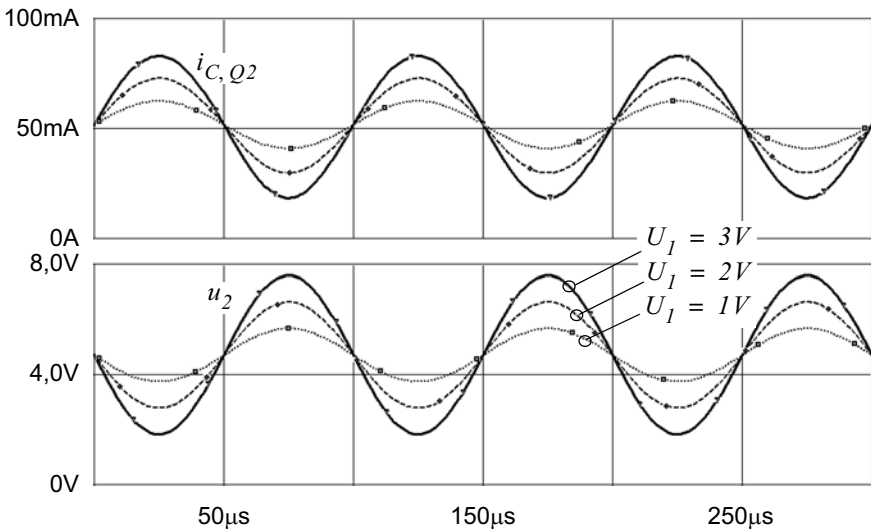


Bild 7.4-13: Zur Steuerung der Konstantstromquelle

Zur weiteren Untersuchung der Testschaltung in Bild 7.4-11 wird im folgenden Experiment der zeitliche Momentanwert der Ausgangsspannung und des Kollektorstroms von $Q2$ bei veränderter Signalamplitude der sinusförmigen Eingangsspannung betrachtet. Das Ergebnis ist in Bild 7.4-13 dargestellt. Es zeigt sich, dass bei negativer Aussteuerung am Ausgang der Strom von $Q2$ größer wird, bei positiver Aussteuerung vermindert sich der Kollektorstrom. Nur bei negativer Aussteuerung soll der Strom von $Q2$ groß sein. Bei positiver Aussteuerung kann er zurückgenommen werden, um den Wirkungsgrad zu verbessern.

Experiment 7.4-8: Emitterfolg_A_DC_Stromqu_GekSer – TR Analyse mittels des SimulationProfile „TR“.

A-Betrieb mit gesteuerter Stromquelle und Parallelgegenkopplung: Durch Parallelgegenkopplung und einer zusätzlichen Stromquelle im Rückkopplungspfad lässt sich das in der vorher betrachteten Variante beschriebene Problem der Begrenzung der Aussteuerung durch den Seriengegenkopplungswiderstand R_E lösen. Das führt zu einer weiteren Variante der bisher vorgestellten Treiberstufen im A-Betrieb. Bild 7.4-14 zeigt die Testschaltung eines Ausführungsbeispiels.

Als erstes wird die DC-Übertragungskurve im folgenden Experiment ermittelt. Das Ergebnis in Bild 7.4-15 weist aus, dass für die gewählte Dimensionierung eine symmetrische Aussteuerung um den Nullpunkt gegeben ist. Die Aussteuerbarkeit ist nahezu bis zur maximal möglichen Spannung, vorgegeben durch die Versorgungsspannung, möglich. Bei der gewählten Dimensionierung ergibt sich eine symmetrische Aussteuerbarkeit um den Nullpunkt. Der Strom $I_{C,Q1}$ verringert sich bei zunehmend positiver Ausgangsspannung, er erhöht sich bei zunehmend negativer Ausgangsspannung. Der Strom $I_{C,Q2}$ verhält sich dazu gegenläufig.

Experiment 7.4-9: Emitterfolg_A_DC_Stromqu_GekPar – DCSweep Analyse mittels des SimulationProfile „DCSweep“.

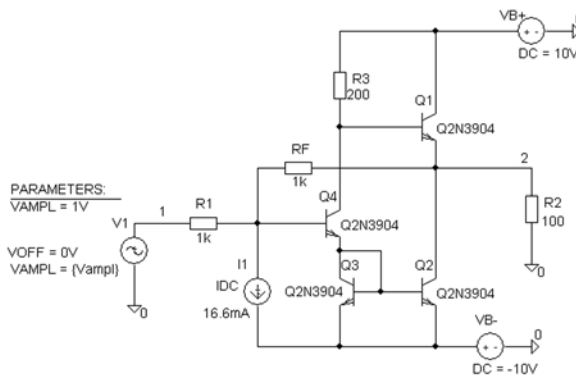


Bild 7.4-14: Emitterfolger im A-Betrieb mit Parallelgegenkopplung

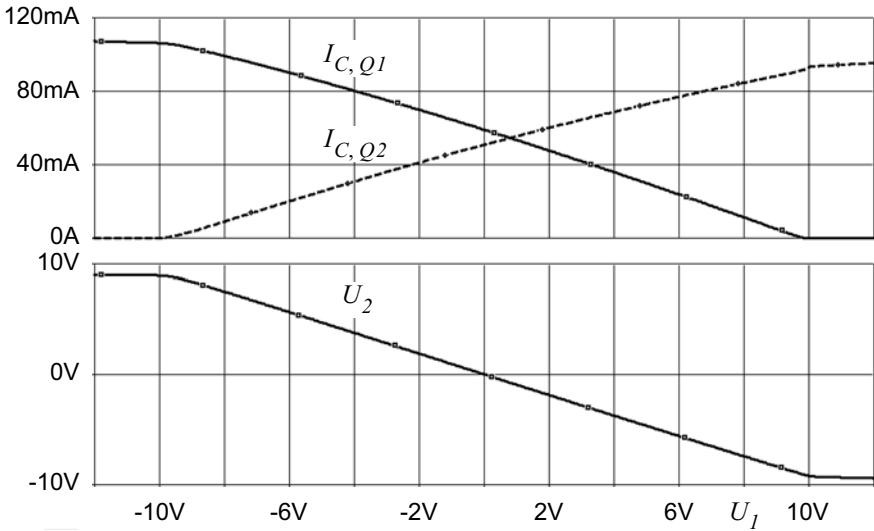


Bild 7.4-15: DC-Übertragungskurve des Emittorfollgers im A-Betrieb mit Parallelgegenkopplung

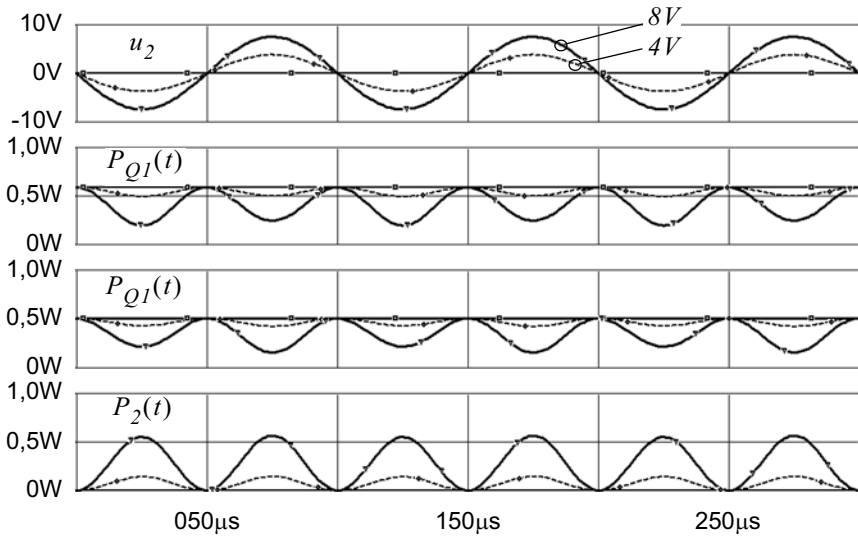


Bild 7.4-16: Leistungsaufnahme in Abhängigkeit von der Ansteuerung

Im folgenden Experiment sollen die zeitlichen Momentanwerte der in den wichtigsten Schaltungskomponenten des Beispiels in Bild 7.4-14 umgesetzten Leistungen analysiert werden. Bild 7.4-16 zeigt die Verläufe der zeitlichen

Momentanwerte der Leistungen von $Q1$, $Q2$ und der Ausgangsleistung P_2 . Da die Spannung $U_{CE,Q3}$ aussteuerungsunabhängig ca. $0,7V$ beträgt, hält sich der Leistungsverbrauch von $Q3$ in Grenzen. Auch hier zeigt sich, in dem Maße wie der Lastwiderstand R_2 Leistung aufnimmt, geben die Transistoren $Q1$ und $Q2$ Leistung ab.

Experiment 7.4-10: Emitterfolg_A_DC_Stromqu_GekPar – TR Analyse mittels des SimulationProfile „TR“.

7.4.2 Komplementäre Emitterfolger im AB-Betrieb

Treiberstufen im AB-Betrieb ziehen keinen signifikanten Ruhestrom. Damit lässt sich der Wirkungsgrad entscheidend verbessern. Um Verzerrungen zu vermeiden benötigt man geeignet vorgespannte sogenannte komplementäre Emitterfolger als Treiberstufen.

Komplementäre Emitterfolger im B-Betrieb: Eine durchschlagende Verbesserung des Wirkungsgrads lässt sich nur mit komplementären Emitterfolgern erzielen. Bild 7.4-17 zeigt eine Treiberstufe mit Emitterfolgern im B-Betrieb ohne Vorspannung im Steuerkreis der Transistoren. Beim Überschreiten der Schwellspannung der Emitter-Basis Diode liefert bei positiver Eingangsspannung der Transistor $Q1$ den Laststrom, bei negativer Eingangsspannung und Überschreiten der Schwellspannung der Transistor $Q2$. Einer der beiden Transistoren ist immer gesperrt. Ungünstig ist, dass im Bereich von $-0,7V < U_i < 0,7V$ der Ausgang nicht reagiert. Das im nachstehenden Experiment ermittelte Ergebnis der DC-Übertragungskurve ist in Bild 7.4-18 dargestellt. Es zeigt auch die Stromverläufe von $Q1$ und $Q2$ in Abhängigkeit der Aussteuerung. Im Bereich der Eingangsspannung $-0,7V < U_i < 0,7V$ ist die Schwellspannung der Transistoren nicht erreicht. Demzufolge ist die Ausgangsspannung Null. Die Transistoren $Q1$ und $Q2$ sind gesperrt. Bei $U_i > 0,7V$ liefert $Q1$ den Laststrom; bei $U_i < 0,7V$ ist $Q2$ aktiv.

Experiment 7.4-11: Emitterfolg_B_DC – DCSweep mittels SimulationProfile „DCSweep“.

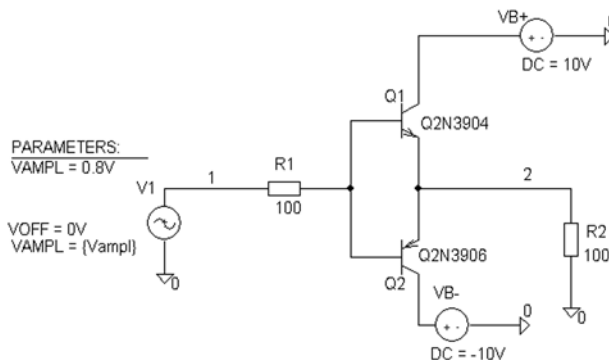


Bild 7.4-17: Emitterfolger im B-Betrieb

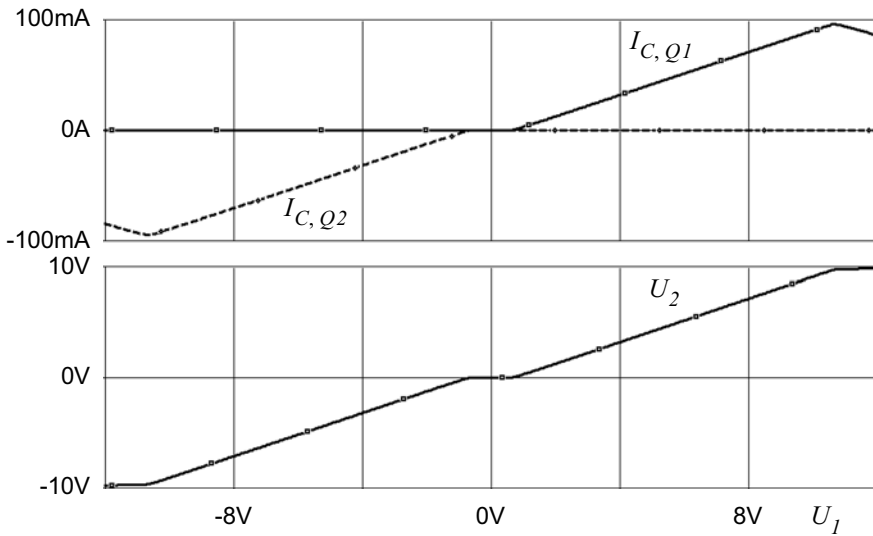


Bild 7.4-18: DC-Übertragungskurve des Emitterfolgers im B-Betrieb

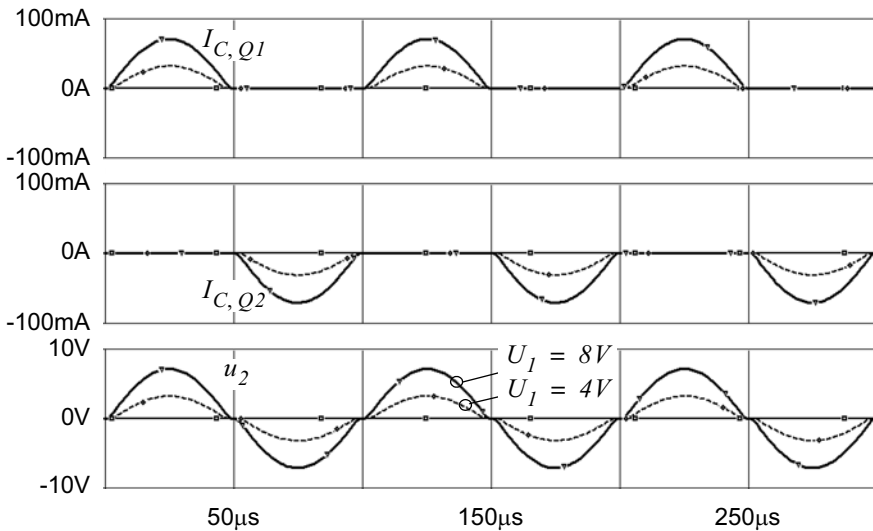


Bild 7.4-19: Zur Aussteuerung des Emitterfolgers im B-Betrieb

Als nächstes werden in einem Experiment die zeitlichen Momentanwerte der Kollektorströme von $Q1$ und $Q2$, sowie der zeitliche Momentanwert der Ausgangsspannung ermittelt. Bild 7.4-19 zeigt das Ergebnis. Wegen der Schaltschwellen der Transistoren ist die Ausgangsspannung um den Nullpunkt verzerrt.

Experiment 7.4-12: Emitterfolg_B_DC – TR Analyse mittels SimulationProfile „TR“.

Bei maximaler Aussteuerung bis $U_B = 10V$ erhält man für die Nutzleistung am Verbraucher:

$$P_{2,max} = \frac{U_B^2}{2 \cdot R_2} \approx 0,5 W; \quad (7.4-13)$$

Die Verlustleistung am Transistor ergibt sich durch Integration des zeitlichen Momentanwerts der Leistung über die aktive Periode ($T/2$), da im gesperrten Zustand des Transistors keine Leistungsaufnahme vorliegt:

$$P_Q = \frac{1}{T} \cdot \int_0^{T/2} (U_B - U_2 \cdot \sin \omega t) \cdot \frac{U_2 \cdot \sin \omega t}{R_2} dt; \quad (7.4-14)$$

$$P_{Q,max} = U_B \cdot U_2 \cdot \frac{1}{\pi \cdot R_2} - U_2^2 \cdot \frac{1}{4 \cdot R_2} = \frac{U_B^2}{R_2} \cdot \frac{4 - \pi}{4 \cdot \pi} \approx 0,07 \cdot \frac{U_B^2}{R_2};$$

In der angestellten Betrachtung wird das Problem der Schwellspannung vernachlässigt. Der Wirkungsgrad ist demnach:

$$\eta_{max} = \frac{P_{2,max}}{P_{ges}} = \frac{P_{2,max}}{2P_{Q,max} + P_{2,max}} \approx 78\%; \quad (7.4-15)$$

Bei maximaler Aussteuerung mit $U_2 = U_B$ erhält man eine signifikante Verbesserung des Wirkungsgrads gegenüber Emitterfolgern im A-Betrieb.

Komplementäre Emitterfolger im AB-Betrieb: Ein Problem sind die Verzerrungen des Ausgangssignals, die sich im Betrieb durch die Schwellspannung der Transistoren ergeben. Diese Verzerrung lässt sich durch eine geeignete Vorspannung vermeiden. Man spricht dann von Emitterfolgern im AB-Betrieb. Das Schaltungsprinzip eines komplementären Emitterfolgers im AB-Betrieb ist im folgenden Bild 7.4-20 skizziert.

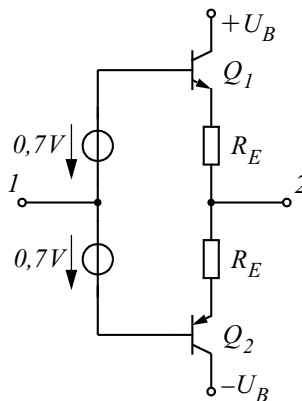


Bild 7.4-20: Zum Prinzip eines komplementären Emitterfolgers im AB-Betrieb

Soll der Arbeitspunkt so liegen, dass sich ein AB-Betrieb einstellt, wird eine Spannungsquelle (z.B. Abschnitt 5.3.4) zur Vorspannungserzeugung benötigt. Im Emittterpfad ist zudem ein Seriengegenkopplungswiderstand eingefügt. Er vermindert zwar die Steilheit des Transistors Q_1 bzw. Q_2 , hilft aber unzulässig hohe Querströme zu begrenzen. Bei höheren Signalfrequenzen kann es sein, dass der eine Transistor schon „leitend“ ist und aufgrund von inneren Verzögerungen der andere Transistor noch „leitend“ ist. In diesem Fall würde ein hoher Querstrom fließen.

Es stellt sich nunmehr die Frage, wie kann die erforderliche Spannungsquelle realisiert werden. Im Bild 7.4-21 und Bild 7.4-22 sind mögliche Schaltungsvarianten dargestellt.

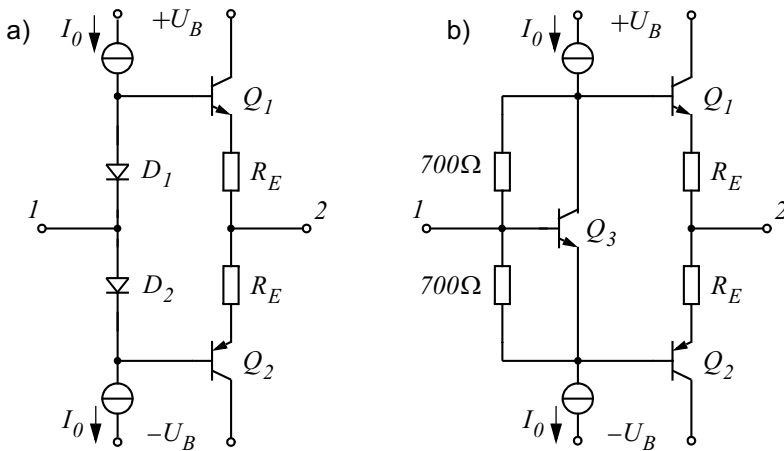


Bild 7.4-21: Schaltungsvarianten zur Realisierung eines komplementären Emittterfolgers im AB-Betrieb

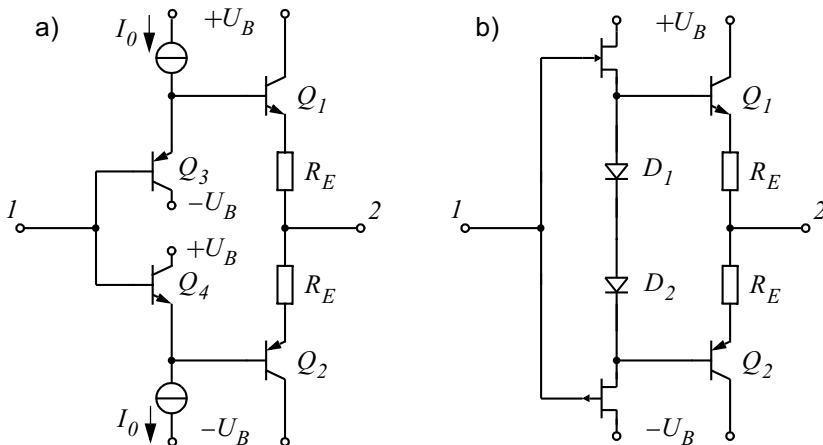


Bild 7.4-22: Weitere Schaltungsvarianten für komplementäre Emittterfolger im AB-Betrieb

Die Stromquelle in den Varianten Bild 7.4-21a), Bild 7.4-21b) und Bild 7.4-22a) wird benötigt, um die Dioden $D1$ und $D2$, den parallelgegekoppelten Transistor $Q3$ oder die Transistoren $Q3$ und $Q4$ in Bild 7.4-22a) mit einem geeigneten Arbeitspunkt zu versorgen. Der parallelgegekoppelte Transistor $Q3$ in Bild 7.4-21b) arbeitet als Spannungsquelle mit $1,4V$ Leerlaufspannung und einem niederohmigen Innenwiderstand (siehe Abschnitt 5.3.4). Die Stromquelle (siehe Abschnitt 5.3.5) muss das Netzwerk zur Vorspannungserzeugung mit einem Vorstrom versorgen, aber auch den Basisstrom der Transistoren bereitstellen. Bei hohen Lastströmen ist der Basisstrom nicht vernachlässigbar. Abschließend wird ein Schaltungsbeispiel eines komplementären Emitterfolgers im AB-Betrieb betrachtet (Bild 7.4-23) und im folgenden Experiment untersucht. Das Ergebnis der DC-Sweep-Analyse ist in Bild 7.4-24 dargestellt.

Experiment 7.4-13: Emitterfolg_AB_Strombegrenz_DC – DCSweep Analyse mittels des SimulationProfile „DCSweep“.

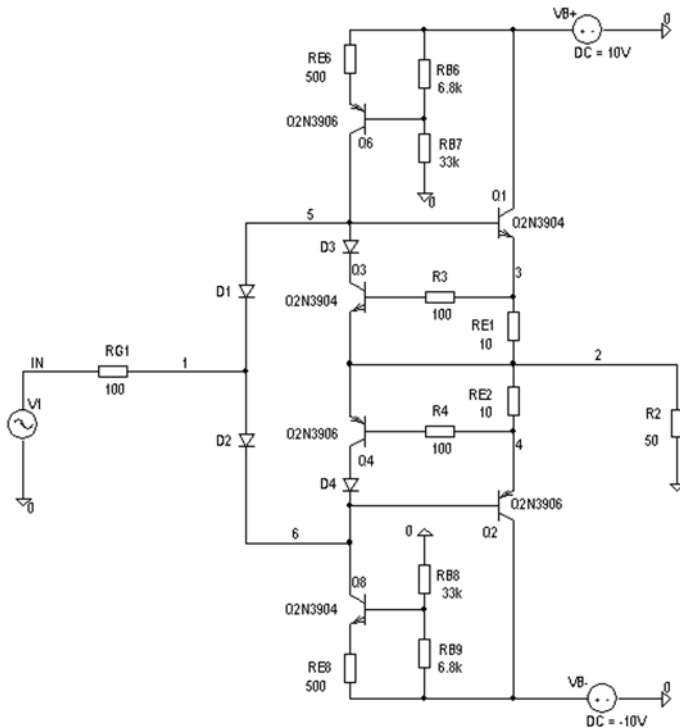


Bild 7.4-23: Schaltungsbeispiel eines komplementären Emitterfolgers im AB-Betrieb mit elektronischer Strombegrenzung

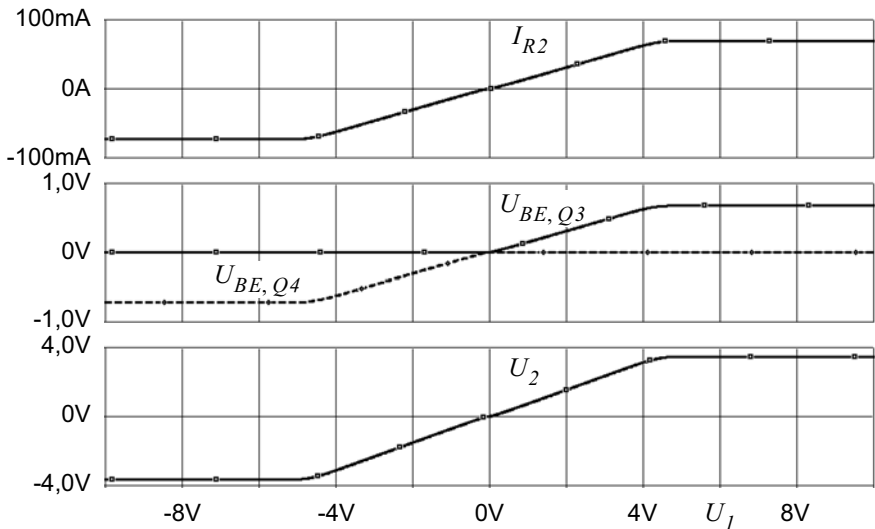


Bild 7.4-24: DC-Übertragungskurve des komplementären Emitterfolgers im AB-Betrieb mit Strombegrenzung auf 70mA

Im Beispiel in Bild 7.4-23 ist eine elektronische Strombegrenzung des Ausgangsstroms enthalten. Der Ausgangsstrom ist begrenzt auf:

$$I_{2,\max} = 0,7\text{V}/R_E = 70\text{mA}; \quad (7.4-16)$$

Wird bei positivem Eingangssignal die Schwellspannung an $RE1$ von Transistor $Q3$ erreicht, so regelt $Q3$ die Ansteuerung von $Q1$ so aus, dass der Ausgangsstrom gemäß der obigen Beziehung konstant bleibt. Gleiches gilt für negative Eingangssignale für den Spannungsabfall an $RE2$, wenn die Schwellspannung von $Q4$ erreicht wird.

Die gewählte Schaltung zur Strombegrenzung mit $RE1$ und $Q3$ bzw. $RE2$ und $Q4$ weist ein Problem auf. Im Beispiel mit dem Lastwiderstand von 50Ω ist die Ausgangsspannung aufgrund der Strombegrenzung begrenzt auf $3,5\text{V}$. Bei einer Eingangsspannung von 5V erhält man für das Potenzial an Knoten 6 den Wert $4,2\text{V}$. Knoten 4 weist das Potenzial von $3,5\text{V}$ auf. Damit würde $Q4$ in den inversen Zustand übergehen und einen unerwünschten Strom über seine nunmehr leitende Kollektor-Basisstrecke führen. Diesen parasitären Strom verhindert die Diode $D4$. Gleiches gilt für negative Eingangssignale. Hier vermeidet die Diode $D3$ den unerwünschten parasitären Strom.

7.5 Beispiele von Funktionsschaltungen

Nachfolgend werden einige ausgewählte Beispiele von Funktionsschaltungen vorgestellt und näher untersucht. Wie schon mehrfach erwähnt, geht es dabei u.a. auch darum aufzuzeigen, wie komplexere Schaltungen sich in Funktionsprimitive zerlegen und durch einfache Abschätzungen analysieren lassen.

7.5.1 OP-Verstärker $\mu A741$ – Abschätzanalyse

Der altbekannte OP-Verstärker $\mu A741$ wurde beispielhaft in Abschnitt 2.1.4 und 4.4.1 behandelt. Nachdem nunmehr die Charakteristika wichtiger Funktionsprimitive von Schaltkreisen bekannt sind, soll eine Abschätzung der Eigenschaften der „inneren“ Schaltungstechnik eines typischen OP-Verstärkers vorgenommen werden. Der Schaltplan der „inneren“ Schaltungstechnik des $\mu A741$ ist in Bild 7.5-2 dargestellt.

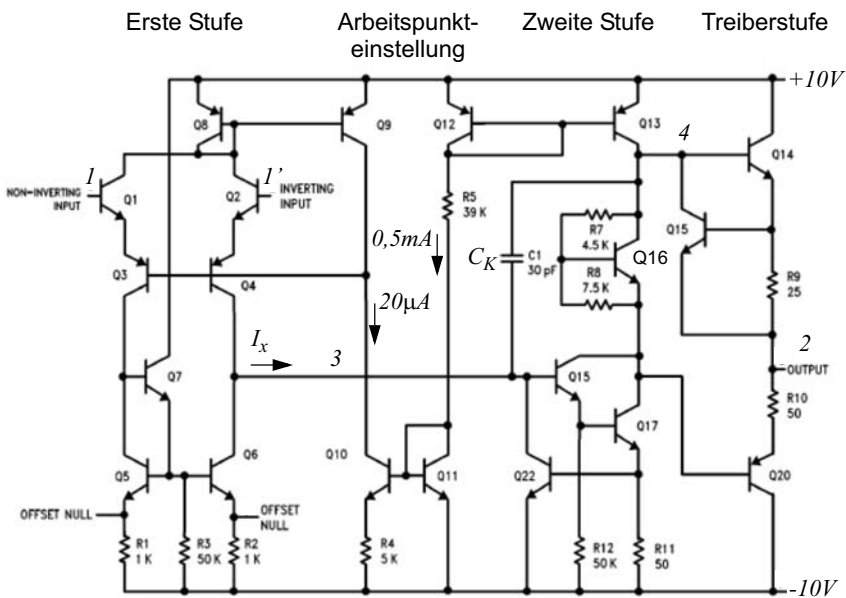


Bild 7.5-1: „Innere“ Beschaltung eines OP-Verstärkers $\mu A741$

Arbeitspunkteinstellung: Die Versorgung der Transistoren mit einem geeigneten Arbeitspunkt erfolgt über den Widerstand $R5$. An ihm fallen bei $+10V$ Versorgungsspannung ca. $18,6V$ ab. Somit beträgt der Arbeitspunktstrom $I_C^{(A)}$ der Transistoren $Q11$ und $Q12$ ca. $0,5mA$. Die Transistoren $Q12$ und $Q13$ weisen gleiche Steuerspannung U_{BE} auf. Ist bei gleichen Transistoren im Normalbetrieb die Steuerspannung gleich, so sind die Kollektorströme und damit auch die Arbeitspunktströme identisch. Schließlich ist der Arbeitspunktstrom von $Q13$ etwa gleich

dem von $Q17$, da der Transistor $Q15$ einen wesentlich kleineren Kollektorstrom (hier ca. $0,02mA$) zieht. Wegen der Unsymmetrie im Steuerkreis von $Q10$ verursacht durch $R4$ ist der Arbeitspunktstrom von $Q10$ sehr viel kleiner als der bereits bekannte Arbeitspunktstrom von $Q11$ (siehe Bild 7.5-1 in Abschnitt 7.2.1). Für $Q10$ ergibt sich demnach ein Arbeitspunktstrom von ca. $20\mu A$. Bei genügend hoher Stromverstärkung der Transistoren $Q3$ und $Q4$ ist somit der Arbeitspunktstrom von $Q9$ und $Q8$ auch jeweils ca. $20\mu A$. Ist die Eingangsdifferenzspannung $U_{II'} = 0$, das heißt ohne Eingangssteuerung ergibt sich für die Transistoren $Q1$, $Q2$, $Q3$, $Q4$, $Q5$ und $Q6$ ein Arbeitspunktstrom von jeweils $10\mu A$. Der Transistor $Q7$ stellt einen „aktiven“ Kurzschlussbügel dar (siehe Bild 7.2-3 in Abschnitt 7.2.1), er hat ansonsten keinen Einfluss auf die übrigen Arbeitspunktströme. Aufgrund der Vorspannung erzeugt durch die Spannungsquelle (siehe Abschnitt 5.3.4) gebildet aus $R7$, $R8$ und $Q16$, arbeiten die Transistoren $Q14$ und $Q20$ im AB-Betrieb (siehe Abschnitt 7.4.2). Die Transistoren $Q15$ und $Q22$ dienen zur Ausgangsstrombegrenzung. Bei nicht zu niederohmigen Lastverhältnissen sind $Q15$ und $Q22$ gesperrt und damit unwirksam. Nur wenn z.B. der Spannungsabfall an $R9$ aufgrund steigenden Ausgangsstroms etwa $0,7V$ erreicht, wird $Q15$ aktiv und nimmt dem Ausgangstransistor $Q14$ die Ansteuerung weg; die Ausgangsstrombegrenzung wird damit wirksam.

Insgesamt lässt sich feststellen, dass alle Transistoren im Normalbetrieb arbeiten. Lediglich die Transistoren $Q15$ und $Q22$ sind bei genügend hochohmigen Lastverhältnissen gesperrt; die Transistoren $Q14$ und $Q20$ sind im AB-Betrieb. Der Arbeitspunktstrom der Transistoren der ersten Verstärkerstufe $Q1$, $Q2$, $Q3$, $Q4$, $Q5$ und $Q6$ liegt bei ca. $10\mu A$. Bei Annahme einer Stromverstärkung von $B = 100$ der Transistoren $Q1$ und $Q2$ erhält man einen Eingangsruhestrom von $100nA$, was mit den Datenblattangaben sehr gut übereinstimmt. Bei unterschiedlicher Stromverstärkung von $Q1$ und $Q2$ ergeben sich ungleiche Eingangsruhestrome an den beiden Eingängen I und I' und damit ein Offsetstrom. Unterschiedliche Transportsättigungssperrströme I_S der Transistoren $Q1$, $Q2$, $Q3$ und $Q4$ begründen ungleiche Spannungen U_{BE} . Dieser Sachverhalt verursacht eine Eingangs-Offsetspannung. Als Ergebnis der Betrachtungen bestimmen sich die Eingangsruhestrome und die Eingangs-Offsetspannung aus den nachstehenden Beziehungen.

$$\begin{aligned} I_{IB+} &= 10\mu A / B_{Q1}; \\ I_{IB-} &= 10\mu A / B_{Q2}; \\ U_{IO} &= \sum_i U_{BE, Qi}; \end{aligned} \quad (7.5-1)$$

AC-Verhalten der ersten Stufe: Die erste Verstärkerstufe bestehend aus $Q1$ bis $Q6$ ist eine Kaskode-Differenzstufe ($Q1$ bis $Q4$) mit aktivem Lastkreis ($Q5$, $Q6$) gemäß Bild 7.1-40 in Abschnitt 7.1.3. Der differenzielle Widerstand der Emitter-Basis-Diode von $Q1$ bis $Q6$ liegt bei $r_e = 2,6k\Omega$. Damit erhält man für die Steilheit von $Q4$ und $Q6$ den Wert $g_m = 1/2,6k\Omega$. Der Eingangswiderstand der ersten Verstärkerstufe liegt bei $4 \cdot r_e \cdot (\beta_0 + 1) \approx 1M\Omega$. Bei einer angenommenen Stromverstärkung von $\beta_0 = 100$ ergibt sich der angegebene Wert für den Eingangs-

widerstand in Höhe von ca. $1M\Omega$

Der Ausgangsstrom I_x der ersten Verstärkerstufe kann maximal den Wert $\pm 20\mu A$ annehmen, er ist bei $U_{II'} = 0$ ebenfalls Null. Der Kurvenverlauf entspricht dem in Bild 7.1-34, allerdings mit den Grenzwerten $\pm 20\mu A$. Die Stromänderung ΔI_x am Ausgang der ersten Verstärkerstufe angesteuert durch $\Delta U_{II'}$ im Arbeitspunkt um $U_{II'} = 0$ beträgt

$$\Delta I_x = g_m \cdot \Delta U_{II'} = \Delta U_{II'} / 2,6k\Omega; \quad (7.5-2)$$

AC-Verhalten der zweiten Stufe: Die zweite Verstärkerstufe besteht aus der Darlingtonstufe mit $Q15$ und $Q17$. Wie bereits angenommen, sei $Q22$ gesperrt und damit unwirksam. Der stromführende Transistor $Q17$ weist einen Arbeitspunktstrom von ca. $0,5mA$ auf, somit ist $r_{e,Q17} = 52\Omega$. Bei einer angenommenen Stromverstärkung von $\beta_{0,Q17} = 200$ und $\beta_{0,Q15} = 150$ erhält man für den Eingangswiderstand Z_3 der zweiten Stufe (von Knoten 3 in Richtung Eingang $Q15$)

$$Z_3 = ((r_{e,Q17} + R11) \cdot (\beta_{0,Q17} + 1) \parallel R12 + r_{e,Q15}) \cdot (\beta_{0,Q15} + 1); \\ Z_3 \approx 250k\Omega; \quad (7.5-3)$$

Wegen des Arbeitspunktstromes von $Q15$ in Höhe von ca. $0,014mA$ liegt der differenzielle Widerstand etwa bei $r_{e,Q15} = 2k\Omega$. Somit ergibt sich für die zweite Verstärkerstufe der angegebene Eingangswiderstand von ca. $250k\Omega$. Bei bekanntem Eingangswiderstand kann nunmehr mit Gl. 7.5-2 die Frage nach der Verstärkung v_{31} der ersten Stufe beantwortet werden:

$$v_{31} \approx g_m \cdot 250k\Omega \approx 100; \quad (7.5-4)$$

Am Ausgang der Darlingtonstufe befindet sich die Spannungsquelle mit $R7$, $R8$ und $Q16$. Diese Funktionsgrundschaltung wurde in Abschnitt 5.3.4 behandelt. Bei einem Arbeitspunktstrom von ca. $0,4mA$ liegt demnach der Innenwiderstand der Spannungsquelle in der Größenordnung von ca. 130Ω . Gegenüber dem Innenwiderstand $r_{o,Q13}$ des als nicht gesteuerter Stromquelle arbeitenden Transistors $Q13$ sind 130Ω vernachlässigbar. Bei genügend hochohmiger Beschaltung am Ausgang der Treiberstufe ist der Early-Widerstand $r_{o,Q13}$ zusammen mit der Steilheit von $Q17$ maßgeblich für die Verstärkung der zweiten Stufe. Der Early-Widerstand $r_{o,Q17}$ kann vernachlässigt werden, da bei $Q17$ eine Seriengegenkopplung vorliegt. Nach Abschnitt 4.2.4 wird der Innenwiderstand am Ausgang durch die Seriengegenkopplung deutlich hochohmiger. Unter Annahme eines Early-Widerstandes von $r_{o,Q13}$ (die Early-Spannung wird dabei mit ca. $26V$ angenommen, siehe Tabelle 5.1-2) erhält man für die Verstärkung der zweiten Stufe:

$$v_{23} \approx g_m \cdot r_{o,Q13} \approx g_m \cdot 50k\Omega \approx 1000; \quad (7.5-5)$$

Die Verstärkung der Größenordnung von 1000 wird allerdings nicht ganz erreicht, da u.a. die Steuerspannung von $Q17$ nicht die volle mögliche Eingangsspannung aufnimmt. Die Steuerspannung von $Q17$ liegt bei ca. 85% der möglichen Eingangsspannung.

Wegen des „Miller“-Effekts bzw. aufgrund der Transimpedanbeziehung (siehe

Gl. 4.2-19 in Abschnitt 4.2.5) wirkt am Eingang der zweiten Stufe die Kapazität $C_K \cdot 1000 \approx 30nF$. Zusammen mit dem Eingangswiderstand der zweiten Stufe in Höhe von ca. $250k\Omega$ ergibt sich näherungsweise folgende Eckfrequenz des Verstärkungsfrequenzgangs:

$$f_1 \approx \frac{1}{2\pi \cdot 30nF \cdot 250k\Omega} \approx 20Hz; \quad (7.5-6)$$

Damit wird die im Datenblatt angegebene niedrige erste Eckfrequenz des Verstärkungsfrequenzgangs bei einer Gesamtverstärkung von ca. 10^5 bestätigt.

Treiberstufe: Die Treiberstufe mit $Q14$ und $Q20$ ist ein komplementärer Emitterfolger im AB-Betrieb (siehe Abschnitt 7.4.2). Die erforderliche Vorspannung wird über die Spannungsquelle $R7$, $R8$ und $Q16$ eingestellt. Diese Teilschaltung wirkt als Spannungsquelle (siehe Abschnitt 5.3.4) mit relativ niederohmigem Innenwiderstand. Der Transistor $Q15$ wirkt zusammen mit $R9$ als elektronische Ausgangsstrombegrenzung für positive Aussteuerungen am Ausgang. Die Begrenzung negativer Aussteuerungen erfolgt über $Q22$ und $R11$.

Slew-Rate Verhalten: Bei Übersteuerung der ersten Verstärkerstufe mit einer Ansteuerung um $\Delta U_{I1'} > 0, 1V$ erfolgt eine Strombegrenzung der Stromquelle am Ausgang der ersten Stufe (siehe in Abschnitt 7.1.2) auf $I_{x,max} = \pm 20\mu A$. Wegen der hohen Verstärkung der zweiten Stufe (ca. 1000) liegt die Ausgangsspannung mit guter Näherung am Rückkopplungskondensator C_K . Der Slew-Rate Parameter ergibt sich somit aus:

$$20\mu A = C_K \cdot \frac{\Delta u_2}{\Delta t} = C_K \cdot SR; \quad (7.5-7)$$

Der im Datenblatt angegebene Slew-Rate Parameter (ca. $0,6V/\mu s$) wird gut bestätigt. Mit der skizzierten Abschätzanalyse lassen sich im Wesentlichen die Datenblattangaben verstehen und bestätigen. Ein derartiges Verständnis ist eine unverzichtbare Voraussetzung für die Entwicklung einer derartigen Schaltung.

7.5.2 Zweistufiger Linearverstärker mit BJTs

In Anlehnung an das behandelte Beispiel des OP-Verstärkers $\mu A741$ soll nunmehr ein zweistufiger Linearverstärker eingehend analysiert werden. Der zu betrachtende Linearverstärker mit seinen zwei Stufen wirkt am Ausgang als spannungsgesteuerte Stromquelle. Es fehlt die Ausgangs-Treiberstufe, die ansonsten einen niederohmigen Innenwiderstand am Ausgang bewirkt. Die verfügbare Versorgungsspannung möge $\pm 10V$ betragen. Der Verstärker soll hinsichtlich des Frequenzgangs und des Schnittstellenverhaltens mit den beiden ersten Stufen eines Operationsverstärker vergleichbare Eigenschaften aufweisen. Die „innere“ Schnittstelle von der ersten zur zweiten und die am Ausgang der zweiten Stufe sollte möglichst hochohmig sein. Die Beispielschaltung zeigt Bild 7.5-2. Die erste Stufe ist eine Differenzstufe mit aktivem Lastkreis, die zweite Stufe eine Darlington-Verstärkerstufe. Der Ausgang an Knoten 2 wird mit $R27$ und $R28$ beschaltet, womit sich ein geeigneter Arbeitspunkt bezüglich der Ausgangsspannung einstellt.

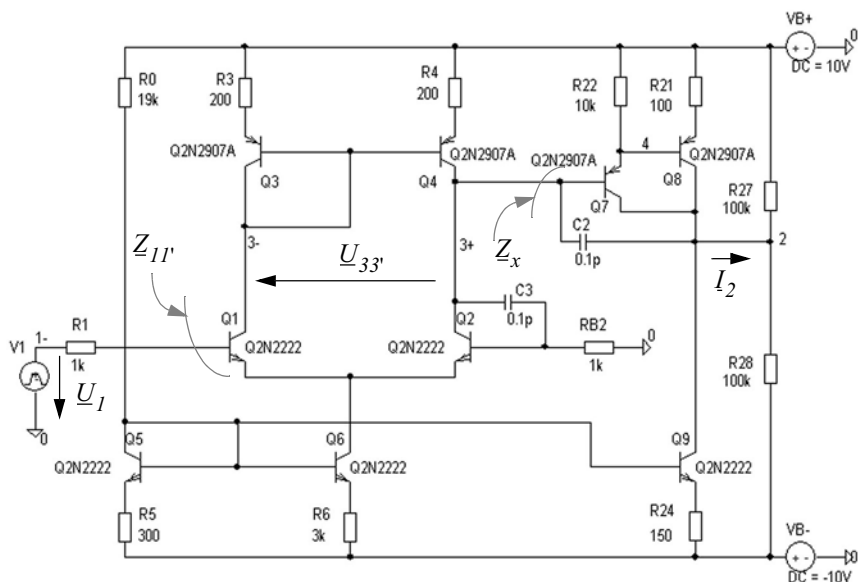


Bild 7.5-2: Erste und zweite Stufe des zu untersuchenden Linearverstärkers

Zunächst wird die erste Verstärkerstufe bestehend aus einer emittergekoppelten Differenzstufe mit $Q1$ und $Q2$ betrachtet (Bild 7.5-3). Die Stromquelle mit $Q5$ und $Q6$ stellt den Arbeitspunktstrom der Differenzstufe ein. Die basisgekoppelte Differenzstufe mit $Q3$ und $Q4$ bildet einen aktiven Lastkreis für die emittergekoppelte Differenzstufe aus $Q1$ und $Q2$. Im Arbeitspunkt ist $Q2$ und $Q4$ eine gesteuerte Stromquelle. Durch geeignete Beschaltung mit der nachfolgenden Stufe oder durch Rückkopplung ist die Spannung am Ausgangsknoten $3+$ der ersten Stufe in einem geeigneten Arbeitspunkt einzustellen.

Aufgrund von Unsymmetrien der Transistoren $Q1$ bis $Q4$ (u.a. verursacht durch die Early-Spannung) ergibt sich ein Offsetstrom am Ausgang. Durch eine geringe Offsetspannung am Eingang lässt sich dem Ausgangsoffset entgegenwirken. Für die AC-Analyse ist wichtig, dass die Transistoren $Q1$ bis $Q4$ als Stromquelle arbeiten. In Bild 7.5-2 legt die nachfolgende Stufe die Spannung am Ausgangsknoten $3+$ der ersten Stufe fest. Bei geeigneter Beschaltung der Verstärkerstufe mit einer Parallelgegenkopplung kann der Arbeitspunkt am Ausgang durch die Gegenkopplungsmaßnahme so festgelegt werden, dass $Q8$ und $Q9$ als Stromquelle arbeiten.

Es folgt die Untersuchung der ersten Stufe von Knoten $1-$ nach Knoten $3+$ mit $C3 = 0$. Wenn die zweite Stufe abgekoppelt werden soll, ist die Ausgangsschnittstelle $R27$ und $R28$ geeignet abzuschließen (Bild 7.5-3). Die Eingangsimpedanz der zweiten Stufe ist näherungsweise:

$$Z_x \approx (\beta_{Q8} + 1) \cdot 100\Omega \parallel 10k\Omega \cdot (\beta_{Q7} + 1) \approx 500k\Omega; \quad (7.5-8)$$

Der Abschluß der ersten Stufe an Knoten $3+$ muss also hochohmig sein. Weiterhin

ist darauf zu achten, dass die Transistoren $Q2$ und $Q4$ im Stromquellenbetrieb arbeiten. Das DC-Potenzial an Knoten 3+ sollte bei ca. $6V$ bis $8V$ liegen. Die Schaltungsanordnung für den Test der ersten Stufe zeigt Bild 7.5-3.

Experiment 7.5-1: BJT_Zweistufiger-Verstärker-ErsteStufe

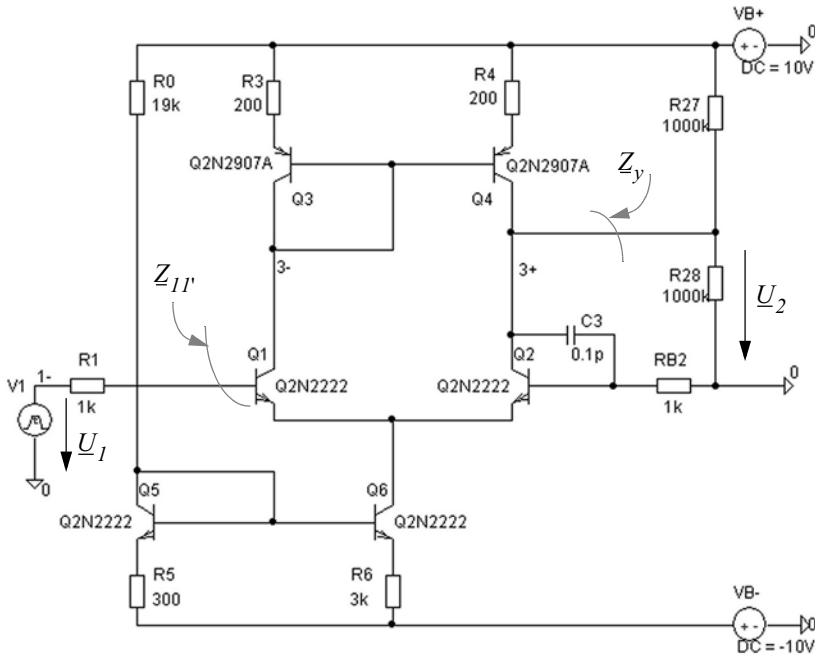


Bild 7.5-3: Erste Stufe des zu untersuchenden Linearverstärkers mit Abschluß

Die DC-Analyse ergibt, dass die Transistoren $Q1$ bis $Q6$ im Normalbetrieb arbeiten. Der Arbeitspunktstrom der Transistoren $Q1$, $Q2$, $Q3$, $Q4$ beträgt ca. $60\mu A$. Damit liegt deren Steilheit bei ca. $1/430\Omega$. Der Lastwiderstand an Knoten 3+ beträgt ohne Berücksichtigung der Innenwiderstände von $Q2$ und $Q4$ ca. $500k\Omega$. Für den Abschätzwert der Verstärkung vom Eingang zum Ausgangsknoten 3+ erhält man:

$$v_{3I} \approx 500k\Omega / 430\Omega \approx 1100; \quad (7.5-9)$$

Der Abschätzwert für den Eingangswiderstand ergibt mit einer Stromverstärkung von 200 näherungsweise:

$$Z_{1I'} \approx ((\beta_{Q1} + 1) \cdot 430\Omega) \cdot 2 + 2k\Omega \approx 170k\Omega; \quad (7.5-10)$$

Das Ergebnis der AC-Analyse der ersten Verstärkerstufe in Bild 7.5-4 bestätigt mit guter Näherung die Abschätzwerte. Die Diffusionskapazität schließt bei höheren Frequenzen den differentiellen Eingangswiderstand von $Q1$ und $Q2$ zunehmend kurz, so dass für den Eingangswiderstand nur noch ca. $1k\Omega$ übrig bleibt. Eine

Kapazität von 10pF an Knoten 3+ verursacht mit dem hochohmigen Lastwiderstand von ca. $500\text{k}\Omega$ eine Eckfrequenz von ca. 20kHz . Da die Verstärkung vom Eingang zu Knoten 3- gering ist, wirkt sich erheblich vermindert die Millerkapazität am Eingang aus. Knoten 3- ist etwa mit 430Ω belastet. Somit ist die Verstärkung von Knoten 1- nach Knoten 3- kleiner als 1.

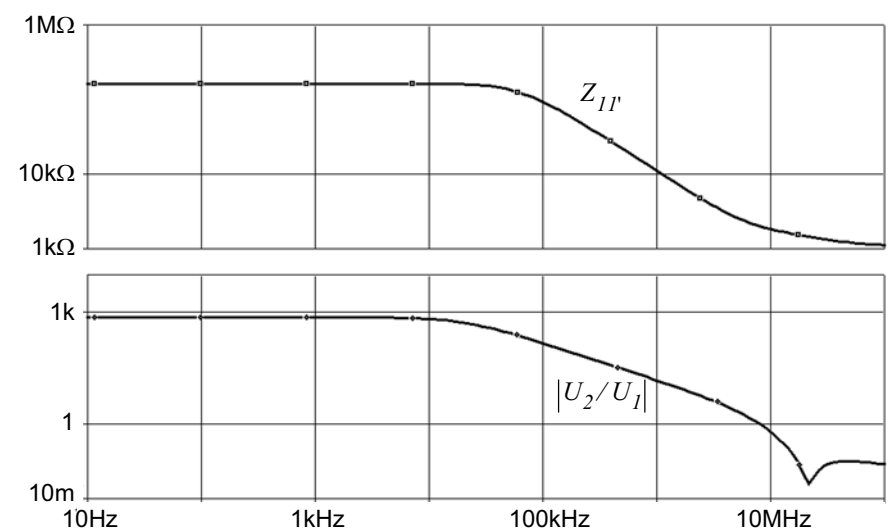


Bild 7.5-4: Eingangswiderstand $Z_{II'}$ und Verstärkung der ersten Verstärkerstufe

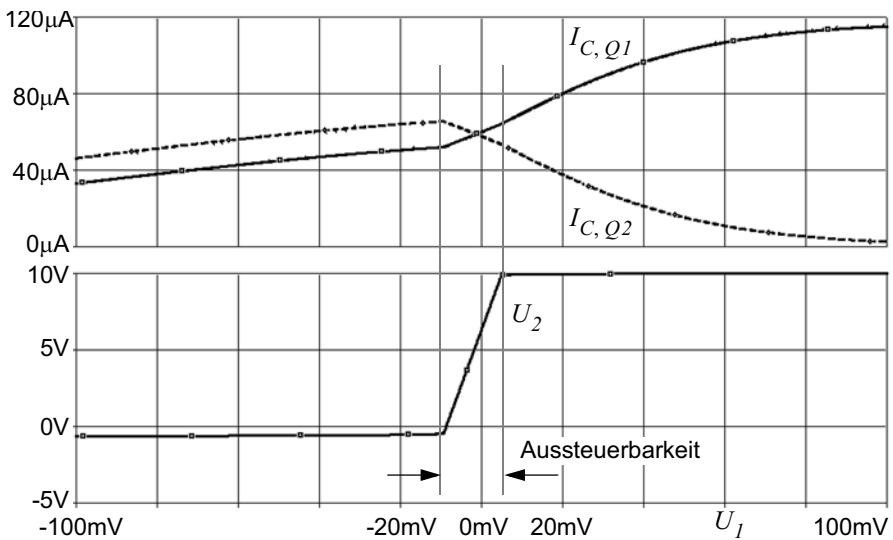


Bild 7.5-5: Ergebnis der DC Sweep-Analyse zur Ermittlung der Aussteuer Grenzen der ersten Verstärkerstufe

Die Aussteuer Grenzen der ersten Verstärkerstufe werden im obigen Experiment durch DCSweep-Analyse bestimmt. Wegen der hohen Verstärkung ist der Eingang nur in einem sehr begrenzten Bereich aussteuerbar, so dass sich ein Linearverstärkerverhalten ergibt. Ausserhalb der Aussteuer Grenzen sind die Ausgangstransistoren gesperrt bzw. gesättigt. Bild 7.5-5 zeigt das Ergebnis der DCSweep-Analyse.

Bislang wurde der Innenwiderstand der Transistoren $Q2$ und $Q4$ vernachlässigt. In einem weiteren Experiment soll der Innenwiderstand am Ausgang der ersten Stufe untersucht werden. Dazu ist der Eingang abzuschließen und die Signalquelle an Knoten 3+ anzuschließen. Um den Arbeitspunkt der Transistoren nicht zu verfälschen ist die Signalquelle mit einem DC-Wert von ca. $7V$ zu beaufschlagen. Bild 7.5-6 zeigt die Testanordnung. Das Ergebnis der AC-Analyse ist in Bild 7.5-7 dargestellt. Es zeigt im unteren Frequenzbereich einen sehr hochohmigen Wert. Somit wirkt der Ausgang der ersten Stufe am Knoten 3+ als Stromquelle. Der Transistor $Q4$ ist über den Widerstand $R4$ seriengegengekoppelt, der Transistor $Q2$ über die Emitter-Basis Strecke von $Q1$. Aufgrund der Seriengegengkopplung erhält man einen hohen Innenwiderstand an Knoten 3+.

Experiment 7.5-2: BJT_BJT_Zweistufiger-Verstärker-ErsteStufe-Z22

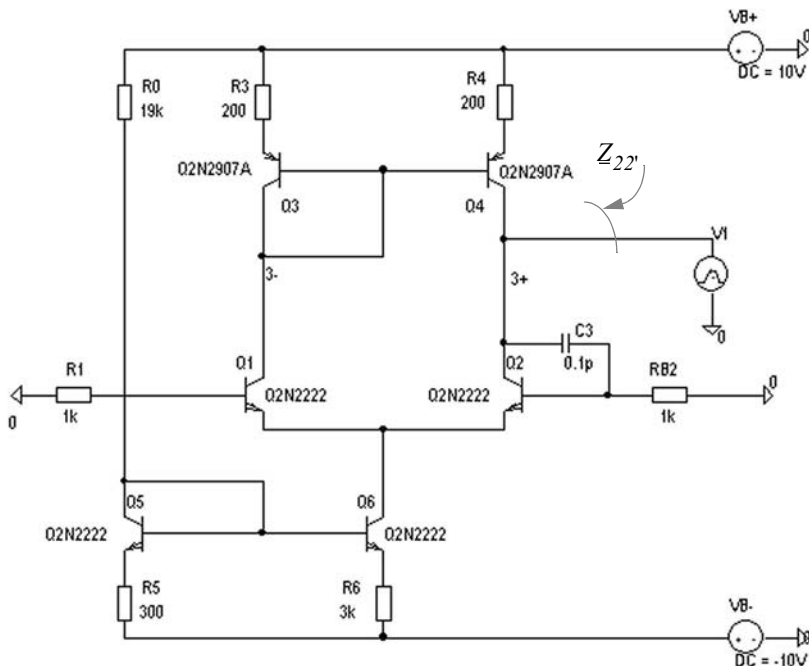


Bild 7.5-6: Testanordnung zur Bestimmung des Innenwiderstands $Z_{22'}$ am Ausgang der ersten Stufe des zu untersuchenden Linearverstärkers

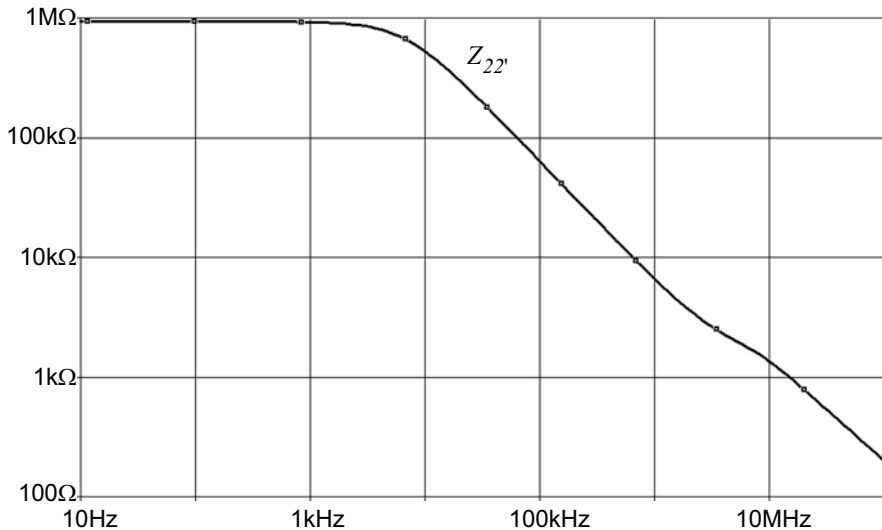


Bild 7.5-7: Ausgangswiderstand $Z_{22'}$ der ersten Verstärkerstufe

Als nächstes soll die zweite Stufe mit $C2 = 0$ untersucht werden. Die zweite Stufe besteht aus einer Darlington-Stufe (siehe Abschnitt 5.3.6). Im Anwendungsfall darf der Darlington-Stufe kein Strom über eine feste Spannungsquelle über den Widerstand $R2I$ eingeprägt werden. Vielmehr erhält die zweite Stufe ihren Arbeitspunktstrom über den Stromquellentransistor $Q9$. Eine Ansteuerung mit einer Spannungsquelle verbietet sich deshalb. Man könnte im Prinzip die zweite Stufe mit einer spannungsgesteuerten Stromquelle (GVALUE) ansteuern, um die erste Stufe mit einem Makromodell zu ersetzen. Die Steilheit der ersten Stufe ist mit $1/430\Omega$ bekannt. Im Experiment wird für die Untersuchung der zweiten Stufe die Gesamtschaltung gemäß Bild 7.5-2 zugrundegelegt.

Experiment 7.5-3: BJT_Zweistufiger-Verstärker-Gesamtsch

Im Experiment ist die zweite Stufe mit einem Spannungsteiler $R27$ und $R28$ abgeschlossen. Da die Darlington-Stufe am Ausgang als Stromquelle arbeitet, muss der Ausgangsknoten mit einem vom Abschluss her definierten Potenzial abgeschlossen werden. Die Festlegung des Ausgangspotenzials wäre auch über eine Rückkopplungsmaßnahme möglich. Wegen der hohen Gesamtverstärkung der ersten und zweiten Stufe ist auf den Ausgangsoffset zu achten. Aufgrund der Early-Spannung von $Q2$ und $Q4$ ergibt sich bei unterschiedlichen Kollektor-Emitter Spannungen ein Offsetstrom am Ausgang der ersten Stufe, der wiederum eine Offsetspannung am Ausgang der zweiten Stufe verursacht. Um den Arbeitspunkt am Ausgang bei ca. Null Volt einzustellen, muss bei Festlegung der Eingangssignalquelle ein geeigneter geringer DC-Offset vorgesehen werden. Dies entspricht einer Eingangs-Offsetspannung.

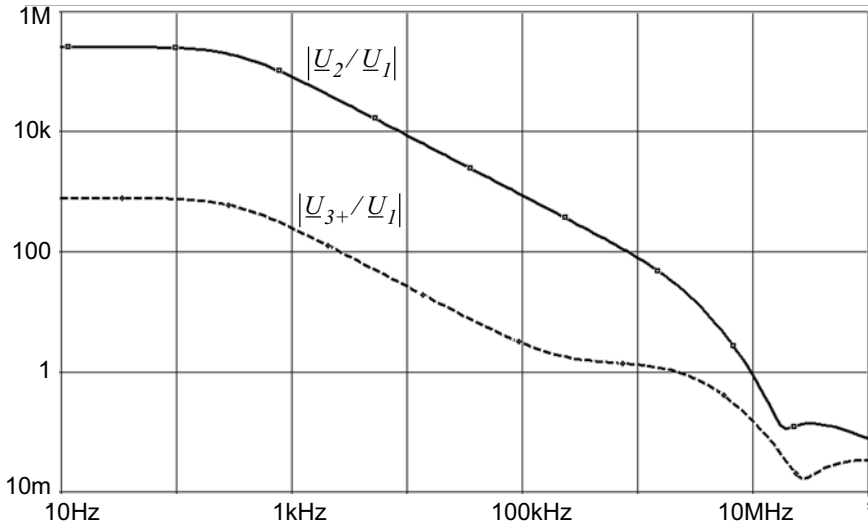


Bild 7.5-8: Gesamtverstärkung $|U_2/U_1|$ und Verstärkung der ersten Stufe $|U_{3+}/U_1|$

Der Transistor $Q9$ zieht einen Arbeitspunktstrom von ca. $1,9mA$. Damit liegt der Arbeitspunkt des stromführenden Transistors $Q8$ der Darlington-Stufe bei ca. $1,8mA$. Als Folge davon beträgt die Steilheit von $Q8$ ca. $1/15\Omega$. Mit dem gegebenen Lastwiderstand von $50k\Omega$ ($R27||R28$) ergibt sich eine Verstärkung der zweiten Stufe von ca. $50k\Omega/115\Omega$ unter der Annahme, dass am stromführenden Transistor der Darlington-Stufe weitgehend die Steuerspannung am Eingang anliegt. Die Gesamtverstärkung der ersten und zweiten Stufe sollte gemäß der Grobabschätzung bei ca. $5 \cdot 10^5$ liegen. Das Simulationsergebnis ist in Bild 7.5-8 dargestellt. Es bestätigt die hohe Gesamtverstärkung. Bei näherer Betrachtung stellt man fest, dass der Verstärkungsfrequenzgang der Gesamtschaltung eine erste Eckfrequenz bei einigen $100Hz$ und eine zweite Eckfrequenz im MHz-Bereich aufweist. Kritisch ist, dass im Bereich der zweiten Eckfrequenz die Verstärkung noch größer als 1 ist, was auf mögliche Stabilitätsprobleme in Anwendungen hinweist.

Als konkrete Anwendung für den zweistufigen Verstärker wird eine Spannungsfolgerschaltung gewählt. Bild 7.5-9 zeigt die Testanordnung bei Speisung am Knoten $1+$ und Rückkopplung vom Ausgang zum Eingangsknoten $1-$. Im nachstehenden Experiment wird die Testschaltung ohne und mit Kompensationsmaßnahme mit $C2$ und $C3$ untersucht. Ohne $C2$ und $C3$ zeigt sich im Ergebnis in Bild 7.5-10 ein Verhalten am Stabilitätsrand (überlagerte Schwingung). Mit der Kompensationsmaßnahme vermindert sich die Flankensteilheit der Ausgangsspannung, aber die Schwingneigung ist beseitigt.

Experiment 7.5-4: BJT_Zweistufiger-Verstärker-Spannungsfolg

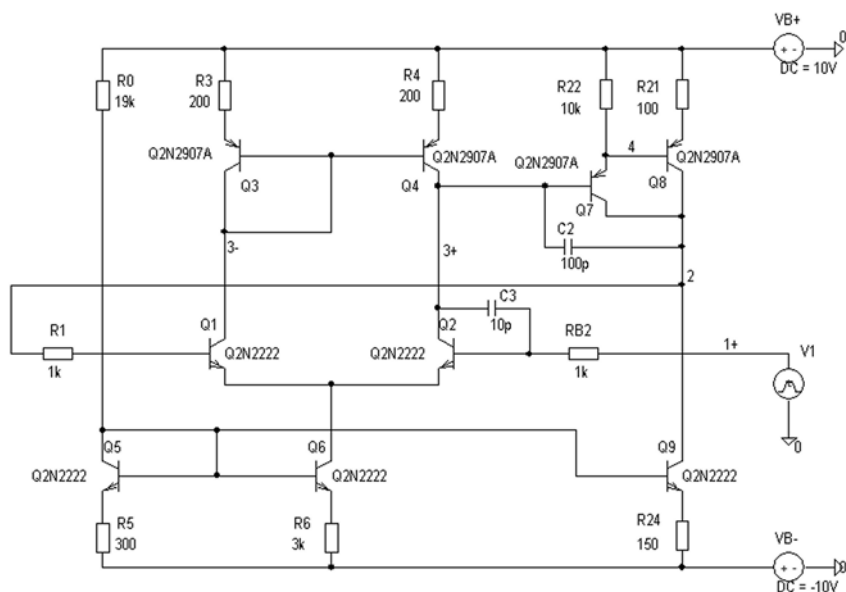


Bild 7.5-9: Testanordnung zur Bestimmung der Eigenschaften eines Spannungsfolgers

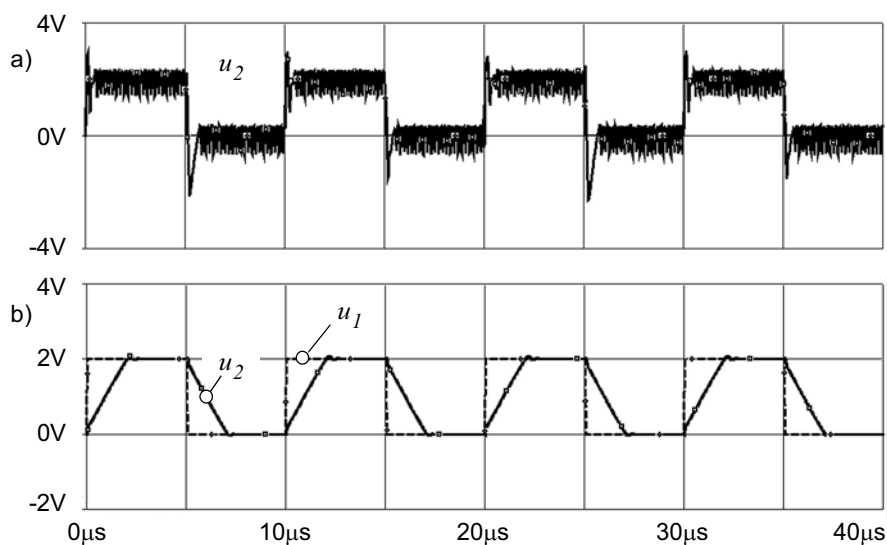


Bild 7.5-10: Ausgangsspannung u_2 ; a) ohne Kompensationsmaßnahme durch C_2 und C_3 , b) mit Kompensationsmaßnahme mit C_2 und C_3

Im folgenden Experiment wird der Linearverstärker als Differenziator betrieben. Ohne den Kompensationswiderstand bei $R_{10} = 0$ schwingt der Differenziator gemäß der Stabilitätsanalyse in Kap. 4. Mit $R_{10} = 100\Omega$ erhält man die gewünschte Differenziatorfunktion.

Experiment 7.5-5: BJT_Zweistufiger-Verstärker-Differenziator

7.5.3 Regelverstärker mit BJTs

In bestimmten Anwendungen wird ein Regelverstärker benötigt, um in Abhängigkeit von einer sich ändernden Eingangsspannungsamplitude am Ausgang ein unverzerrtes Signal mit weitgehend konstanter Ausgangsamplitude zu erhalten. Bild 7.5-11 zeigt ein Beispiel einer möglichen Ausführung für einen Regelverstärker.

Der Regelverstärker (AGC: Automatic Gain Control) besteht aus einer Verstärkerstufe, einem Signaldetektor und einer Regelspannungsaufbereitung zur Verstärkungsregelung. Für die Verstärkerstufe wird ein Differenzverstärker mit gesteuerter Stromquelle zur Verstärkungseinstellung mit I_0 gemäß Übung 9.7 verwendet. Für den Signaldetektor eignet sich u.a. eine Differenzstufe im C-Betrieb (Übung 9.10). Das Eingangssignal soll vom Verstärker um mindestens etwa den Faktor 300 verstärkt werden, bei größtmöglichem Vorstrom I_0 . Die Differenzstufe im C-Betrieb ist mit ca. $-0,3V$ vorgespannt. Damit ergibt sich eine maximale Signalamplitude am Eingang des Signaldetektors von ca. $0,4V$. Erreicht die Signalamplitude am Eingang des Signaldetektors $0,3V$, so setzt der Regelungsvorgang ein. Der Integrator der Regelspannungsaufbereitung reduziert die Regelspannung U_R so, dass der Vorstrom I_0 der Verstärkerstufe vermindert wird, um bei reduzierter Verstärkung die vorgegebene Grenze der Signalamplitude am Eingang des Signaldetektors nicht zu überschreiten. Im folgenden Experiment kann der Anwender eigene Untersuchungen bei u.a. veränderter Eingangssignalamplitude anstellen.

Experiment 7.5-6: BJT-Regelverstärker

Bei kleinen Eingangssignalamplituden unterhalb der Ansprechschwelle des Signaldetektors (Differenzstufe im C-Betrieb mit $Q5$ und $Q6$) übernimmt der Transistor $Q5$ den vollen Strom von $1mA$ aufgrund der Vorspannung von $Q5$ und $Q6$. Dies führt dazu, dass $Q6$ und $Q7$ gesperrt ist. Als Folge davon beträgt die Regelspannung U_R ca. $9V$. Damit ergibt sich an $Q9$ ein Strom $I_0 = 6,3mA$. Die Transistoren der Verstärkerstufe $Q1$, $Q2$, $Q3$ und $Q4$ ziehen somit einen Arbeitspunktstrom von ca. $3,15mA$. Der Spannungsteiler mit den Widerständen $R3$ und $R4$ bestimmt das DC-Potenzial an Knoten 2. Die Festlegung der Ansprechschwelle des Regelungsvorgangs erfolgt über den Spannungsteiler mit $R7$ und $R8$. Unterhalb der Ansprechschwelle des Signaldetektors weist die Eingangs-differenzstufe mit $Q1$ und $Q2$ maximale Verstärkung auf.

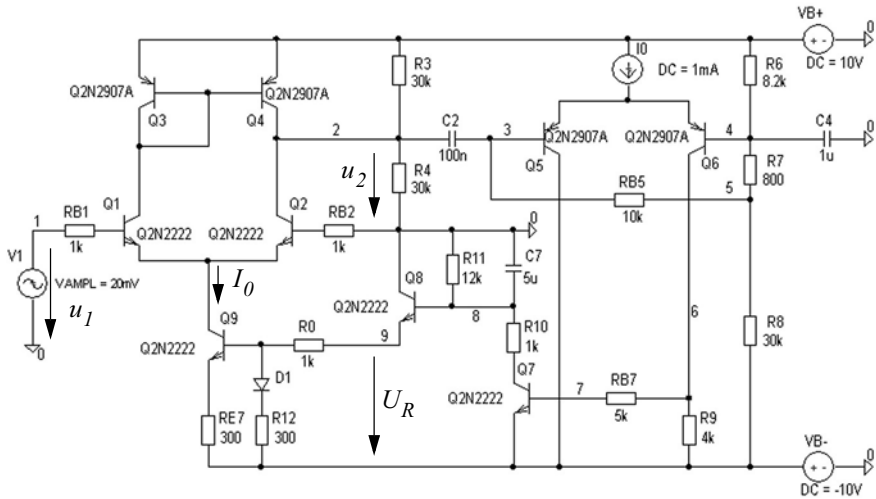


Bild 7.5-11: Testanordnung zur Bestimmung der Eigenschaften Regelverstärkers

Bei größeren Eingangssignalamplituden oberhalb der Ansprechschwelle übernimmt abwechselnd $Q5$ und $Q6$ den Strom von $1mA$. Der Kondensator $C7$ wird über den Kollektorstrom von $Q7$ aufgeladen. Dadurch reduziert sich die Regelspannung U_R , was eine Verminderung des Stroms I_0 zur Folge hat. Der verminderte Konstantstrom I_0 verursacht eine geringere Steilheit der Differenzstufentransistoren $Q1$ und $Q2$. Dies reduziert die Verstärkung von Knoten 1 nach Knoten 2.

Die maximale Regelspannung U_R beträgt ca. $9V$. Damit liegt die Steilheit der Transistoren der Verstärkerstufe bei etwa $g_m = 1/(8,5\Omega)$. Knoten 2 wird im wesentlichen belastet durch den Eingangswiderstand des Transistors $Q5$, der unterhalb der Ansprechschwelle des Signaldetektors einen Strom von $1mA$ zieht. Bei einer Stromverstärkung von $Q5$ mit etwa 200 ergibt sich ein Eingangswiderstand von ca. $5k\Omega$. Unter Berücksichtigung der zusätzlichen Lastwiderstände an Knoten 2 erhält man schließlich eine Verstärkung von ca. 300 von Knoten 1 nach Knoten 2.

Wie bereits erwähnt, wird die Ansprechschwelle des Signaldetektors durch den Spannungsabfall an $R7$ bestimmt. Im Beispiel ist das Potenzial an Knoten 3 um ca. $0,3V$ niedriger als an Knoten 4. Bei Signalamplituden unterhalb $0,3V$ an Knoten 3 reagiert der Signaldetektor nicht. Wegen des gesperrten Transistors $Q6$ bleibt auch der Transistor $Q7$ gesperrt. Der Konstantstrom I_0 ist maximal, die Verstärkung von Knoten 1 nach Knoten 2 liegt größtmöglich bei ca. 300. Das heißt, dass unterhalb einer Signalamplitude des Eingangssignals von ca. $1mV$ der Regelvorgang nicht wirkt. Der Verstärker arbeitet mit größtmöglicher Verstärkung in Höhe von ca. 300. Oberhalb ca. $1mV$ Signalamplitude am Eingang übersteigt die Signalamplitude an Knoten 3 den Schwellwert von ca. $0,3V$, der Regelvorgang beginnt zu wirken. Wird die Eingangssignalamplitude größer als $1mV$, so wird $Q7$ angesteuert. Der Integrator an Knoten 8 reduziert die Regelspannung soweit, dass ca. $0,4V$ (geringfügig

mehr als $0,3V$) Signalamplitude an Knoten 3 erhalten bleiben. Übersteigt das Eingangssignal die Signalamplitude von $50mV$, so macht sich zunehmend eine Übersteuerung der Differenzstufe $Q1\&Q2$ bemerkbar (der lineare Aussteuerbereich wird verlassen). Oberhalb $50mV$ Eingangssignalamplitude begrenzt die Eingangs-differenzstufe. Somit liegt der lineare Regelbereich des Beispiel-Regelverstärkers zwischen ca. $1mV$ und ca. $50mV$.

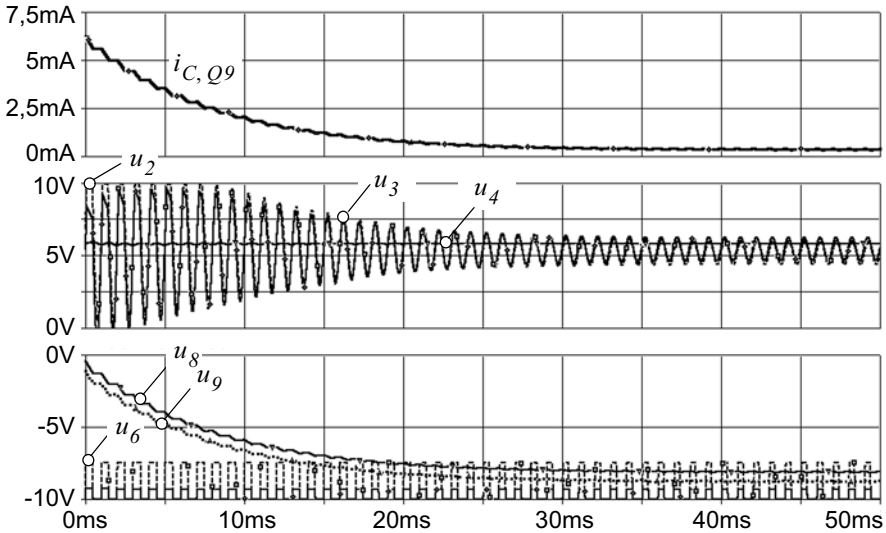


Bild 7.5-12: Spannungs- und Stromverläufe des Regelverstärkers bei $U_I = 20mV$

7.5.4 Doppelgegentakt-Mischer

Ein Mischer setzt allgemein ein Eingangssignal bestimmter Frequenz f_I mittels einem Trägersignal (Carrier) f_0 in eine andere Frequenzlage um. Prinzipiell lässt sich die Frequenzumsetzung u.a. durch Analogmultiplikation oder an nichtlinearen Kennlinien realisieren. Die Analogmultiplikation zweier sinusförmiger Signale ergibt ein Mischprodukt aus Summen- und Differenzfrequenzen:

$$\begin{aligned} u_2 &= u_0 \cdot u_I = U_0 \cdot \sin(\omega_0 \cdot t + \varphi_0) \cdot U_I \cdot \cos(\omega_I \cdot t + \varphi_I); \\ &= \frac{U_0 \cdot U_I}{2} \cdot \sin((\omega_0 - \omega_I) \cdot t + \varphi_0 - \varphi_I) + \\ &\quad + \frac{U_0 \cdot U_I}{2} \cdot \sin((\omega_0 + \omega_I) \cdot t + \varphi_0 + \varphi_I); \end{aligned} \quad (7.5-11)$$

Beim Abwärtsmischvorgang wird die Summenfrequenz durch ein Filter unterdrückt, es ergibt sich eine Zwischenfrequenzlage mit $f_z = f_0 - f_I$.

Eine multiplikative Verknüpfung zweier Eingangssignale entsteht beispielsweise in einer Verstärkerstufe dadurch, dass allgemein die Ausgangsspannung

$$\underline{U}_2 = g_m \cdot R_L \cdot \underline{U}_I; \quad (7.5-12)$$

proportional zum Produkt aus der Eingangsspannung und der Steilheit des Verstärkerelements ist. Wird die Steilheit vom zweiten Eingangssignal gesteuert (Stromsteuerung), so erhält man die gewünschte multiplikative Verknüpfung (Steilheitsmischer). Eine spezielle Ausführung stellt der Doppelgegentaktmischer (Gilbert-Mischer) in Bild 7.5-13 dar. Der Mischer selbst besteht aus zwei im Gegentakt angesteuerten emittergekoppelten Differenzstufen ($Q3 \& Q4$, $Q5 \& Q6$).

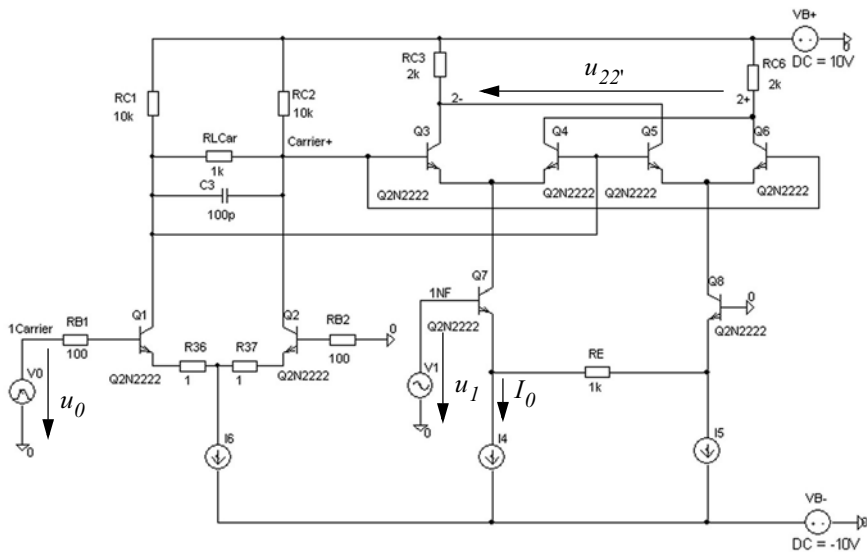


Bild 7.5-13: Testanordnung für einen Doppelgegentaktmischer mit den Eingangssignalen u_0 und u_1 , sowie dem Ausgangssignal u_2

Experiment 7.5-7: BJT_Doppelgegentaktmischer

In diesem Experiment wird der Doppelgegentaktmischer näher untersucht. Die Simulationsergebnisse sind in Bild 7.5-14 und Bild 7.5-15 dargestellt. Bei positivem Signalverlauf von u_0 sind die Transistoren $Q3$ und $Q6$ durchgeschaltet, bei negativem Signalverlauf $Q4$ und $Q5$. Entsprechend wird der Kollektorstrom von $Q7$ bzw. $Q8$ durchgeschaltet. Die Steuerung des Kollektorstroms von $Q7$ bzw. von $Q8$ erfolgt über die Signalspannung u_1 . Der Widerstand RE wirkt als Seriengegenkopplung, so dass der Kollektorstrom von $Q7$ sich näherungsweise ergibt aus:

$$i_{C, Q7} = I_0 + U_1 \cdot \sin(\omega_1 \cdot t) / 1k\Omega; \quad (7.5-13)$$

Damit steuert das Eingangssignal u_1 den Konstantstrom I_0 . Bei durchgeschaltetem $Q3$ und $Q6$ beträgt die Ausgangsspannung $u_{22'}$ während dieser Ansteuerphase:

$$u_{22'} = (U_1 \cdot \sin(\omega_1 \cdot t)) \cdot (2k\Omega / 1k\Omega) \cdot 2 \quad (7.5-14)$$

Sind die Transistoren $Q4$ und $Q5$ durchgeschaltet, so ergibt sich eine dazu negative Ausgangsspannung $u_{22'}$. Die Spektraldarstellung der Eingangssignale und des Ausgangssignals in Bild 7.5-15 zeigt deutlich die Frequenzumsetzung. Der Vorteil

der Schaltung besteht in der Trägerunterdrückung am Ausgang, was Filtermaßnahmen in Systemanwendungen erleichtert.

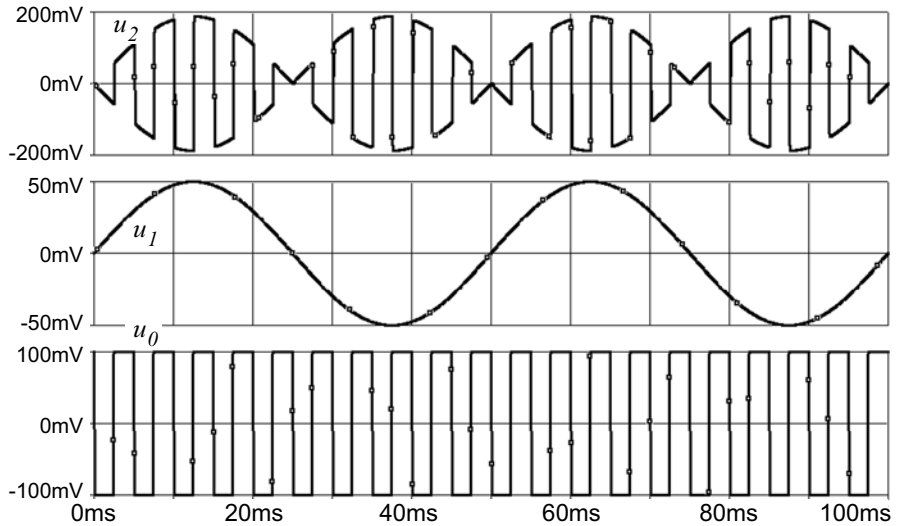


Bild 7.5-14: Spannungsverläufe des Doppelgegentaktmischers; Ergebnis der TR-Analyse

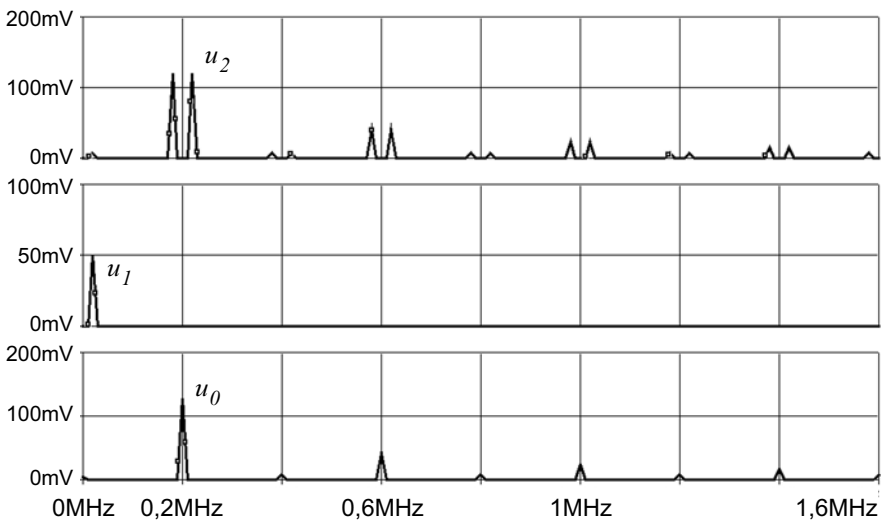


Bild 7.5-15: Spannungsverläufe des Doppelgegentaktmischers; Ergebnis der Fourier-Analyse

7.6 PLL-Schaltkreis

Ein PLL-Schaltkreis ist ein Phasenregelkreis (PLL: Phased-Locked-Loop) in dem ein zunächst freilaufender spannungsgesteuerter Oszillator (VCO: Voltage-Controlled-Oscillator) mit dem Ausgangssignal u_2 der Frequenz f_2 mittels eines Phasen-Regelkreises mit einem gegebenen Eingangssignal u_1 mit der Frequenz f_1 synchronisiert wird. Der Regelkreis besteht aus einem Phasendetektor (PD: Phase-Detector) bzw. Phasenvergleicher an dessen Eingang das Referenzsignal u_1 und der VCO-Ausgang u_2 anliegt, einem Tiefpass (LF: Loop-Filter) mit der Ausgangsspannung u_f und dem VCO. Bild 7.6-1 zeigt das Grundprinzip eines PLL-Schaltkreises.

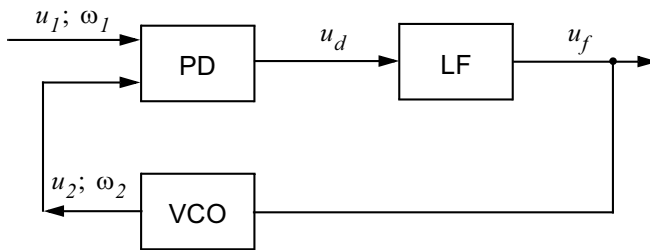


Bild 7.6-1: Phasenregelkreis mit spannungsgesteuertem Oszillator (VCO), Phasendetektor (PD) und Loop-Filter (LF)

Anwendungen von PLL-Schaltkreisen ergeben sich vielfältig u.a. für die Takt-rückgewinnung aus digitalen Signalfolgen, für die Taktsignalsynchronisation, für die FM-Demodulation und allgemein für die Synchronisation bei Signalquellen (PLL-Synthesizer). Ein Schaltungsentwickler sollte das Grundprinzip von PLL-Schaltkreisen beherrschen.

7.6.1 Aufbau und Wirkungsprinzip

Gemäß dem prinzipiellen Aufbau eines PLL-Schaltkreises wird als erstes eine Testanordnung betrachtet (Bild 7.6-2). Die hierarchisch gegliederte Testanordnung verwendet einen VCO *HS1* zur Aufbereitung eines Testsignals. Das sinusförmige Testsignal u_1 soll einen Frequenzsprung aufweisen. Der zunächst freischwingende VCO der Phasenregelschleife *HS2* mit u_2 als Ausgangssignal muss dann durch eine Regelspannung u_f so nachgeführt werden, dass u_2 synchron zu u_1 ist. Der Phasenvergleicher ist im Block *HS3* enthalten. Für den Phasenvergleicher gibt es verschiedene Realisierungsmöglichkeiten.

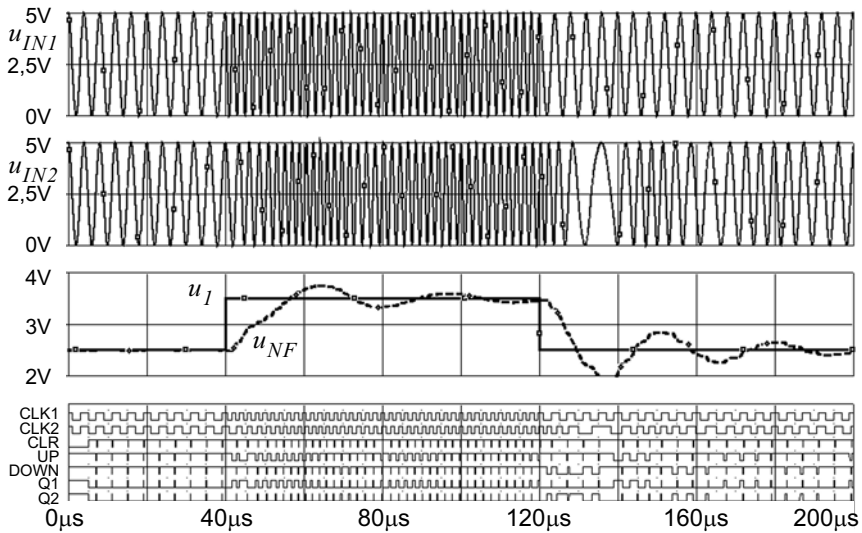


Bild 7.6-3: Simulationsergebnis der betrachteten PLL-Testanordnung mit sprunghafter Frequenzänderung des Eingangssignals; dargestellt sind die Eingänge des PFD u_1 (vom Eingangs-VCO kommend) und u_2 (vom Regel-VCO kommend), u_{NF} entspricht der Sprungantwort der Steuerspannung des VCO zur Nachsteuerung des Regel-VCO, so dass u_1 und u_2 synchron sind

Der zunächst freischwingende PLL-Oszillator mit der Kreisfrequenz $\omega_2 = \omega_0$ soll an die Eingangskreisfrequenz ω_1 phasenstarr angebunden werden. Ab $t = t_0$ ändert sich ω_1 um $\Delta\omega$. Aufgrund der größer werdenden Phasendifferenz der beiden Eingangssignale gibt der Phasenvergleich ein Signal $u_d(t)$ ab, dessen Mittelwert ansteigt. Mit einer Verzögerung entsteht am Ausgang des Loop-Filters ein Korrektursignal $u_f(t)$, das den PLL-Oszillator veranlaßt, die Schwingfrequenz zu erhöhen. Auf diese Weise kann der Phasenfehler $\Delta\phi$ allmählich wieder abgebaut werden. Nach einiger Zeit schwingt der Oszillator wieder auf der gleichen Frequenz wie das Eingangssignal. Der Restphasenfehler $\Delta\phi$ entspricht der bleibenden Regelabweichung, die je nach Loop-Filter-Typ gegen Null gehen kann. Ist das Eingangssignal ein frequenzmoduliertes Signal, so ist $u_f(t)$ das demodulierte Signal. Bild 7.6-4 zeigt das Ergebnis der Testanordnung in Bild 7.6-2 bei sinusförmiger Ansteuerung des Eingangs-VCO; u_{NF} ist dann das demodulierte Signal.

Experiment 7.6-2: PLL-Testanordnung-250kHz-Sinus-Eingang

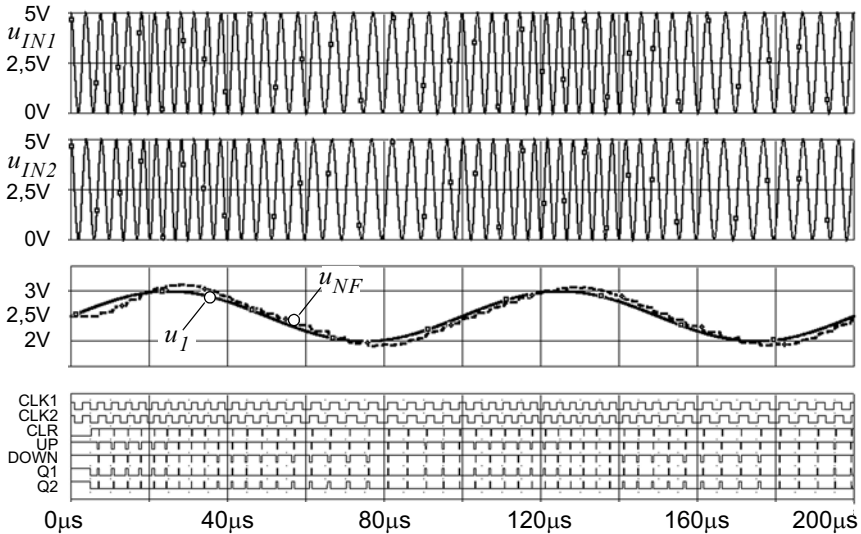


Bild 7.6-4: Simulationsergebnis bei sinusförmiger Ansteuerung des Eingangs-VCO (FM-Modulation); Eingänge des PFD u_1 (vom Eingangs-VCO kommend) und u_2 (vom Regel-VCO kommend), u_{NF} entspricht der Steuerspannung des VCO zur Nachsteuerung des Regel-VCO (demoduliertes Ausgangssignal), so dass u_1 und u_2 synchron sind

Eine wichtige Eigenschaft des PLL-Schaltkreises ist die Rauschsignalunterdrückung. Da ein dem Eingangssignal $u_1(t)$ überlagertes Rauschsignal mit dem Oszillatorsignal $u_2(t)$ nicht korreliert ist, verschwindet der zeitliche Mittelwert am Ausgang des Loop-Filters. Bei geeigneter Auslegung ist ein PLL-Schaltkreis in der Lage, ein Signal aus einer verrauschten Umgebung herauszufiltern. Im gezeigten Beispiel kann der PLL die Kreisfrequenzänderung $\Delta\omega$ des Eingangssignals ausregeln. Dies muß nicht immer der Fall sein. Ist die Eingangsstörung (Frequenzsprung oder Phasensprung) zu groß, dann ist der PLL nicht mehr in der Lage, zu synchronisieren oder einzurasten; der PLL-Schaltkreis ist dann ausgerastet.

7.6.2 Funktionsbausteine einer PLL

Zum besseren Verständnis sollen die Funktionsbausteine einer PLL näher betrachtet werden. Für Systemuntersuchungen gilt es Makromodelle einzuführen, die das funktionale Verhalten beschreiben.

Spannungsgesteuerter Oszillator (VCO): In Bild 7.6-1 weist der VCO die Ausgangsspannung u_2 mit der Frequenz f_2 auf. Die Spannung u_f steuert die Frequenz des VCO. Damit erhält man die Systemgleichung des VCO:

$$f_2 = f_0 + K_0 \cdot u_f(t); \quad (7.6-1)$$

Die Frequenz f_2 des VCO ist innerhalb der Aussteuergrenzen idealerweise proportional zur Steuerspannung u_f mit K_0 als Proportionalitätskonstante und f_0 als der

Freilauffrequenz im Arbeitspunkt. Die VCO-Konstante K_0 ergibt sich durch die Auswahl und Dimensionierung des VCO. In der einfachen Systembetrachtung des VCO ist das Phasenrauschen (Jitter) nicht enthalten. Das Phasenrauschen, sowie die Kurz- und Langzeitstabilität sind wichtige Kenngrößen für die Güte eines Oszillators. Gl.(7.6-1) soll durch ein Makromodell für die Simulation nachgebildet werden. Für die Ausgangsspannung des Oszillators gilt:

$$u_2(t) = U_2 \cos \varphi(t); \quad (7.6-2)$$

$$u_2(t) = U_2 \cos(\Omega(t) \cdot t + \varphi_0) = U_2 \cos(\Omega_0 t + \Delta \varphi(t) + \varphi_0)$$

Im Arbeitspunkt ist $f_2 = f_0$ und $\Delta \varphi = 0$. Der zeitliche Momentanwert der Kreisfrequenz $\Omega(t)$ des VCO wird bei cosinusförmiger Steuerspannung u_f :

$$\Omega(t) = \Omega_0 + \Delta \Omega_0 \cos(\omega_f t + \varphi_f) = \Omega_0 + 2\pi \cdot K_0 \cdot U_f \cos(\omega_f t + \varphi_f) \quad (7.6-3)$$

Umgerechnet in den zeitlichen Momentanwert der Phase des Oszillator-Ausgangssignals ergibt sich:

$$\varphi(t) = \int \Omega(t) \cdot dt = \Omega_0 t + \frac{\Delta \Omega_0}{\omega_f} \cdot \sin(\omega_f t + \varphi_f) = \Omega_0 t + \Delta \varphi(t) + \varphi_0 \quad (7.6-4)$$

Damit gilt für den Phasenhub des Oszillator-Ausgangssignals bei gegebener Steuerspannung u_f :

$$\Delta \varphi(t) = \int \Delta \Omega_0(t) \cdot dt = 2\pi \cdot K_0 \cdot \int u_f(t) dt \quad (7.6-5)$$

Bild 7.6-5 zeigt das Makromodell des spannungsgesteuerten Oszillators mit Integration der Steuerspannung u_f . Mit $V_0 = 2,5V$ liegt der Arbeitspunkt des VCO mittig zwischen dem Bezugspotential und der Versorgungsspannung $U_B = 5V$. Das Ausgangssignal erzeugt im Beispiel die Spannungsquelle $E2$, deren Phase vom Ausgang des Integrators gesteuert wird.

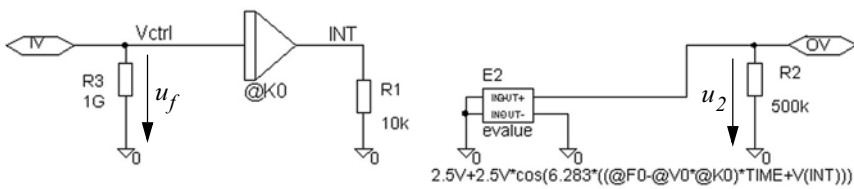


Bild 7.6-5: Makromodell des spannungsgesteuerten Oszillators (VCO)

In der Testanordnung in Bild 7.6-6 wird der VCO mit einem Spannungssprung von $2,5V$ auf $3,5V$ beaufschlagt. Damit ändert sich die Frequenz des Ausgangssignals u_2 von $250kHz$ auf $500kHz$ bei einer VCO-Konstante von $K_0 = 250kHz/V$, was im Ergebnis in Bild 7.6-7 bestätigt wird. Selbstverständlich sind bei einem realen VCO die Aussteuergrenzen der Steuerspannung u_f zu berücksichtigen. Der Untersuchung liegt das folgende Experiment zugrunde.

Experiment 7.6-3: VCO-Testanordnung-250kHz

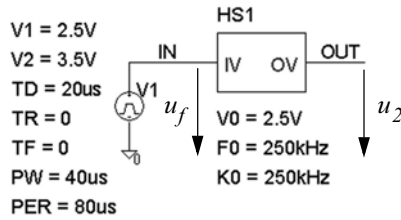


Bild 7.6-6: Testanordnung für das Makromodell des spannungsgesteuerten Oszillators (VCO)

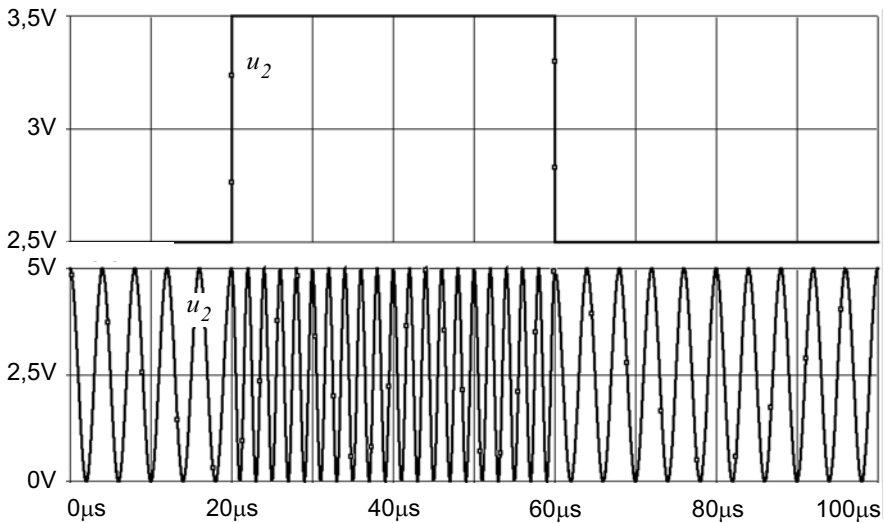


Bild 7.6-7: Simulationsergebnis der Testanordnung für den VCO mit u_f als Steuerspannung und u_2 als Ausgangssignal des VCO

Zur Vervollständigung wird eine VHDL-AMS Modellbeschreibung für den VCO vorgestellt:

```

library IEEE, IEEE_proposed;
use IEEE.math_real.ALL;
use IEEE_proposed.electrical_systems.ALL;
entity vco is
  generic (fo      : real;           -- reference frequency
           ko      : real;           -- vco constant
           vdc     : voltage;        -- offset voltage
           ampl    : voltage;        -- voltage amplitude
           v_pmax  : voltage;        -- max. pos. voltage
           v_mmax  : voltage);       -- max. neg. voltage
  port (terminal i_plus, i_minus : electrical; -- input terminals
        terminal o_plus, o_minus : electrical); -- output terminals
end entity vco;
  
```

```

architecture Level0 of vco is
  quantity vin across i_plus to i_minus;
  quantity vout across iout through o_plus to o_minus;
  quantity vlimit : voltage := 0.0;
  quantity phase : real;
begin
  if vin'above(v_pmax) use
    vlimit == v_pmax;
  elsif NOT vin'above(v_mmax) use
    vlimit == v_mmax;
  else
    vlimit == vin;
  end use;
  phase == 2.0 * MATH_PI * ko * vlimit'integ;      -- phase
  vout == vdc + ampl * sin(2.0 * math_pi * fo * now + phase);
end Level0;

```

Phasenvergleich (PD): Allgemein lautet die Systemgleichung des PD innerhalb seiner Aussteuerungen:

$$U_d = K_d \cdot \Delta\varphi; \quad (7.6-6)$$

U_d ist der Mittelwert der Ausgangsspannung des Phasenvergleichers, $\Delta\varphi$ ist der Phasenunterschied der beiden Eingangsspannungen u_1 und u_2 des Phasenvergleichers. Die Mittelwertbildung erfolgt durch einen nachgeschalteten Tiefpass.

Prinzipiell lässt sich ein Phasenvergleich mit einem Exor-Gatter verwirklichen. In Bild 7.6-8 ist das Verhalten des Exor-Phasenvergleichers dargestellt. Zur Digitalisierung der Eingangssignale wird ein Komparator verwendet. Bei einer Amplitude von 5V ergibt sich für den EXOR-Phasenvergleich als Phasenvergleichskonstante $K_d = 5V/\pi$. Grundsätzlich ließe sich ein Phasenvergleich auch mit einem Analogmultiplizierer (Mischer) realisieren. Das Verhalten ist ähnlich dem in Bild 7.6-8, allerdings um 90° phasenverschoben. Beispielhaft ist nachfolgend eine VHDL-AMS Modellbeschreibung für einen Phasenvergleich, realisiert als Analogmultiplizierer, aufgeführt.

```

library IEEE, IEEE_proposed;
use IEEE.math_real.ALL;
use IEEE_proposed.electrical_systems.ALL;
entity phasedetect is
  generic (gain : real := 0.0;          -- gain factor
           vdc  : voltage := 0.0;      -- dc offset
           vgl  : voltage := 0.0;      -- threshold voltage
           vhigh: voltage := 0.0;      -- maximum output voltage
           vlow : voltage := 0.0);     -- minimum output voltage
  port (terminal i_fm_plus  : electrical;
         terminal i_fm_minus : electrical;
         terminal i_vco_plus : electrical;
         terminal i_vco_minus: electrical;
         terminal o_pd_plus  : electrical;
         terminal o_pd_minus : electrical);
end phasedetect;

```

```

architecture level0 of phasedetect is
  quantity fm_in across i_fm_plus to i_fm_minus;
  quantity vco_out across i_vco_plus to i_vco_minus;
  quantity pd_out_v across pd_out_i through o_pd_plus to o_pd_minus;
  quantity u1, u2, ud : voltage := 0.0;
begin
  if fm_in'above(vgl+vdc) use          u1 == vhigh;
  elsif not fm_in'above(-vgl+vdc) U    u1 == vlow;
  else
    u1 == gain * fm_in;
  end use;
  if vco_out'above(vgl+vdc) use          u2 == vhigh;
  elsif NOT vco_out'above(-vgl+vdc) use u2 == vlow;
  else
    u2 == gain * vco_out;
  end use;
  ud == u1 * u2;
  if ud'above(vhigh) use          pd_out_v == vhigh;
  elsif not ud'above(vlow) use    pd_out_v == vlow;
  else
    pd_out_v == ud;
  end use;
end level0;

```

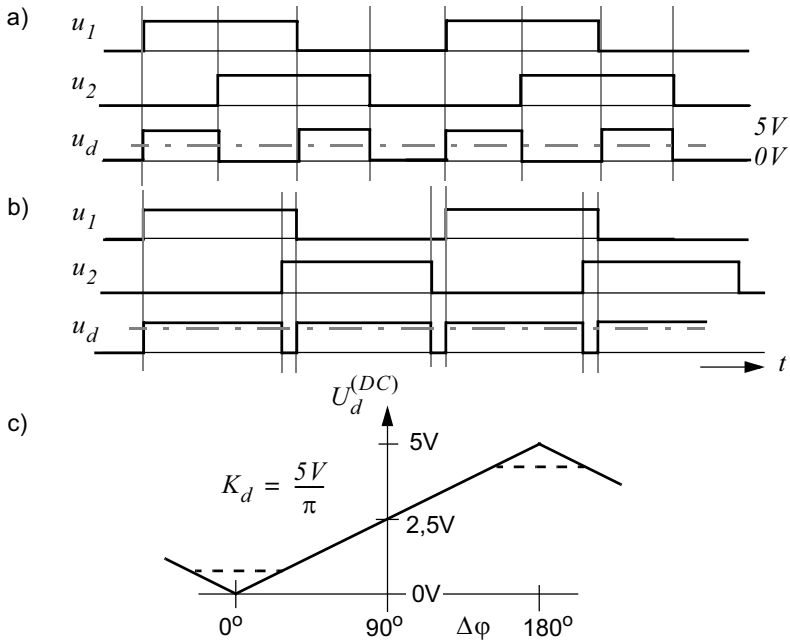


Bild 7.6-8: Zur Funktionsweise des Exor-Phasenvergleichers; a) Phasenunterschied 90° , b) Phasenunterschied annähernd 180° , c) U_d als Funktion des Phasenunterschieds

Bei dem in Abschnitt 6.5.2 vorgestellten Phasenvergleich (PFD genannt) erhält man bei 0° Phasenunterschied am Ausgang $2,5V$, bei 360° werden $5V$ erreicht und bei -360° ist der Ausgang bei $0V$. Demzufolge beträgt die Phasenvergleichskonstante in diesem Fall $K_d = 5V/4\pi$.

Der Exor-Phasenvergleich erfordert ein 50%-Tastverhältnis, ansonsten wird die PD-Kennlinie an den Spitzen abgeflacht (siehe gestrichelte Kennlinie in Bild 7.6-8). Der PFD ist flankengetriggert und demzufolge unempfindlich betreffs des Tastverhältnisses. Ein weiterer wesentlicher Vorteil dieses Phasenvergleichers besteht darin, dass bei großen Frequenzabweichungen der Regel-VCO in die richtige Richtung korrigiert wird. Der Ausgang des PFD ist ein TriState-Ausgang, der entweder auf die Versorgungsspannung ($5V$) oder auf Masse ($0V$) oder hochohmig auf $2,5V$ geschaltet ist. Das wiederum bedeutet, dass im Arbeitspunkt die Steuereingänge der in der Testanordnung (Bild 7.6-2) verwendeten VCOs auf $2,5V$ liegen müssen.

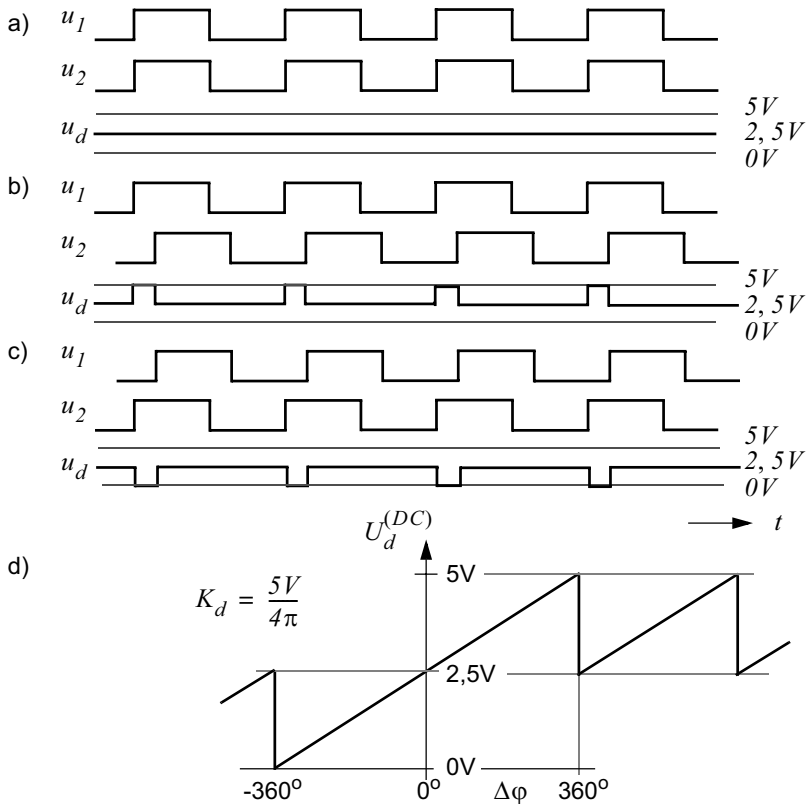


Bild 7.6-9: Phasenvergleich nach Bild 6.5-3; a) Phasenunterschied 0° , b) u_2 nacheilend, c) u_1 nacheilend, d) U_d als Funktion des Phasenunterschieds

Loop-Filter: Man unterscheidet aktive und passive Loop-Filter. Bild 7.6-10 zeigt ein passives Loop-Filter. Mit den Parametern des Loop-Filters können ganz wesentlich die Eigenschaften der gesamten PLL beeinflusst werden. Die übrigen Parameter einer PLL in Form der Konstanten des Phasenvergleichers K_d und des spannungsgesteuerten Oszillators K_0 liegen im wesentlichen nach Auswahl der Schaltung fest. Im allgemeinen gilt folgende Übertragungsfunktion für das Loop-Filter mit $v_{TP,0}$ als Verstärkung bei tiefen Frequenzen:

$$\underline{F}(j\omega) = \frac{\underline{U}_f}{\underline{U}_d} = v_{TP,0} \cdot \frac{1 + j\omega \cdot \tau_2}{1 + j\omega \cdot (\tau_1 + \tau_2)} \quad (7.6-7)$$

Ein Tiefpass weist Integrator-Eigenschaften auf. Bei tiefen Frequenzen wird das Eingangssignal bei der passiven Anordnung ungedämpft und bei der aktiven Anordnung verstärkt auf den Ausgang übertragen. Die Phasendrehung dabei ist Null. Frequenzen oberhalb der Eckfrequenz, gegeben durch $1/(\tau_1 + \tau_2)$, werden abgeschwächt. Es ergibt sich ein Phasenunterschied von -90° . Bei Frequenzen oberhalb der Eckfrequenz, gegeben durch $1/\tau_2$, erhält man wieder einen konstanten Abschwächungsfaktor. Die Phasendrehung ist dann wieder Null.

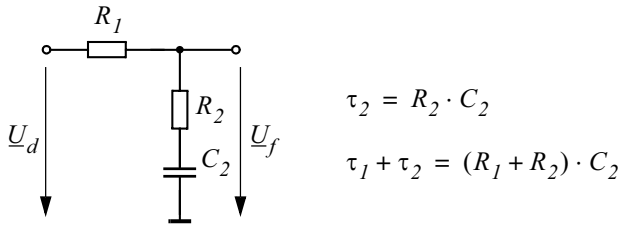


Bild 7.6-10: Passiver Tiefpass mit den Zeitkonstanten τ_1 und τ_2

7.6.3 Systemverhalten

Grundsätzlich unterscheidet man zwischen dem gerasteten Zustand und dem nicht gerasteten Zustand eines PLL-Schaltkreises. Ist die zu synchronisierende Frequenz f_0 , so bleibt der PLL innerhalb des Haltebereichs Δf_H gerastet. Im ungerasteten Zustand kann der PLL innerhalb Δf_L in einer Periode des Eingangssignals einrasten. Der Ziehbereich Δf_P ist dadurch gekennzeichnet, dass der Einrastvorgang mehrere Perioden Zeitdauer benötigt. Bild 7.6-11 veranschaulicht die verschiedenen Bereiche um die Referenzfrequenz f_0 .

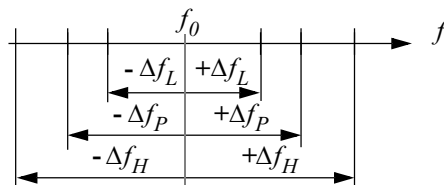


Bild 7.6-11: Haltebereich, Fangbereich (Lock-In-Range) und Ziehbereich (Pull-In-Range) eines PLL-Schaltkreises

Statisches Verhalten im Haltebereich: Wird die Frequenz ω_I des Eingangssignals u_I nur sehr langsam im gerasteten Zustand geändert, so bleibt der PLL-Schaltkreis eingerastet. Der maximale Haltebereich $\Delta\omega_H$ ergibt sich bei $U_d = U_{d,max}$. Beim Exor-Phasenvergleich ist dann der Phasenfehler $\pi/2$, beim Phasenvergleich nach Bild 7.6-9 wird der Phasenfehler 2π . Aufgrund der statischen Betrachtung ist mit einem passiven Tiefpass $F(0) = 1$. Damit erhält man für den Haltebereich des PLL mit Exor-Phasenvergleich:

$$\Delta f_H = \pm K_0 \cdot K_d \cdot F(0) \cdot \pi / 2; \quad (7.6-8)$$

Ein PLL-Schaltkreis mit Phasenvergleich nach Bild 7.6-9 weist wegen seines frequenzsensitiven Charakters einen theoretisch unendlich großen Haltebereich auf. Der VCO wird stets von einer Seite her in einen stabilen Zustand gezogen. In der Praxis kann der Haltebereich natürlich nicht größer als der Abstimmbereich des VCO sein.

Im gerasteten Zustand lässt sich der PLL-Schaltkreis im Frequenzbereich gemäß Bild 7.6-12 beschreiben. Wie schon der Name ausdrückt, handelt es sich um einen Phasenregelkreis. Lineare Verhältnisse im eingerasteten Zustand vorausgesetzt, kann eine einfache, grundlegende Analyse der PLL im Frequenzbereich vorgenommen werden. Dabei bedeutet $\underline{\Theta}$ die Laplace-Transformierte von φ .

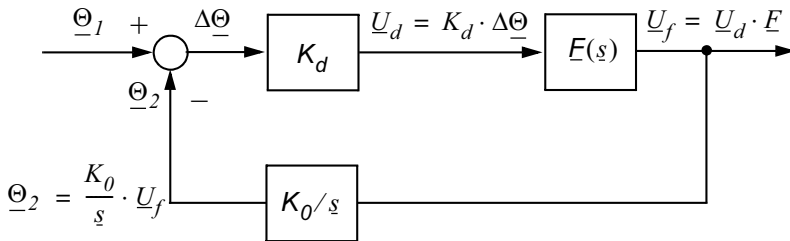


Bild 7.6-12: Der eingerastete PLL-Schaltkreis im Frequenzbereich

Mit der komplexen Frequenz s gilt im Frequenzbereich für den Phasenvergleich:

$$\underline{U}_d = K_d \cdot (\underline{\Theta}_1 - \underline{\Theta}_2); \quad (7.6-9)$$

und für den spannungsgetriebenen Oszillator gilt:

$$\underline{\Theta}_2 = (2\pi K_0 / s) \cdot \underline{U}_f; \quad (7.6-10)$$

wegen

$$\varphi_2 = \int_0^t \omega_2(t) dt + \varphi_0 = \omega_0 t + 2\pi K_0 \int_0^t u_f(t) dt + \varphi_0; \quad (7.6-11)$$

Schließlich erhält man aus den obigen Gleichungen die Phasenübertragungsfunktion des Phasenregelkreises:

$$\frac{\underline{\Theta}_2(s)}{\underline{\Theta}_I(s)} = \frac{2\pi \cdot K_0 \cdot K_d \cdot E}{s + 2\pi \cdot K_0 \cdot K_d \cdot E}; \quad (7.6-12)$$

Mit der Tiefpasscharakteristik nach Gl.(7.6-7) ergibt sich die Phasenübertragungsfunktion in der normierten Form.

$$\frac{\underline{\Theta}_2(s)}{\underline{\Theta}_I(s)} = \frac{2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0} \cdot (1 + s \cdot \tau_2) / (\tau_1 + \tau_2)}{s^2 + s \cdot \underbrace{\frac{1 + 2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0} \cdot \tau_2}{\tau_1 + \tau_2}}_{2 \cdot \xi \cdot \omega_n} + \underbrace{\frac{2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0}}{(\tau_1 + \tau_2)}}_{\omega_n^2}}; \quad (7.6-13)$$

Dabei ist ξ die Dämpfungskonstante und ω_n die Kreisfrequenz der normierten Form einer Übertragungsfunktion 2. Ordnung, ω_n entspricht der Eigenfrequenz. Die Eigenfrequenz und die Dämpfungskonstante macht sich im Einschwingvorgang betreffs u_{NF} in Bild 7.6-3 bemerkbar. Für diese beiden Kenngrößen gilt:

$$\omega_n^2 = \frac{2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0}}{(\tau_1 + \tau_2)}; \quad (7.6-14)$$

$$\xi = \frac{1}{2} \cdot \sqrt{\frac{2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0}}{(\tau_1 + \tau_2)} \cdot (1 / (2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0}) + \tau_2)}$$

In normierter Form ist (bei genügend großer Schleifenverstärkung):

$$\frac{\underline{\Theta}_2(s)}{\underline{\Theta}_I(s)} = \frac{s \cdot 2 \cdot \xi \cdot \omega_n + \omega_n^2}{s^2 + s \cdot 2 \cdot \xi \cdot \omega_n + \omega_n^2}; \quad (7.6-15)$$

Die Schleifenverstärkung $2\pi \cdot K_0 \cdot K_d \cdot v_{TP,0}$ bestimmt die bleibende Regelabweichung bzw. den statischen Phasenfehler. Die Schleifenverstärkung muss groß genug sein, damit der statische Phasenfehler hinreichend klein ist. Andererseits muss aufgrund von Systemüberlegungen oft die Dämpfungskonstante typischerweise $\xi \geq 0,7$ sein, da sonst die Phasenübertragungsfunktion eine unzulässig große Überhöhung aufweist.

Die Fehlerübertragungsfunktion erhält man aus Gl.(7.6-12) bzw. aus Gl.(7.6-15) in der normierten Form:

$$\frac{\underline{\Theta}_2 - \underline{\Theta}_I}{\underline{\Theta}_I} = \frac{s^2}{s^2 + s \cdot 2 \cdot \xi \cdot \omega_n + \omega_n^2}; \quad (7.6-16)$$

Langsame Phasenänderungen des Eingangssignals kann der PLL-Schaltkreis ausregeln. Das Ausgangssignal der PLL am VCO-Ausgang folgt dem Eingangssignal synchron, wenn der Phasenfehler nicht zu groß wird. Schnelle Phasenänderungen (Phasenjitter) werden unterdrückt.

Stabilität des Regelkreises: Ein PLL-Schaltkreis stellt ein rückgekoppeltes System dar, mit der potenziellen Möglichkeit eines instabilen Verhaltens. Die Stabilität eines rückgekoppelten Systems beurteilt man an der Schleifenverstärkung

bzw. Open-Loop-Gain, wie bei rückgekoppelten Verstärkern in Kap. 4. Dazu wird die Schleifenverstärkung im Bodediagramm dargestellt. Der VCO weist wegen des Integratorverhaltens eine Phasendrehung von -90° auf. Ein Tiefpass erster Ordnung verursacht oberhalb der Eckfrequenz eine Phasendrehung von -90° . Damit geht die Phasenreserve der Schleifenverstärkung gegen Null, was ein ungünstiges Einschwingverhalten verursacht. Mit R_2 des Tiefpasses in Bild 7.6-10 kann die Phasenreserve verbessert werden. Als Richtwert gilt für R_2 in etwa $R_1/10$. Eine Abschätzung des Frequenzgangs der Schleifenverstärkung des Phasenregelkreises ist in Bild 7.6-13 und Bild 7.6-14 dargestellt. Wegen $R_2 = 0$ erhält man in Bild 7.6-13 bei der Frequenz, bei der die Schleifenverstärkung "1" ist eine geringe Phasenreserve. Mit einem geeignet dimensionierten Widerstand R_2 erhöht sich die Phasenreserve signifikant (Bild 7.6-14).

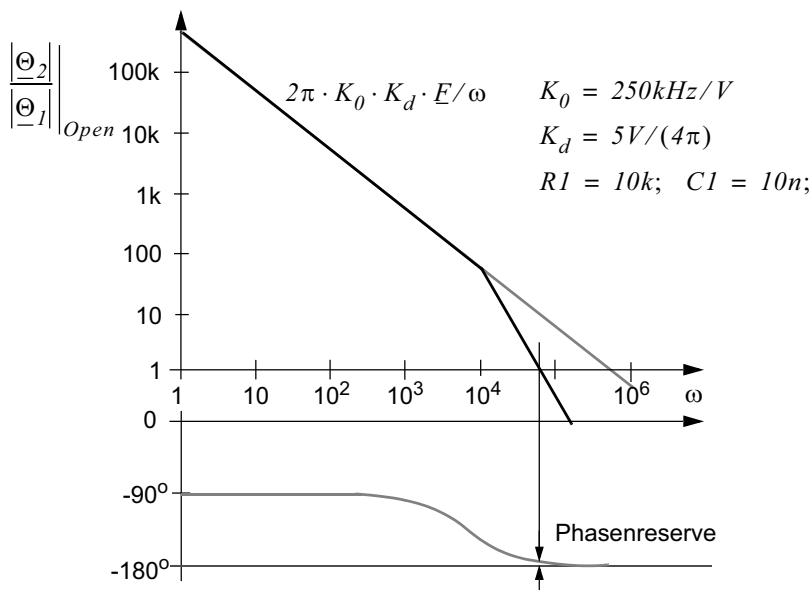


Bild 7.6-13: Frequenzgang nach Betrag und Phase der Schleifenverstärkung des Phasenregelkreises mit den angegebenen Parametern ohne Frequenzgangkompensation mit R_2

Fangbereich: Nimmt man eine Abweichung der Eingangskreisfrequenz in der Form $\omega_I = \omega_0 + \Delta\omega_I$ an, so ergibt sich für die Störfunktion des Phasenwinkels:

$$\Delta\varphi_I(t) = \Delta\omega_I \cdot t; \quad (7.6-17)$$

Die Laplace-Transformierte $\underline{\Theta}_I$ der Störfunktion ist damit gemäß der Bildfunktion einer Rampenfunktion:

$$\Delta\underline{\Theta}_I = \Delta(\omega_I / s^2); \quad (7.6-18)$$

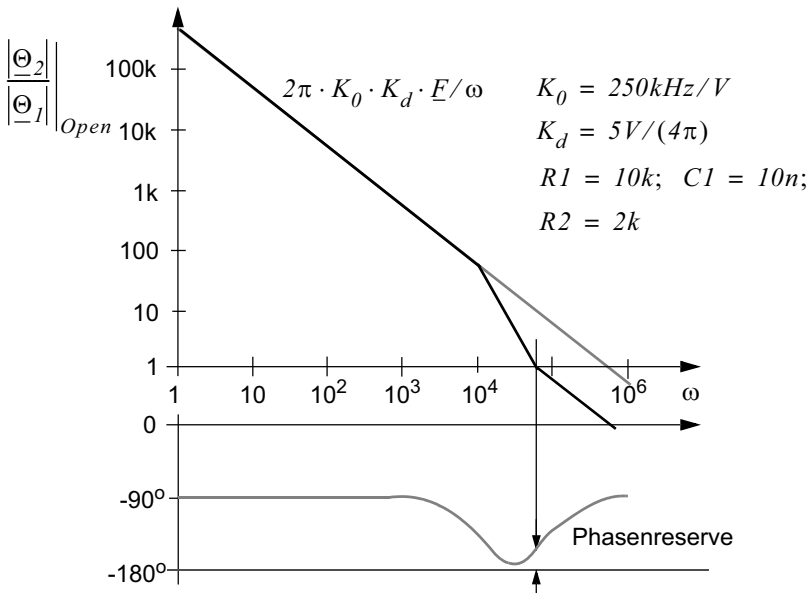


Bild 7.6-14: Frequenzgang nach Betrag und Phase der Schleifenverstärkung des Phasenregelkreises mit den angegebenen Parametern mit Frequenzgangkompensation durch R_2

Mit der Eingangsstörung gemäß Gl.(7.6-18) wird mit Gl.(7.6-16):

$$\frac{\Delta \underline{\Theta}_e}{\underline{\Theta}_I} = \frac{\underline{\Theta}_2 - \underline{\Theta}_I}{\Delta \omega_I} = \frac{I}{s^2 + s \cdot 2 \cdot \xi \cdot \omega_n + \omega_n^2}; \quad (7.6-19)$$

Nach Rücktransformation ergibt sich für die Phasenabweichung im Zeitbereich näherungsweise:

$$\Delta \varphi_e \approx \Delta \omega_I t \cdot e^{-(\xi \cdot \omega_n \cdot t)}; \quad (7.6-20)$$

Die gefundene Funktion hat einen Extremwert, der gleichzeitig der maximale Phasenfehler ist. Ansonsten verliert der Regelkreis seine Synchronisation.

$$\Delta \varphi_e|_{\max} \approx \Delta \omega_I \cdot I / (2 \cdot \xi \cdot \omega_n); \quad (7.6-21)$$

Damit ergibt sich für den Fangbereich:

$$\Delta \omega_L \approx \Delta \varphi_e|_{\max} \cdot 2 \cdot \xi \cdot \omega_n; \quad (7.6-22)$$

Der maximale Phasenfehler ist abhängig vom Typ des Phasendetektors. So ist beim digitalen Multiplizierer (EXOR) der maximale Phasenfehler $\pi/2$; beim PFD ist der maximale Phasenfehler $2 \cdot \pi$. Damit erhält man einen vom Phasenvergleichertyp abhängigen Fangbereich.

Grundsätzlich unterscheidet man Haltebereich $\pm\Delta\omega_H$, Fangbereich $\pm\Delta\omega_L$ und Ziehbereich $\pm\Delta\omega_P$. Die Spannung u_f am Ausgang des Loop-Filters ändert sich im eingerasteten Zustand linear um ω_0 mit $\Delta\omega$, um die Oszillatorfrequenz nachzuführen. Bei $\omega_I = \omega_0 + \Delta\omega_H$ rastet der PLL-Schaltkreis aus; $u_f(t)$ entspricht dann einem asynchronen Schwebungssignal. Wird nun $\Delta\omega$ langsam erniedrigt, so rastet der PLL bei $\omega_I = \omega_0 + \Delta\omega_P$ wieder ein. Im folgenden Experiment wird der PLL-Schaltkreis mit einer kontinuierlichen Frequenzänderung des Eingangssignals von 200kHz bis 500kHz durchgestimmt. Als Phasenvergleicher liegt dem Experiment ein Exor-PD mit den digitalen Eingängen *Din1* und *Din2*, sowie dem Ausgang *Dout*, zugrunde. In Bild 7.6-15 ist das zugehörige Testergebnis dargestellt. Deutlich zeigt sich der Einrastvorgang. Bis ca. $3,5\text{V}$ Steuerspannung am Eingangs-VCO bleibt der PLL gerastet. Das entspricht einer Frequenz von 450kHz . Darüber hinaus geht die Synchronisation verloren. Ein erneutes Einrasten erfolgt dann bei abnehmender Frequenz des Eingangs-VCO bei ca. $2,5\text{V}$, was einer Frequenz von 350kHz entspricht.

Experiment 7.6-4: PLL-Testanordnung-250kHz-Rampenfunktion

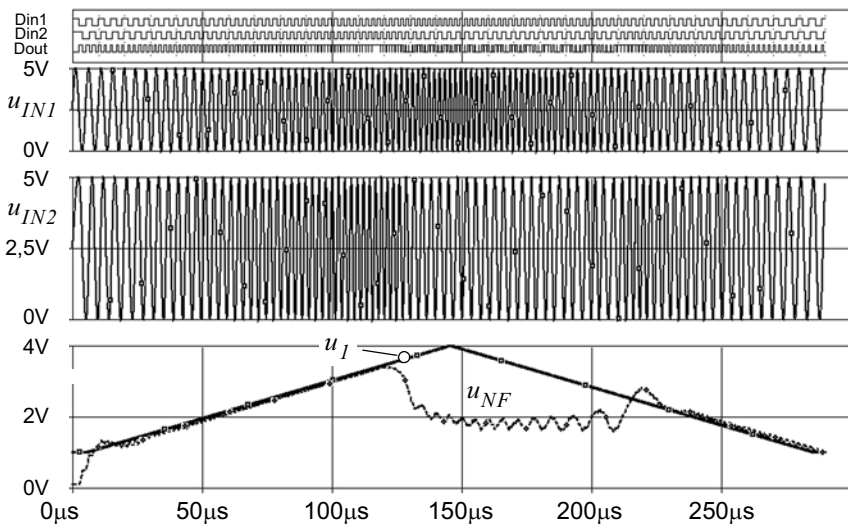


Bild 7.6-15: Simulationsergebnis bei kontinuierlicher Frequenzänderung des Eingangs-VCO (FM-Modulation); Eingänge des Exor-PD u_I (vom Eingangs-VCO kommend) und u_2 (vom Regel-VCO kommend), u_{NF} entspricht der Steuerspannung des VCO zur Nachsteuerung des Regel-VCO

7.6.4 Anwendungen

PLL-Schaltkreise finden vielfältige Anwendungen. Ein VCO kann zur Frequenzmodulation (FM) eines Trägers verwendet werden. Mit dem PLL-Schaltkreis lässt sich eine FM-Demodulation durchführen. In dem Experiment mit dem Ergebnis in

Bild 7.6-4 wurde das Grundprinzip beispielhaft dargestellt. Ein weiteres wichtiges Anwendungsgebiet ist die Taktsignalaufbereitung bzw. die Taktrückgewinnung.

Bild 7.6-16 zeigt das Prinzip eines optischen Empfängers mit Taktrückgewinnung und Entscheider zur Signalregenerierung. Der Entscheider zur Signalregenerierung ist ein Komparator, bei dem die Entscheiderschwelle geeignet eingestellt werden muss. Vor der eigentlichen Taktrückgewinnung mit einem PLL gilt es, aus dem Eingangssignal ein Signal abzuleiten, das einen möglichst hohen Spektralanteil bei der Taktfrequenz aufweist (u.a. durch Differenzierung der Flanken). Die Aufgabe der Taktrückgewinnung ist es, ein möglichst jitterfreies Taktsignal (geringes Phasenrauschen) aus der statistisch verteilten Empfangssignalfolge (...010111010...) des Ausgangssignals des optischen Empfängers abzuleiten. In der Regel wird hierzu ein PLL-Schaltkreis verwendet. Der PLL-Schaltkreis wirkt in dieser Anwendung als adaptives Bandfilter mit hoher Güte (z.B. $Q \approx 1000$). Innerhalb eines bestimmten Haltebereichs Δf_H kann einer Taktfrequenzschwankung gefolgt werden. Grundsätzlich könnte man auch mit passiven Resonatoren die Taktrückgewinnung realisieren. Zum einen ist es relativ aufwendig, die Frequenzkonstanz bei hoher Güte im Betrieb einzuhalten (Temperatur, Alterung). Zum anderen fehlt bei passiven Resonatoren die Nachführung der Filterkurve bei Schwankungen der Taktfrequenz. Es ergibt sich vielmehr eine Phasenverschiebung und damit eine Verschiebung des optimalen Entscheiderzeitpunktes, was zu einer Erhöhung der Fehlerrate des Empfangssystems führt.

Die typischen Signalverläufe eines optischen Empfängers mit Taktrückgewinnung und Entscheider zur Signalregenerierung zeigt Bild 7.6-17. Wichtig dabei ist die Rückgewinnung eines möglichst jitterfreien Signals, d.h. die Taktrückgewinnung muss hochfrequenten Phasenjitter unterdrücken.

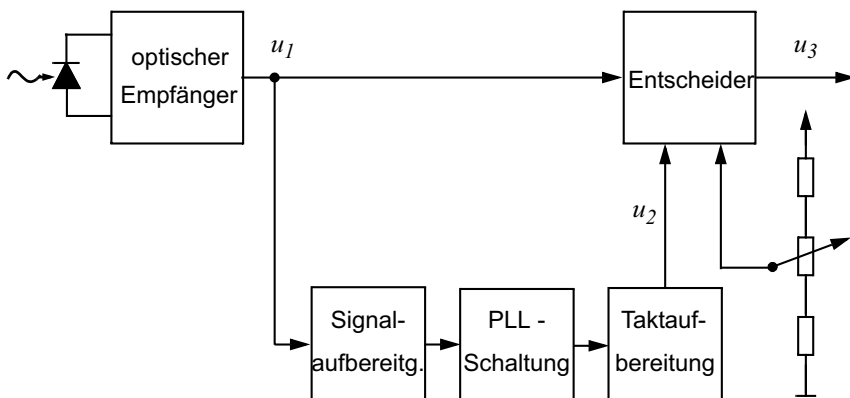


Bild 7.6-16: Optischer Empfänger mit Taktrückgewinnung und Entscheider zur Signalregenerierung

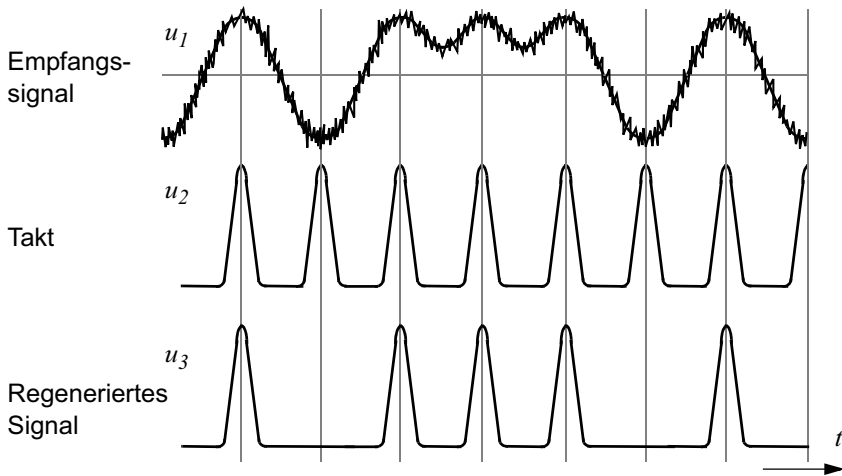


Bild 7.6-17: Typische Signalverläufe eines optischen Empfängers mit Taktrückgewinnung und Entscheider

Ein weiteres Anwendungsbeispiel für PLL-Schaltkreise stellt die Frequenzsynthese dar. Dabei wird aus einer hochgenauen Referenzfrequenz f_1 ein Signal mit bestimmter gewünschter Frequenz abgeleitet, wobei $f_2/N = f_1/M$ ist. Bild 7.6-18 zeigt die Prinzipschaltung.

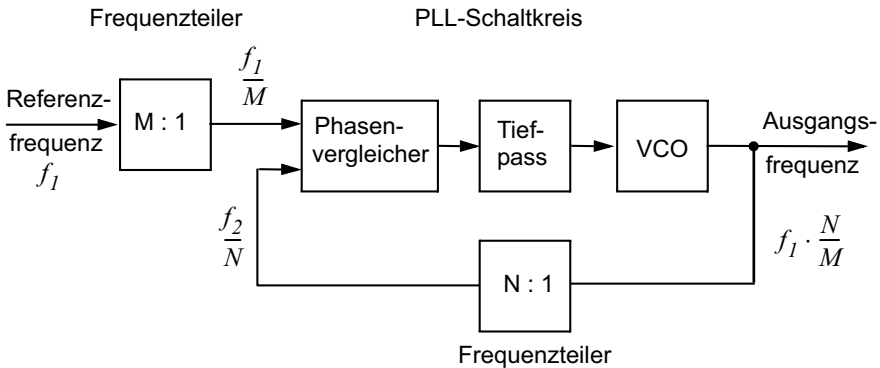


Bild 7.6-18: Frequenzsynthese mit einem PLL-Schaltkreis

Will man ganzzahlige Vielfache der Referenzfrequenz erzeugen, so ist nur der Frequenzteiler im Rückkopplungszweig zwischen VCO und Phasenvergleichern notwendig. Am Ausgang entsteht dann die Frequenz $f_2 = N \cdot f_1$. Durch einen zweiten Frequenzteiler am Eingang des Phasenvergleichers können auch gebrochen rationale Ausgangsfrequenzen $f_2 = f_1 \cdot N/M$ erzeugt werden.

8 Analog/Digitale Schnittstelle

Wie bereits in den ersten beiden Kapiteln erwähnt, ist die Schnittstelle zwischen analogen und digitalen Signalen im allgemeinen ein wichtiger Bestandteil von Elektroniksystemen. Analoge Signale werden oft nach geeigneter Aufbereitung einer digitalen Schnittstelle zugeführt, um sie dann auf digitaler Ebene weiter zu verarbeiten. Es geht darum, die wichtigsten Funktionsmodule zur Realisierung der analog/digitalen (A/D) bzw. digital/analogen (D/A) Schnittstelle näher zu betrachten. Darüber hinaus wird auf die innere analog/digitale Schnittstelle bei der gemischt analog/digitalen Schaltkreissimulation eingegangen.

8.1 Zur Charakterisierung einer Logikfunktion

Vor Behandlung der analog/digitalen Schnittstelle gilt es, in einer Übersicht auf die Besonderheiten bei der Beschreibung einer Logikfunktion einzugehen. Logikfunktionen werden u.a. mit Standard-Bausteinen, mit programmierbaren Bausteinen oder in anwendungsspezifisch integrierten Bausteinen realisiert. Standard-Bausteine einer bestimmten Logikfamilie bieten u.a. Gatterfunktionen, Buffer- und Treiberbausteine, FlipFlops, Register, Zähler, Decoder und Encoder. Die wichtigsten Logikfamilien und deren Eigenschaften sind der Tabelle 8.1-1 zu entnehmen.

Tabelle 8.1 - 1: Übersicht gängiger Logikfamilien mit typischen Eigenschaften

Logikfamilie Eigenschaften	TTL Transistor- Transistor- Logic	LS-TTL Low-Power- Schottky- TTL	HC(T) HighSpeed CMOS	ECL Emitter- Coupled Logic
Schaltgeschwindigkeit	10ns	8ns	8ns	1ns
typ. FlipFlop-Takt- frequenz	15MHz	30MHz	50MHz	500MHz
typ. Leistungsauf- nahme	10mW	2mW	25nW	25mW

Die größte Bedeutung muss den CMOS-Logikfamilien (HC/HCT oder AC/ACT) beigemessen werden. Sie sind die am meisten verwendeten Logikfamilien. Die ECL-Logikfamilie wird nur in sehr speziellen Anwendungsfällen eingesetzt. Die TTL-Logik war in der Vergangenheit weit verbreitet. Wegen der günstigeren Eigenschaften, insbesondere was die Leistungsaufnahme anbetrifft, werden zunehmend die CMOS-Logikfamilien favorisiert. Allerdings steigt die in Tab. 2.1-1 angegebene geringe Leistungsaufnahme mit zunehmender Schaltfrequenz.

8.1.1 Modellbeschreibung einer Logikfunktion

Nach Erläuterung wichtiger Begriffe werden beispielhaft für einige Schaltungsfunktionen Modellbeschreibungen vorgestellt. In Abschnitt 2.2.3 wurde im Rahmen der Vorstellung der Hardwarebeschreibungssprache VHDL auf den digitalen Modellteil eingegangen. Das in Bild 2.2-7 dargestellte Grundprinzip der Modellbeschreibung eines digitalen Funktionsblocks soll nunmehr näher betrachtet werden. Für die Schaltkreissimulation muss für jeden Logikblock ein Logikmodell existieren. Im allgemeinen besteht die Modellbeschreibung für eine Logikfunktion aus dem eigentlichen Funktionsmodell und dem Timing-Modell. Bild 8.1-1 zeigt die Bestandteile der Modellbeschreibung einer Logikfunktion für die Logiksimulation.

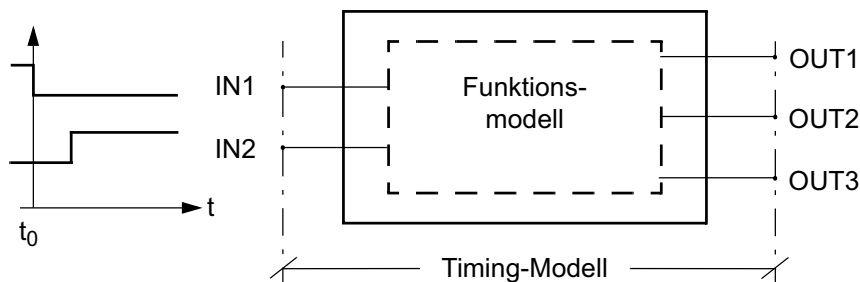


Bild 8.1-1: Zur Modellierung einer Logikfunktion

Logiksignal und Logikzustände: Grundsätzlich hat ein Logiksignal einen Ursprung (Quelle) mit einer bestimmten Treiberstärke. Ein Logiksignal ist kein zeitkontinuierliches Signal. Es gelten diskrete Logikzustände. Bild 8.1-2 zeigt die in PSpice verwendeten Logikzustände eines Logiksignals. Dabei wird der Zustand "Z" bei einem Tristate-Anschluss verwendet.

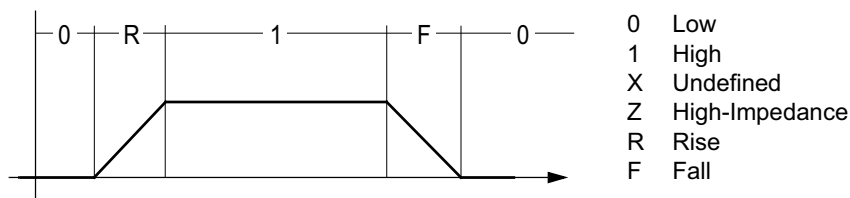


Bild 8.1-2: Zustände eines Logiksignals in PSpice

In anderen Systemen zur Logiksimulation wird hinsichtlich der Treiberstärke anders und gegebenenfalls feiner unterschieden. Die Treiberstärke eines Signals ist von Bedeutung, wenn beispielsweise zwei Signale an einem Netz zusammengeführt sind, um den resultierenden Logikzustand auflösen zu können. In der Hardwarebeschreibungssprache VHDL werden Logiksignalen (`std_logic`) typischerweise 9 Zustände zugeordnet. Dazu ist das Logiksignal geeignet zu deklarieren. Gemäß der Standardisierung nach IEEE-1164 kann ein Logiksignal folgende Zustände annehmen:

U : Uninitialized
 X : Forcing Unknown
 0 : Forcing 0
 1 : Forcing 1
 Z : High Impedance
 W : Weak Unknown
 L : Weak 0
 H : Weak 1
 - : Don't Care

Bild 8.1-3 zeigt ein Logiksignal y , das von zwei Signalen a und b getrieben wird. Mittels einer Auflösungsfunktion kann aufgrund der Treiberstärke des treibenden Signals der resultierende Zustand ermittelt werden. Ist das Signal $a = \text{Forcing}_0$ und das Signal $b = \text{Forcing}_1$, so nimmt y den Zustand *Forcing_Unknown* an, wenn beide Treiber „enabled“ sind. Bei der Kombination $a = \text{Forcing}_0$ und $b = \text{Weak}_1$ wird $y = \text{Forcing}_0$.

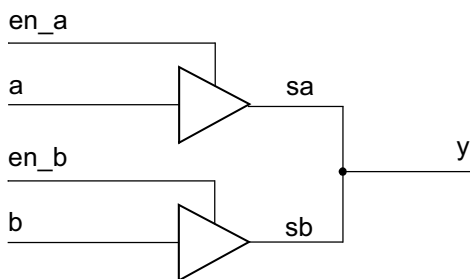


Bild 8.1-3: Ein Logiksignal getrieben von zwei Signalquellen

Funktionsmodell: Das eigentliche Funktionsmodell kann durch ein *VHDL-Modell*, ein *Schematic-Modell* oder *Subcircuit-Modell* bestehend aus der Zusammenschaltung bekannter Funktionsblöcke oder durch eine Funktionsdarstellung in Form einer *Logiktablelle* beschrieben werden. Bei der Schematic-Modellbeschreibung wird auf Funktionsprimitive oder bekannte Funktionsblöcke zurückgegriffen, die in einer Library abgelegt sind. Durch bestimmte Attribute an der Designinstanz wird auf die Modellbeschreibung, abgelegt in einer Model Library, referenziert.

Die in PSpice bekannten Funktionsprimitive beinhalten u.a. Standard-Gatter (z.B. Inverter, And, Or, Nand, Nor, Exor) mit unterschiedlicher Anzahl möglicher Eingänge, FlipFlops (z.B. RS-, JK-, oder D-FlipFlops) und weitere wichtige Logikgrundfunktionen. Darüber hinaus lassen sich Register (z.B. Latches, Shift-Register), Zähler (z.B. Binärzähler, BCD-Zähler, Dezimalzähler), Datenselektoren (z.B. Multiplexer, Demultiplexer) oder Decoder/Encoder darstellen und somit alle typischen Funktionsbausteine einer Logikfamilie durch ein Funktionsmodell beschreiben.

Timing-Modell: Das Timing-Modell beschreibt das Pin-to-Pin Timingverhalten der Logikfunktion. Es enthält keine Funktionsbeschreibung. Vielmehr sind nur Parameter enthalten, die das Timingverhalten festlegen. Timing-Parameter sind u.a. „Propagation-Delays“ (TP), „Set-Up“-Zeiten (TSU), „Hold“-Zeiten (TH), Pulsweiten (TW), Schaltzeiten (TSW). Die in Klammern angegebenen Abkürzungen für die Timing-Parameter werden so in PSpice verwendet. Die Zeitangaben sind abhängig von der Logikfunktion in einer verwendeten Schaltungstechnologie. Sie unterliegen Streuungen und sind darüber hinaus von Versorgungsspannungsschwankungen und von den Lastverhältnissen abhängig. Für die Timing-Modelle gibt es in PSpice Grundmodelle u.a. für Gatter (UGATE), FlipFlops (UGFF) bzw. getriggerte FlipFlops (UEFF).

I/O-Modell: Innerhalb des Logiksystems ist kein I/O-Modell erforderlich. Sobald ein Pin einer Logikfunktion auf eine analoge Schnittstelle trifft, wird ein I/O-Modell (D-to-A) benötigt und eingeführt, um das Logiksignal auf die analoge Schnittstelle zu bringen. Dasselbe gilt für die Wirkungsrichtung vom analogen System zum digitalen System (A-to-D). Das Einfügen eines geeigneten I/O-Modells wird im allgemeinen vom System zur Designverifikation gemischt analog/digitaler Schaltkreise selbsttätig gesteuert. Bild 8.1-4 verdeutlicht den Datenaustausch zwischen dem Logiksystem und dem Analogsystem über I/O-Modelle an den Schnittstellen. Das I/O-Modell beschreibt das Schnittstellenverhalten am Ausgang bzw. am Eingang einer Logikfunktion. Innerhalb einer Schaltungsfamilie ist somit das I/O-Modell einheitlich. Besonderheiten ergeben sich u.a. bei „Open-Collector“-Ausgängen oder Schmitt-Trigger-Ausgängen. In PSpice kann man mit dem Parameter *IO_Level* verschiedene Genauigkeitsstufen vordefinierter I/O-Modelle für eine Schaltungsfamilie auswählen. Bei Berücksichtigung des nichtlinearen Übertragungsverhaltens der Eingänge bzw. der Ausgänge einer Logikfunktion kann sich der Aufwand bei Einführung von I/O-Modellen beträchtlich erhöhen.

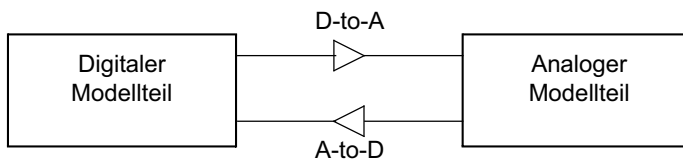


Bild 8.1-4: Datenaustausch zwischen analogen und digitalen Modellteilen über I/O-Modelle

Beispiele für die Modellbeschreibung von Logikfunktionen in PSpice: Im Beispiel in Bild 8.1-5 ist das in PSpice verwendete Logikmodell für ein NAND-Gatter mit zwei Eingängen dargestellt. Grundsätzlich unterscheidet man zwischen „Digital-Ground“ (DGND) und „Analog-Ground“; (DPWR) steht für „Digital-Power“. In der Subcircuit-Beschreibung ließe sich im Prinzip auch ein komplexeres Funktionsmodell mit verschiedenen zusammenschalteten Funktionsprimitiven (hier nur: „nand(2)“) beschreiben. Im Parameterteil der Subcircuit-Definition wird mit dem Parameter „MNTYMXDLY=0“ festgelegt, welche Einstellung der Timing-Parameter (minimal, typisch, maximal) für beispielsweise die Verzögerungszeiten gelten sollen. Der Parameter „IO_Level“ definiert, welches Schnittstellenmodell zugrundegelegt werden soll, wenn ein Eingang bzw. ein Ausgang auf ein analoges Schaltelement trifft.

```
* 7400  Quadruple 2-input Positive-Nand Gates
*
* The TTL Data Book, Vol 2, 1985, TI
* tdn   06/23/89 Update interface and model names
* --- Funktionsmodell -----
.subckt 7400  A B Y
+ optional: DPWR=$G_DPWR DGND=$G_DGND
+ params: MNTYMXDLY=0 IO_LEVEL=0
U1 nand(2) DPWR DGND
+ A B      Y
+ D_00 IO_STD MNTYMXDLY={MNTYMXDLY} IO_LEVEL={IO_LEVEL}
.ends
* --- Timing-Modell -----
.model D_00 ugate (
+ tpltly=11ns tpltmx=22ns
+ tphlty=7ns tphlmx=15ns
+ )
*-----
```



Bild 8.1-5: Beispiel für ein PSpice-Funktionsmodell mit Timing-Modell für eine Nand-Funktion mit zwei Eingängen

Die eigentliche Subcircuit-Definition enthält bekannte Logikinstanzen. Alle Logikinstanzen beginnen in PSpice mit „U“ als erstem Buchstaben. Das hier verwendete Nand-Gatter weist die Instanzbezeichnung „U1“ auf. Einer Logikinstanz ist ein Funktionsgrundmodell zuzuordnen. Im Beispiel ist dies „nand(2)“ mit zwei Eingängen. Sodann folgt die Angabe der Versorgungsknoten „DPWR“ und „DGND“. In der Fortsetzungszeile werden die Pinnamen der Eingänge „A, B“ und des Ausgangs „Y“ des Funktionsgrundmodells gekennzeichnet. Es folgt der Name des zu verwendenden Timing-Modells „D_00“ und des I/O-Modells „IO_STD“. Im Timing-Modell für ein Gatter sind die für das Funktionsmodell geltenden Timing-Parameter angegeben; „TPLHTY“ bedeutet: typische Propagation Delay (Verzögerungszeit) beim Übergang von Low nach High.

Ein weiteres Beispiel zeigt das PSpice-Logikmodell für ein D-FlipFlop in Bild 8.1-6. In der Subcircuit-Modellbeschreibung wird der Logikinstanz „U1“ das

Funktionsgrundmodell *dff(1)* zugeordnet. Das Timing-Modell *D_74* für getriggerte FlipFlops enthält die entsprechenden Timing-Parameter. Der Parameter „TWP-CLMN“ steht beispielsweise für die minimale Pulsweite der Preset- und Clear-Eingänge im Low-Zustand. Die Zeitangaben für die Timing-Parameter können für Standard-Bausteine aus dem Datenblatt eines konkreten Bausteins entnommen werden. Das Timing-Modell vom Typ *ueff* ist in der Form für alle getriggerten FlipFlops so gültig.

```
* 7474 Dual D-Type Positive-Edge-Triggered Flip-Flops with Preset

.subckt 7474 CLRBAR D CLK PREBAR Q QBAR
+ optional: DPWR=$G_DPWR DGND=$G_DGND
+ params: MNTYMXDLY=0 IO_LEVEL=0
UFF1 dff(1) DPWR DGND
+ PREBAR CLRBAR CLK D Q QBAR
+ D_74 IO_STD MNTYMXDLY={MNTYMXDLY} IO_LEVEL={IO_LEVEL}
.ends

.model D_74 ueff (
+ twpclmn=30ns twclklmn=37ns
+ twclkhmn=30ns tsudclkmn=20ns
+ thdclkmn=5ns tppcqlhmx=25ns
+ tppcqlhmx=40ns tpclkqlhty=14ns
+ tpclkqlhmx=25ns tpclkqhhty=20ns
+ tpclkqhlmx=40ns
+ )
*-----
```

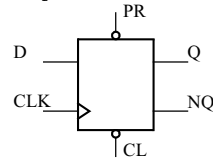


Bild 8.1-6: Beispiel für ein PSpice-Funktionsmodell mit Timing-Modell für ein D-FlipFlop mit Preset und Clear Eingängen

Beispiel für ein VHDL-Modell mit Testbench: Als nächstes soll ein Funktionsmodell des D-FlipFlops in der Hardwarebeschreibungssprache VHDL betrachtet werden. Prinzipiell könnte man ein Strukturmodell durch Zusammenschaltung von bekannten Funktionsprimitiven (Gatter) verwenden. Das Beispiel wird in Form eines Verhaltensmodells mit dem „Process“-Konstrukt formuliert. Die Entity-Beschreibung entspricht dem Symbol, sie legt u.a. die nach außen gehenden Schnittstellen der Funktion mittels der Port-Deklaration fest. Mit der Typangabe *std_logic* werden im Beispiel die Schnittstellensignale als 9-wertige Logiksignale festgelegt. Desweiteren ist in der Port-Deklaration die Wirkungsrichtung (Mode-Type) z.B. mit *in* oder *out* zu definieren. Die eigentliche Modellbeschreibung der Logikfunktion erfolgt in der einer Entity zugeordneten Architecture-Beschreibung. Ein vertieftes Eingehen auf die Möglichkeiten der Modellierung von Logikfunktionen mit der Hardwarebeschreibungssprache würde den Rahmen des Buches sprengen. Das gewählte Beispiel soll lediglich einen Eindruck vermitteln, wie sich prinzipiell Logikfunktionen mit einer Hardwarebeschreibungssprache beschreiben lassen. Die Timing-Parameter können in VHDL über Generic-Attribute innerhalb der Entity-Deklaration eingebracht werden. Zur Berücksichtigung der Timing-

Parameter und zur Verifikation des Timingverhaltens (z.B. „Set-Up“ Zeit oder „Hold“ Zeit) müsste die Modellbeschreibung für das D-FlipFlop in Bild 8.1-7 ergänzt und erweitert werden. Es lassen sich in VHDL u.a. Check-Funktionen formulieren und gegebenenfalls Warnungen und Fehlerhinweise ausgeben.

Ein wesentliches Kennzeichen bei der Logiksimulation ist die Ereignissteuerung. Jedes Signal wird entweder in der Entity oder als „inneres“ Signal im Deklarationsteil der Architecture erklärt. Ein Signal hat einen Namen und einen Typ (z.B.: *std_logic*). In der Entity kommt noch die Wirkungsrichtung hinzu. Der Logiksimulator verwaltet die Signale in einer Ereignistabelle (Event-Queue). Innerhalb der Architecture zwischen *begin* und *end* können u.a. Signalzuweisungen mit „Concurrent Signal Assignment“ (CSA) erfolgen, lassen sich „Process“-Konstrukte definieren oder Komponenten-Modelle mit „Component Instantiation“ einbringen. Bei einer Signalzuweisung wird nur dann dem Signal ein neuer Wert zugewiesen, wenn der CSA-Ausdruck auf der rechten Seite durch ein Ereignis getriggert wird. Die Rangfolge der CSA-Anweisungen spielt dabei keine Rolle. Auf die Ereignissteuerung wird noch gesondert eingegangen.

```

library IEEE;
use IEEE.std_logic_1164.all;
entity dff_1 is
  port (PR: in std_logic;
        D: in std_logic;
        CLK: in std_logic;
        CL: in std_logic;
        Q: out std_logic;
        NQ: out std_logic);
end dff_1;
architecture dff_1_arch of dff_1 is
  Begin
    DFF1: process (CLK,CL,PR)
      constant Low : std_ulogic := '0';
      constant High : std_ulogic := '1';
      begin
        if CL = '0' then Q<= Low;
          NQ <= High;
        end if;
        if (CL = '1') and (PR = '0') then Q <= High;
          NQ <= Low;
        end if;
        if (CL = '1') and (PR = '1') then
          if (CLK'event and CLK='1') then Q <= D;
            NQ <= not D;
          end if;
        end if;
      end process DFF1;
    end dff_1_arch;

```

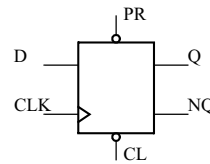


Bild 8.1-7: Beispiel für ein VHDL-Funktionsmodell für ein D-FlipFlop mit Preset und Clear Eingängen

In der Architecture für das D-FlipFlop in Bild 8.1-7 erfolgt mit dem „Process“-Konstrukt eine Verhaltensmodellbeschreibung. Der *process* wird von den Ereignissen der Signale *CLK*, *PR*, *CL* getriggert. Nur wenn die genannten Signale sich ändern, läuft der „Process“ sequentiell durch und geht dann in Warteposition bis zum nächsten eintreffenden Ereignis der den „Process“ triggernden Signale. Unmittelbar nach Übergang in die Warteposition werden die ermittelten Werte nach „außen“ wirksam.

Für die Überprüfung einer Logikfunktion benötigt man eine Testschaltung bzw. eine Testbench. Es müssen u.a. die Eingangssignale (Stimuli) definiert werden. In PSpice wird die Stimuli-Beschreibung in einem File (*.stm) abgelegt, das für die Durchführung der Simulation entsprechend einzubinden (mit „Include“ im Simulation Profile) ist. Für die Erstellung des Stimuli steht in PSpice ein Stimuli-Editor zur Verfügung. In VHDL kann mittels der Hardwarebeschreibungssprache auch die Testbench beschrieben werden. Bild 8.1-9 zeigt beispielhaft eine Testbench für das D-FlipFlop.

Die Entity der Testbench ist leer, da keine Signale von außen kommen oder nach außen gehen. Die in der Testbench verwendeten Signale müssen also im Deklarationsteil der Architecture definiert werden. Mit dem Konstrukt „Component-Instantiation“ wird das VHDL-Modell des D-FlipFlops in die Testbench eingebracht bzw. instanziiert. Dazu ist die zu verwendende Komponente im Deklarationsteil der Architecture mit deren Schnittstellen zusätzlich zu deklarieren. Die Instanziierung der Komponente erfolgt zwischen *begin* und *end* über den Aufruf der Komponente (*dff_1*) nach einem Label (*U_DFF:*). Über *port map* werden die Schnittstellenanschlüsse der Komponente an Signale im Modell verbunden. Dieser Vorgang entspricht der Instanziierung einer Komponente im Schaltplan. Über ein nicht von „außen“ getriggertes „Process“ Konstrukt können periodische Signale erzeugt werden. Mit *wait for <Zeitbedingung>* erfolgt ein periodisches Antriggern des Prozesses. Das Ergebnis der Logiksimulation des D-FlipFlops mit der Modellbeschreibung in Bild 8.1-7 unter Verwendung der Testbenchbeschreibung in Bild 8.1-9 zeigt Bild 8.1-8.

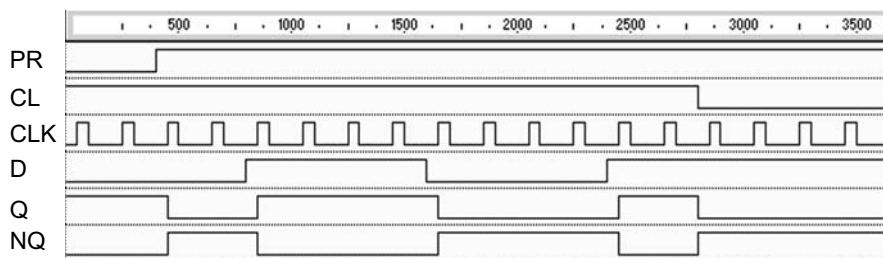


Bild 8.1-8: Testergebnis des VHDL-Modells für das D-FlipFlop mit der angegebenen Testbench

Der Modellbeschreibung des D-FlipFlops sind keine Timing-Parameter zugeordnet, insofern gilt das idealisierte Verhalten.

```

library IEEE;
use IEEE.std_logic_1164.all;
entity DFF_tb is
end DFF_tb;
architecture DFF_tb_arch of DFF_tb is
    signal PR : std_logic := '0';
    signal CL : std_logic := '1';
    signal CLK: std_logic := '1';
    signal D  : std_logic := '0';
    signal Q  : std_logic;
    signal NQ : std_logic;
    signal tdef: time :=50ns;
    signal tper: time :=200ns;
    component dff_1
        Port (PR : IN std_logic;
            CL : IN std_logic;
            CLK: IN std_logic;
            D  : IN std_logic;
            Q  : OUT std_logic;
            NQ: OUT std_logic);
    end Component;
begin
    U_DFF : dff_1
        port map (PR => PR,
            CL  => CL,
            CLK => CLK,
            D   => D,
            Q   => Q,
            NQ => NQ);

    clock_mod: process
        begin
            CLK <= '0' , '1' after tdef, '0' after 2*tdef;
            wait for tper;
        end process clock_mod;

    stimuli_mod: process
        begin
            PR <= '0', '1' after 2*tper;
            D  <= '0', '1' after 4*tper, '0' after 8*tper, '1' after 12*tper;
            CL <= '1', '0' after 14*tper;
            wait for 20*tper;
        end process stimuli_mod;
end DFF_tb_arch;

```

Bild 8.1-9: Beispiel für eine VHDL-Testbenchbeschreibung für den Test des D-FlipFlops

8.1.2 Ereignissteuerung

Die Ereignissteuerung ist ein wichtiger Bestandteil für die Simulation von Logiksystemen. Eine Signaländerung stellt ein Ereignis dar. Jede Logikfunktion reagiert bei Signaländerungen am Eingang gemäß dem Funktionsmodell und den Timing-Parametern verzögert durch Signaländerungen am Ausgang. Dies gilt auch für den

Einschaltvorgang eines Logiksystems, bei dem ebenfalls Signaländerungen vorliegen. Sind keine Verzögerungszeiten durch entsprechende Timing-Parameter angegeben, so setzt das System zur Logiksimulation eine virtuelle (nicht messbare) Verzögerungszeit ein. Ansonsten würde beispielsweise ein Eingangsereignis bei einem verzögerungsfreien asynchronen Zähler sofort am Ausgang wirksam sein. Die Ereignissteuerung selbst erfolgt vom Logiksimulator. Die compilierte VHDL-Modellbeschreibung stellt kein ausführbares „exe“ dar, so wie bei einer Programmiersprache. Die VHDL-Modellbeschreibung ist nur im Zusammenhang mit einer Testbench mit einem Logiksimulator verifizierbar.

Ereignissteuerung dargestellt an einem Beispiel: Allgemein wird ein Signal durch einen Namen gekennzeichnet. Jedem Signal ist ein zeitabhängiger diskreter Wert zugeordnet. Wirken Wertänderungen eines Signals (Ereignisse) auf eine Logikfunktion, so ergeben sich unter Berücksichtigung der Modellbeschreibung (Funktionsmodell und Timing-Parameter) der Logikfunktion Folgeereignisse, die wiederum auf eine nachgeordnete Logikfunktion wirken können und somit weitere Folgeereignisse erzeugen. Der Logiksimulator erfasst, verwaltet und bearbeitet Ereignisse in einer Ereignistabelle (Event-Queue). Ausgangspunkt sind die Anfangsereignisse, definiert im Stimuli der Testbench (Initial Events). Bild 8.1-10 zeigt ein Beispiel für eine Logikschaltung mit beaufschlagten Eingangssignalen. Bei der einfachen Schaltung lässt sich eine „händische“ Logiksimulation durch konsequente Verfolgung von Ereignissen durchführen. Ein Ausschnitt aus der Ereignistabelle ist in Bild 8.1-11 dargestellt. Dort eingetragen sind die Anfangsereignisse aus der Stimulidefinition und die sich daraus ergebenden Folgeereignisse.

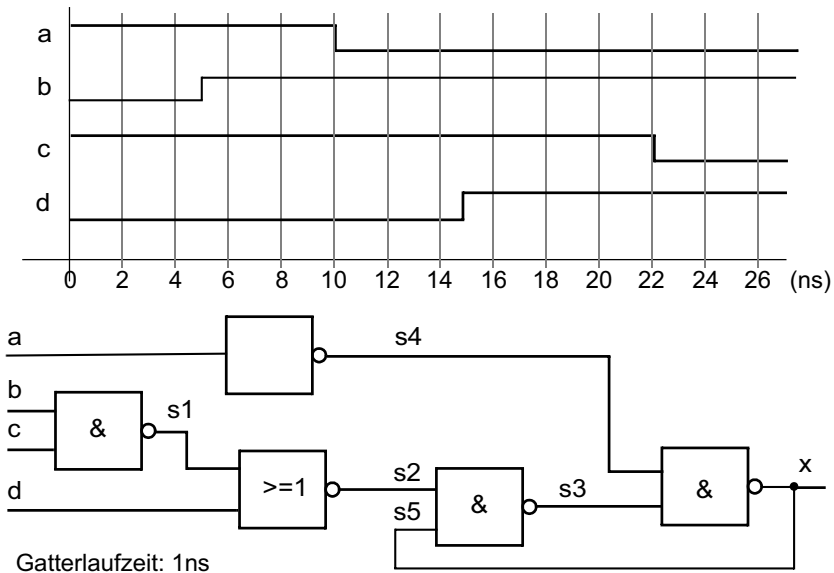


Bild 8.1-10: Logikschaltung (Schaltnetz) zur Erläuterung der Ereignissteuerung; a) Eingangssignale definiert im Stimuli der Testschaltung, b) Logikschaltung

```

Ereignistabelle:
0ns   a = 1, b = 0, c = 1, d = 0;
1ns   s1:U->1; s4:U->0;
2ns   s2:U->0; s5:U->1;
3ns   s3:U->1;
4ns
5ns   b: 0->1;
6ns   s1:1->0;
7ns   s2:0->1;
8ns   s3:1->0;
9ns
10ns  a: 1->0;
11ns  s4:0->1;
12ns  ...

```

Bild 8.1-11: Zum Aufbau der Ereignistabelle gemäß Beispiel Bild 8.1-10

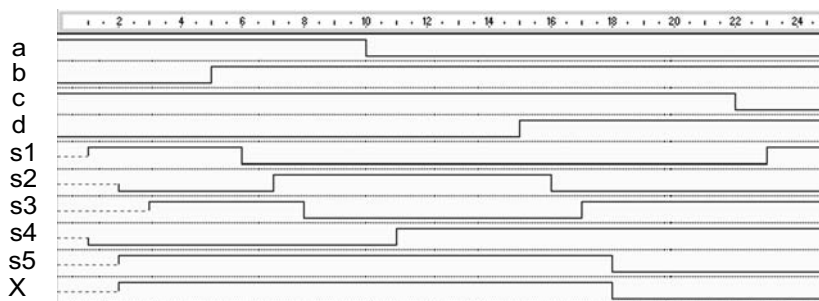


Bild 8.1-12: Simulationsergebnis des Beispiels in Bild 8.1-10

Die VHDL-Modellbeschreibung des Beispiels in Bild 8.1-10 ist aus Bild 8.1-13 zu entnehmen. In der Entity-Deklaration wird die Verzögerungszeit *tpd* als Generic-Attribut mit *1ns* festgelegt. In der port-Deklaration sind die Schnittstellensignale am Eingang und am Ausgang als Signale vom Typ *std_logic* definiert. Die Erklärung der innen liegenden Signale *s1*, *s2*, *s3*, *s4*, *s5* erfolgt im Deklarationsteil der Architecture-Beschreibung. Für die eigentliche Modellbeschreibung wird das „Concurrent-Signal-Assignment“ Konstrukt (CSA) verwendet. Einem Signal wird über einen Boole'schen Ausdruck das Logikerhalten zugeordnet. Auf der rechten Seite der CSA-Zuweisung findet sich eine Boole'sche Verknüpfung von Signalen, die nur wirksam ist, wenn eines der Signale auf der rechten Seite ein Ereignis aufweist. Die Wirkung des Ereignisses erfolgt unter Auswertung des logischen Ausdrucks um die angegebene Zeit *tpd* verzögert. Das Ergebnis der Logiksimulation ist in Bild 8.1-12 dargestellt. Selbstverständlich wird für die Durchführung der Logiksimulation wiederum eine Testbench benötigt. Bild 8.1-14 zeigt die zugehörige Testbench. Die wenigen Beispiele mögen die Systematik der Charakterisierung von Logikfunktionen verdeutlichen.

```

library IEEE;
use IEEE.std_logic_1164.all;
entity simex1 is
    generic (tpd: time:= 1ns);
    port (a: in STD_LOGIC;
          b: in STD_LOGIC;
          c: in STD_LOGIC;
          d: in STD_LOGIC;
          X: out STD_LOGIC);
end simex1;
architecture simex1_arch of simex1 is
signal s1, s2, s3, s4, s5: STD_LOGIC;
begin
    X <= s5;
    s4 <= not a after tpd;
    s1 <= (b nand c) after tpd;
    s2 <= (s1 nor d) after tpd;
    s3 <= (s2 nand s5) after tpd;
    s5 <= (s4 nand s3) after tpd;
end simex1_arch;

```

Bild 8.1-13: VHDL-Modellbeschreibung für das Beispiel in Bild 8.1-10

```

library IEEE; use IEEE.std_logic_1164.all;
entity simex1_tb is
end simex1_tb;
architecture simex1_tb_arch of simex1_tb is
signal a : std_logic := '1';
signal b : std_logic := '0';
signal c : std_logic := '1';
signal d : std_logic := '0';
signal X : std_logic;
component simex1
    port (a: in STD_LOGIC;
          b: in STD_LOGIC;
          c: in std_logic;
          d: in std_logic;
          X : out std_logic);
end component;
begin
    U_simex1: simex1
        port map (a => a,
                  b => b,
                  c => c,
                  d => d,
                  X => X);
    a <= '1', '0' after 10ns;
    b <= '0', '1' after 5ns;
    c <= '1', '0' after 22ns;
    d <= '0', '1' after 15ns;
end simex1_tb_arch;

```

Bild 8.1-14: Testbench für das Beispiel in Bild 8.1-10

8.1.3 Entsprechungen zwischen Schematic- und VHDL-Beschreibung

Die für die Beschreibung von analogen und gemischt analog/digitalen Schaltkreisen übliche Schematicdarstellung kann so auch durch die analoge Erweiterung von VHDL ersetzt werden. Die symbolische Darstellung in einem Schaltplan fördert das Verständnis für die Schaltungsanordnung. Bei einer systematischen Strukturierung der textuellen Beschreibung mittels einer Hardwarebeschreibungssprache wird ebenfalls das Verständnis gefördert. Die neutrale, standardisierte, textuelle VHDL-Beschreibung hat den wesentlichen Vorteil der Austauschbarkeit und Systemunabhängigkeit. In der folgenden Tabelle sind die wichtigsten Analogien zwischen der Schaltplanbeschreibung und der VHDL-Beschreibung aufgeführt.

Tabelle 8.1 - 2: Analogien zwischen der Schematicdarstellung und der VHDL-Beschreibung einer Schaltkreisfunktion

Schematicdarstellung	VHDL-Beschreibung
Entity mit Port-Deklaration	Symbol
Entity mit Generic-Attributen	Symbol mit Instanz-Attributen
Netz	Signal
Instanziierung	Component-Instantiation

8.2 Digital/Analog Wandlung

Ein D/A-Umsetzer weist digitale (binäre) Eingänge und einen analogen Ausgang auf. Vorgestellt werden die wichtigsten Schaltungsprinzipien zur Digital/Analog-Wandlung und deren Vor- und Nachteile. Die analoge Ausgangsspannung entspricht in ihrem Wert dem binären Wert des am Eingang anliegenden digitalen Wortes. Bild 8.2-1 zeigt am Eingang eine Analogspannung, die durch einen 8-Bit A/D-Wandler in ein digitales Wort umgesetzt und durch einen 8-Bit D/A-Wandler wieder in eine analoge Spannung zurückgeführt wird. Zur A/D-Wandlung werden noch Steuersignale, sowie eine Referenzspannung benötigt. Im nachstehenden Experiment ist das analoge Eingangssignal eine sinusförmige Spannung, die mit einem 8-Bit Wandler in 256 Amplitudenstufen aufgelöst wird. In Bild 8.2-2 ist das Ergebnis der A/D- und D/A-Wandlung der Sinusspannung dargestellt. Das Ausgangssignal weist einen treppenförmigen Verlauf auf, das einen Quantisierungsfehler enthält. Der Quantisierungsfehler wird um so kleiner, je höher die Auflösung gewählt wird. Dem Experiment liegt eine, mit einem Makromodell beschriebene idealisierte A/D- und D/A-Wandlung zugrunde. Im Weiteren geht es darum die A/D- und D/A-Umsetzer durch konkrete Schaltungen zu realisieren.

Experiment 8.2-1: AD-DA_Wandlung mit 8-Bit Auflösung

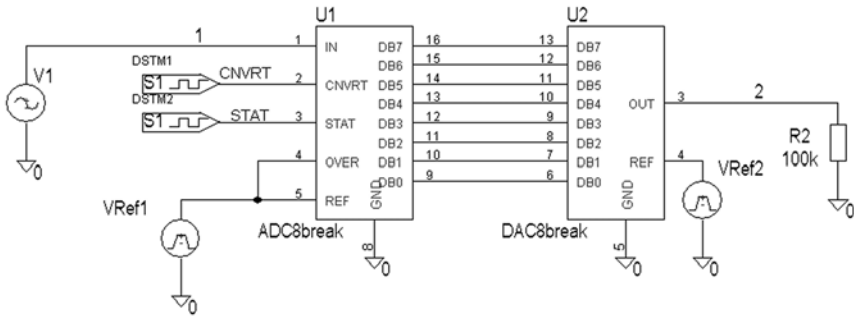


Bild 8.2-1: Analog/Digital- und Digital/Analog-Wandlung

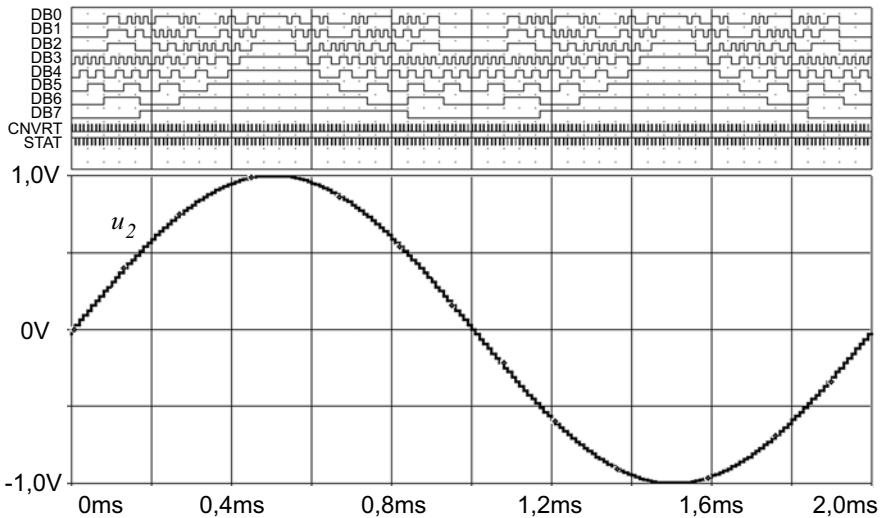


Bild 8.2-2: Ergebnis der A/D- und D/A-Wandlung einer sinusförmigen Eingangsspannung

Bei der D/A-Wandlung beträgt die kleinste Spannungsstufe bezogen auf den Spannungsendwert $U_{Ref}/2^n$. Diese kleinste Spannungsstufe wird durch das Bit mit dem niedrigsten Stellenwert bestimmt (LSB: Least Significant Bit). Das Bit mit dem höchsten Stellenwert (MSB: Most Significant Bit) legt die größte Spannungsstufe $U_{Ref}/2$ fest. Allgemein wird ein Digitalwort $D = (b_{n-1}, b_{n-2}, \dots, b_1, b_0)$ mittels folgender Vorschrift in eine dazu proportionale Ausgangsspannung U_2 gewandelt.

$$U_2 = \frac{U_{Ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i; \quad (8.2-1)$$

wobei b_i den Wert 0 oder 1 annimmt.

Das grundlegende Schaltungsprinzip zur D/A-Umsetzung ist in Bild 8.2-3 dargestellt. Über eine Referenzspannung U_{Ref} wird an gestuften Widerständen je ein gewichteter Strom eingepreßt, wenn das entsprechende binäre Signal "1" ist. Die Ströme addieren sich am Summenpunkt des Linearverstärkers. Über den Rückkopplungswiderstand des Verstärkers entsteht schließlich eine dazu proportionale Ausgangsspannung U_2 . Bei genügend großer Verstärkung ist die Eingangsspannung des Verstärkers vernachlässigbar. Für die Genauigkeit entscheidend sind Widerstände mit entsprechend geringer Toleranz. Ein weiteres Problem stellt sich durch eine mögliche Offsetspannung des Verstärkers, die eine Verschiebung der Ausgangsspannung verursacht.

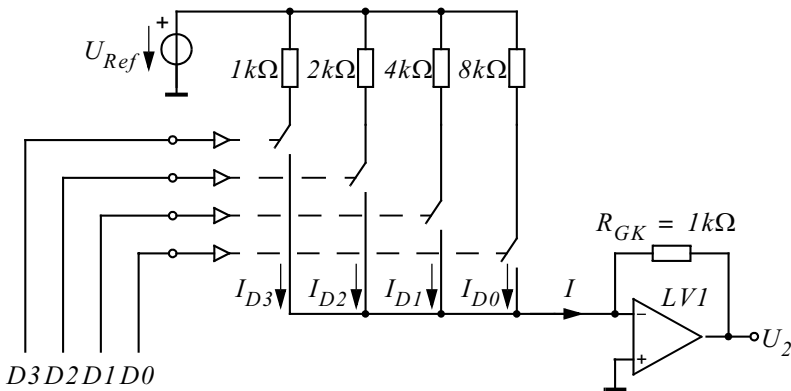


Bild 8.2-3: Prinzip der D/A-Umsetzung mit gestuften Stromquellen

Die Schalter des Ausführungsbeispiels in Bild 8.2-3 lassen sich durch MOS-Schalter realisieren. In Bild 8.2-4 ist ein Ausführungsbeispiel dargestellt. Das in folgendem Experiment näher untersucht werden soll.

Experiment 8.2-2: CMOS_D/A-Wandler

Für die Ausgangsspannung erhält man im Beispiel:

$$U_2 = U_{Ref} \cdot (D3 \cdot 2^0 + D2 \cdot 2^{-1} + D1 \cdot 2^{-2} + D0 \cdot 2^{-3}); \quad (8.2-2)$$

wobei $D3$, $D2$, $D1$ und $D0$ den Wert "0" oder "1" annehmen. Das Ergebnis zeigt Bild 8.2-5. Ein Problem stellt sich bei zeitversetzten Umschaltvorgängen, wenn der eine Schalter schon schaltet und andere Schalter noch nicht abgeschaltet haben. Dadurch können Störimpulse (Glitches) am Ausgang entstehen. Ein Kondensator mit leicht integrierender Wirkung im Rückkopplungspfad des Verstärkers vermindert die Auswirkung möglicher Störimpulse.

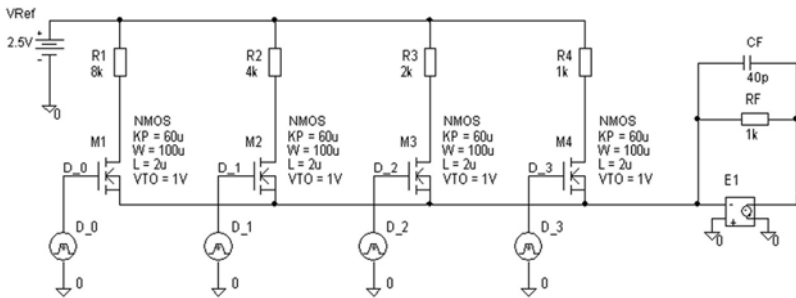


Bild 8.2-4: D/A-Umsetzung mit gestuften Stromquellen, gesteuert über MOS-Schalter

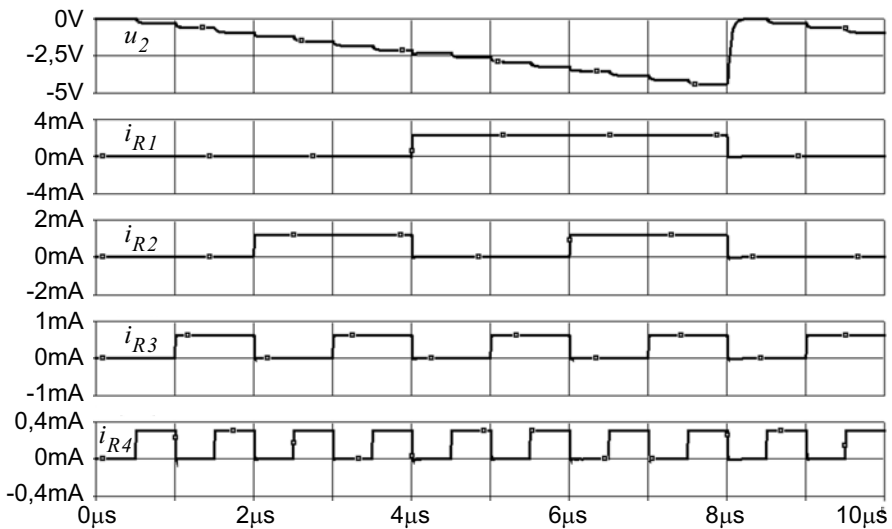


Bild 8.2-5: Ergebnis der D/A-Umsetzung mittels der Beispielschaltung gemäß Bild 8.2-4

Nachteilig bei der bisher betrachteten Schaltung zur D/A-Umsetzung ist, dass an den Schaltern im offenen Zustand U_{Ref} anliegt und im geschlossenen Zustand nahezu Nullpotenzial. Beim Umschaltvorgang müssen parasitäre Kapazitäten umgeladen werden, was Verzögerungszeiten verursacht. Mit der Schaltungsanordnung gemäß Bild 8.2-6 lässt sich dieser Nachteil vermeiden. Die Schaltung verwendet ein Kettenleiternetzwerk mit gestuften Spannungen. An den Knoten des Kettenleiternetzwerks liegen die gewichteten Spannungen U_{Ref} , $U_{Ref}/2$, $U_{Ref}/4$, $U_{Ref}/8$ an. Der Spannungsunterschied beim Umschaltvorgang zwischen dem Masseknoten und dem Summenpunktknoten ist vernachlässigbar. Dadurch werden Umladevorgänge vermieden. Darüber hinaus ist die Belastung der Referenzspannungsquelle konstant, was geringere Anforderungen an den Innenwiderstand der Referenzspannungsquelle stellt.

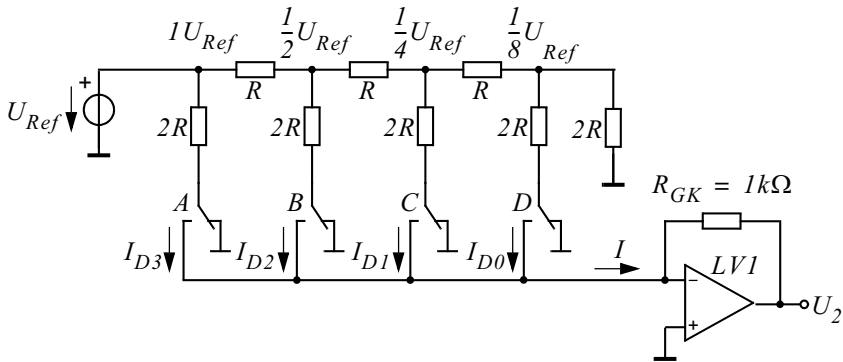


Bild 8.2-6: Prinzip der D/A-Umsetzung mit gestuften Spannungen

In integrierten CMOS-Technologien stellt die Realisierung genauer Widerstände ein Problem dar. Genaue Kapazitäten lassen sich erheblich einfacher realisieren. Im Prinzip kann auch mit gewichteten Kapazitäten ein D/A-Wandler verwirklicht werden. Das Verfahren beruht auf der Ladungsumverteilung auf binär gewichteten Kapazitäten. Bild 8.2-7 zeigt das Schaltungsprinzip. Entsprechend dem aktuellen Digitalwort werden in einer ersten Taktphase die Kapazitäten auf U_{REF} bzw. $0V$ aufgeladen. In der zweiten Taktphase sind alle Kapazitäten miteinander verbunden. Es ergibt sich dabei ein Ladungsausgleich. Über die Summe der parallelgeschalteten Kapazitäten stellt sich folgende Spannung ein:

$$U_2 = \frac{U_{Ref} \cdot C}{2^n \cdot C} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i; \quad (8.2-3)$$

was derselben Spannung wie in Gl. 8.2-1 entspricht. Der Spannungsfolger mit $LV1$ überträgt diese Spannung auf den Ausgang.

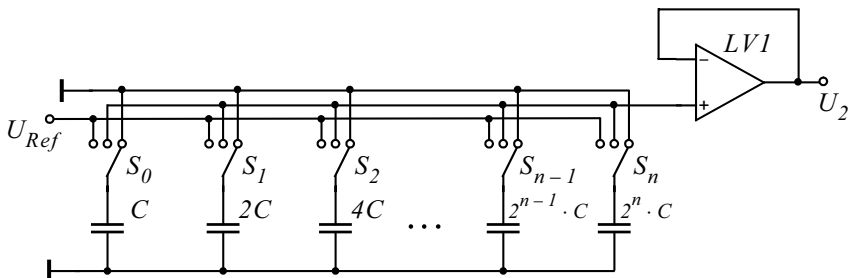


Bild 8.2-7: Prinzip der D/A-Umsetzung mit gewichteten Kapazitäten

8.3 Abtasthalteschaltungen

Der Umsetzvorgang einer Analogspannung in ein digitales Wort benötigt eine bestimmte Zeit. Während der Wandlungszeit sollte die Eingangsspannung des A/D-Wandlers möglichst konstant bleiben. Um den Spannungswert festzuhalten, werden getaktete Abtasthalteschaltungen (Sample&Hold-Schaltungen) benötigt. Abtasthalteschaltungen stellen Analogspeicher dar, die ein analoges Signal für eine bestimmte Zeit festhalten. Das Schaltungsprinzip zeigt Bild 8.3-1. Die Schaltung enthält die Kapazität $C1$ als Speicherelement und den gesteuerten MOS-Schalter $M1$. Es ist darauf zu achten, dass die Kapazität hinreichend hochohmig abgeschlossen wird, um eine Entladung des Analogspeichers während des geöffneten Schalterzustandes zu vermeiden. In den folgenden Experimenten wird die Schaltung nach Bild 8.3-1 ohne und mit Impedanzwandler untersucht.

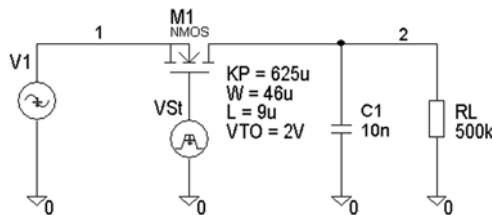


Bild 8.3-1: Prinzip der Abtasthalteschaltung mit einem gesteuerten MOS-Schalter

Experiment 8.3-1: S-H_Schaltung ohne Impedanzwandler

Experiment 8.3-2: S-H_Schaltung mit Impedanzwandler

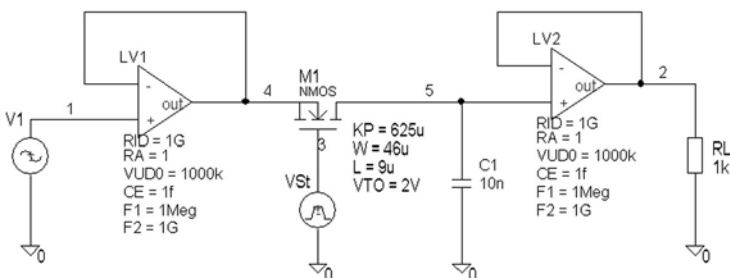


Bild 8.3-2: Abtasthalteschaltung mit eingangs-und ausgangsseitigem Impedanzwandler

Das Ergebnis der TR-Analyse der beiden Schaltungen ist in Bild 8.3-3 dargestellt. Es zeigt deutlich den Speichereffekt während des offenen MOS-Schalters. Ist der Schalter geschlossen, so folgt die Ausgangsspannung der Eingangsspannung.

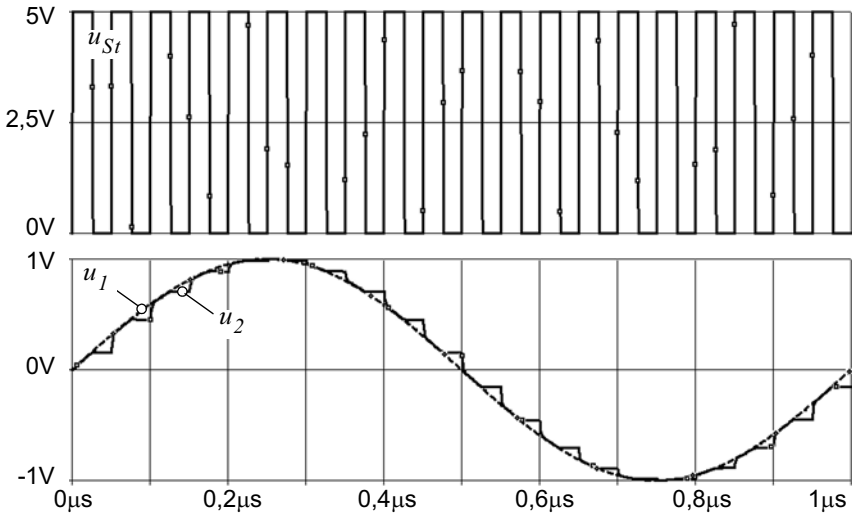


Bild 8.3-3: Ergebnis der Abtasthalteschaltung mit einem gesteuerten MOS-Schalter

Eine mögliche Offsetspannung des ausgangsseitigen Verstärkers in Bild 8.3-2 kann durch eine Gegenkopplungsmaßnahme (siehe Bild 8.3-4) unterdrückt werden. Bei geschlossenem MOS-Schalter ist $U_2 = U_1$. Dadurch wird ein Offsetfehler ausgeglichen. Die Dioden $D1$ und $D2$ sperren in diesem Zustand. Mit den Dioden $D1$ und $D2$ wird eine Übersteuerung des eingangsseitigen Verstärkers bei offenem Schalter vermieden. Bild 8.3-4 zeigt eine Abtasthalteschaltung mit Gegenkopplung vom Ausgang zum Eingang, die im nachstehenden Experiment untersucht werden kann.

Experiment 8.3-3: S-H_Schaltung mit Impedanzwandlern und einer Gegenkopplung zum Ausgleich einer Offsetspannung

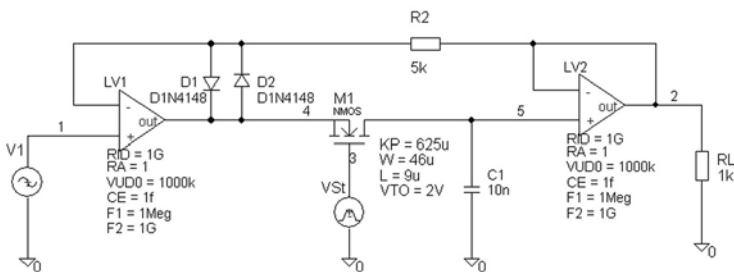


Bild 8.3-4: Abtasthalteschaltung mit eingangs-und ausgangsseitigem Impedanzwandler und Gegenkopplung vom Ausgang zum Eingang

Für schnelle Abtastvorgänge verwendet man anstelle von MOS-Schaltern oder FET-Schaltern Diodenbrücken. Mit schnellen Schaltdioden (Schottky-Dioden) las-

sen sich Schaltzeiten im ns -Bereich erzielen. Bild 8.3-5 zeigt eine schaltungstechnische Ausführung. Ist die Steuerspannung U_{St} positiv, so ist die Diodenbrücke mit $D1$, $D2$, $D3$ und $D4$ leitend, die Ausgangsspannung U_2 ist dann gleich der Eingangsspannung U_1 . Bei negativer Steuerspannung leiten die Dioden $D5$ und $D6$, die Diodenbrücke ist gesperrt. Der Übertragungsweg von U_1 nach U_2 ist dann mit hoher Sperrdämpfung gesperrt.

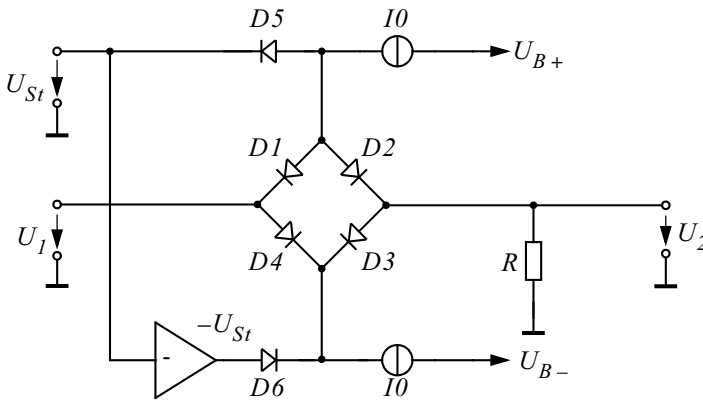


Bild 8.3-5: Analogschalter mit Diodenbrücke

8.4 Analog/Digital Wandlung

Wie bereits in Kap. 2 erwähnt, erfolgt die Verarbeitung von Signalen in den allermeisten Fällen in digitalisierter Form. Ein analoges Sensorsignal muss nach geeigneter analoger Aufbereitung mittels eines A/D-Wandlers auf eine digitale Schnittstelle gebracht werden, um es dann mit digitaler Signalverarbeitung weiter bearbeiten zu können. Die Software-Bearbeitung auf Basis eines Prozessors und die Speicherung digitaler Signale ist erheblich leistungsfähiger und flexibler. Ein A/D-Wandler weist einen analogen Eingang und digitale Ausgänge auf (siehe $U1$ in Bild 8.2-1). Zur Steuerung des Wandlungsprozesses sind Steuersignale erforderlich. Im Folgenden sollen die wichtigsten Prinzipien zur A/D-Wandlung aufgezeigt werden. Die Prinzipien lassen sich einteilen in

- ☐ Zählverfahren,
- ☐ Sukzessive Approximation,
- ☐ Parallelverfahren.

Die Zählverfahren benötigen den geringsten schaltungstechnischen Aufwand, allerdings ist dafür eine bestimmte Wandlungszeit erforderlich. Am aufwendigsten und am schnellsten sind die Parallelverfahren.

Zählverfahren: Als erstes wird das Ein-Rampenverfahren (Single-Slope) betrachtet. Beim Ein-Rampenverfahren erfolgt die Umsetzung der Eingangsspan-

nung in eine dazu proportionale Zeit. Bild 8.4-1 zeigt das Schaltungsprinzip und Bild 8.4-2 das Zeitdiagramm. Ein Sägezahn-generator (Integrator) erzeugt eine ansteigende Spannung. Der Komparator $LV2$ geht beim Überschreiten der Komparator-Schwelle U_S in die positive Begrenzung und liefert eine positive Ausgangsspannung. Bis zum Überschreiten der durch die Eingangsspannung U_I vorgegebenen Schwelle ist der Komparator $LV1$ ebenfalls in der positiven Begrenzung und liefert eine positive Ausgangsspannung. Während der Torzeit, wo beide Verstärker am Ausgang positive Ausgangsspannung aufweisen, liefert das Exor-Gatter $U1$ am Ausgang "1". Ein Zähler Z ermittelt während der Torzeit T_M die Anzahl der Impulse. Die Anzahl der Impulse ist proportional zur anliegenden Eingangsspannung. Zu Beginn der Messung und am Ende des Messintervalls muss der Zähler auf Null gesetzt werden. Das Zählergebnis eines Messintervalls wird dann solange gespeichert bis ein neues Zählergebnis vorliegt.

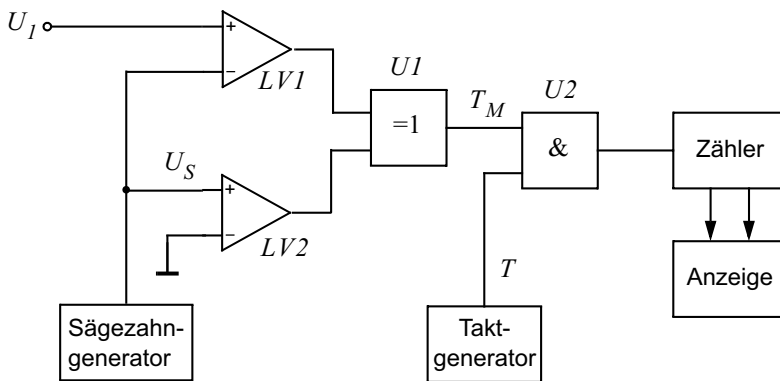


Bild 8.4-1: Schaltungsprinzip für das Ein-Rampenverfahren zur A/D-Umsetzung

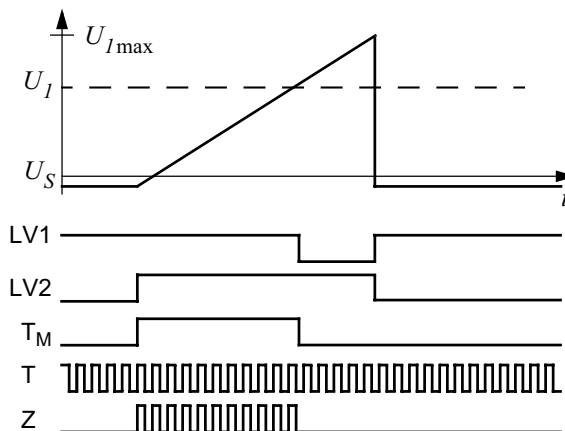


Bild 8.4-2: Zeitdiagramm zum Schaltungsprinzip für das Ein-Rampenverfahren

Der Sägezahn ist so auszulegen, dass beim höchsten Spannungswert die größtmögliche zu wandelnde Eingangsspannung $U_{I,max}$ erreicht wird. Kritisch ist die Genauigkeit der Sägezahn-Zeitkonstante, die aufgrund von Temperatureinflüssen und von Langzeitdriften Schwankungen unterliegt.

Als nächstes wird das Zwei-Rampenverfahren (Dual-Slope) betrachtet. In Bild 8.4-3 ist das Schaltungsprinzip und in Bild 8.4-4 das zugehörige Zeitdiagramm dargestellt. Beim Zwei-Rampenverfahren wird die Eingangsspannung und dann die Referenzspannung integriert (bei $U_I > U_{Ref}$). Nach Rücksetzung des Umsetzers sind in der Ausgangslage die Schalter $S1$, $S2$ offen und der Schalter $S3$ ist geschlossen. Die Ausgangsspannung des Integrator-Verstärkers $LV1$ liegt bei $0V$, der Zähler steht auf Null. Zu Beginn der Umsetzung wird der Schalter $S3$ geöffnet und der Schalter $S1$ mit der Steuerspannung U_{St1} geschlossen. Der Integrator ($LV1$ mit CI) integriert die Eingangsspannung U_I . Das Ende der ersten Integrationsphase ist erreicht, wenn der Zähler nach $(Z_{max} + 1)$ Takten überläuft und dann wiederum auf Null gesetzt wird. Im Bild 8.4-4 ist beispielhaft $Z_{max} = 15$. Mit T als Taktperiode und $\tau = R_I C_I$ als Integrationszeitkonstante erhält man am Ausgang des Integrators nach der Zeit t_I die Spannung:

$$U_{Int} = -\frac{U_I \cdot t_I}{\tau} = -\frac{U_I \cdot (Z_{max} + 1) \cdot T}{\tau}; \quad (8.4-1)$$

Nachdem am Ende der ersten Integrationsphase der Zähler den Überlauf erreicht hat und wieder auf Null steht, beginnt die zweite Integrationsphase bei der die Referenzspannung U_{Ref} integriert wird. Dazu wird der Schalter $S1$ geöffnet und der Schalter $S2$ muss mit der Steuerspannung U_{St2} geschlossen werden. Das Vorzeichen der Referenzspannung ist entgegengesetzt zum Vorzeichen der Eingangsspannung. Somit verringert sich die Spannung am Ausgang des Integrators. Der Zähler zählt bei der Abwärtsintegration mit und ermittelt das Zählergebnis Z beim Nulldurchgang am Ausgang des Integrators; der Zähler wird gestoppt. Beim Erreichen des Nulldurchgangs am Ende der zweiten Integrationsphase ist:

$$U_I \cdot (Z_{max} + 1) \cdot T + U_{Ref} \cdot Z \cdot T = 0; \quad (8.4-2)$$

Damit erhält man für das Zählergebnis:

$$Z = -\frac{U_I}{U_{Ref}} \cdot (Z_{max} + 1); \quad (8.4-3)$$

Das Zählergebnis ist unabhängig von der Taktfrequenz und von der Integrationszeitkonstante. Bei hinreichend konstanter Taktfrequenz während der Integrationsphase können Genauigkeiten von ca. 0,01% erzielt werden, was einer Auflösung eines 14Bit-A/D-Wandlers entspricht. Angewandt wird das Zwei-Rampenverfahren vielfach u.a. bei digitalen Voltmetern.

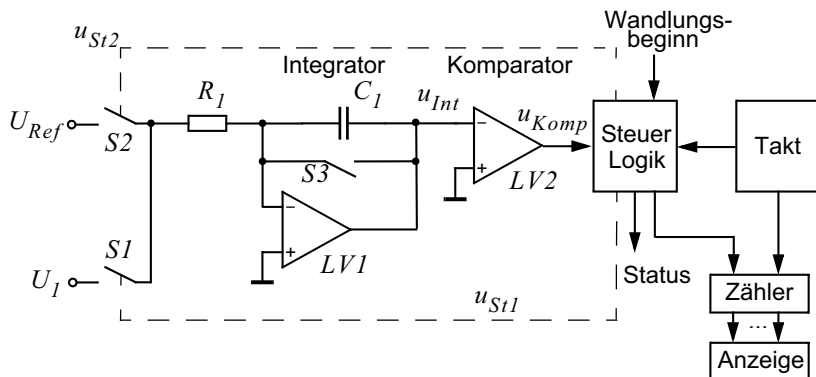


Bild 8.4-3: Schaltungsprinzip zum Zwei-Rampenverfahren zur A/D-Umsetzung

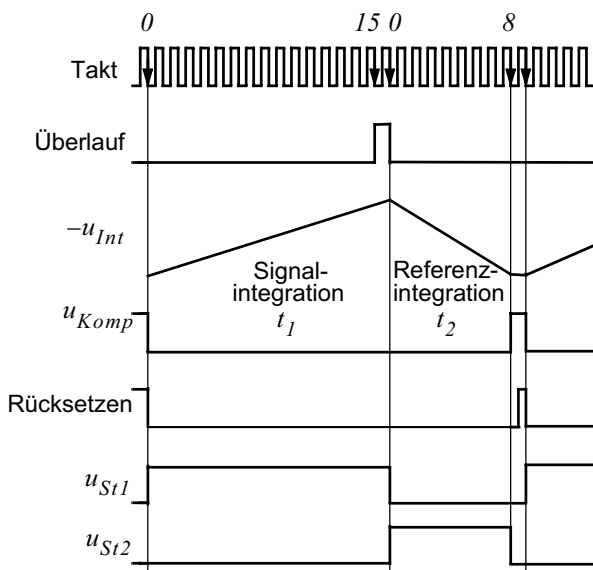


Bild 8.4-4: Zeitdiagramm zum Schaltungsprinzip zum Zwei-Rampenverfahren zur A/D-Umsetzung

Sukzessive Approximation: Bei diesem Verfahren wird ein dem analogen Eingangswert entsprechender Digitalwert Z iterativ ermittelt. Bild 8.4-5 zeigt das Schaltungsprinzip für das Iterations- bzw. Wägeverfahren zur A/D-Umsetzung. Dazu benötigt man einen D/A-Umsetzer, einen Komparator, ein Iterationsregister und ein Ausgaberegister. Um eine konstante Eingangsspannung während der Wandlungszeit zu erhalten, wird eine Abtasthalteschaltung am Eingang verwendet. Der Komparator vergleicht die im Analogspeicher gespeicherte Eingangsspannung

mit der Ausgangsspannung des D/A-Umsetzers. Beim Start der Wandlungsphase wird das Iterationsregister rückgesetzt. Anschließend setzt die Steuerlogik das höchstwertige Bit (MSB) des Iterationsregisters. Der D/A-Wandler erzeugt eine dem höchstwertigen Bit entsprechende Ausgangsspannung. Der Komparator vergleicht die Eingangsspannung mit der Ausgangsspannung des D/A-Wandlers (größtes Gewicht). Ist die Eingangsspannung größer als die Ausgangsspannung des Komparators, so bleibt das MSB-Bit gesetzt. Als nächstes setzt die Steuerlogik das nächstniedrige Bit des Iterationsregisters (nächstniedriges Gewicht). Der D/A-Wandler erzeugt eine entsprechend größere Ausgangsspannung. Ist die Eingangsspannung wiederum größer als der Vergleichswert, so bleibt das Bit gesetzt. Wäre die Eingangsspannung kleiner, so würde das Bit zurückgesetzt. Damit ist das zweithöchste Bit „gewogen“. In gleicher Weise wird mit den nächstfolgenden Bits bis zum niedrigstwertigen Bit (LSB) verfahren. Am Ende des Wandlungsprozesses steht im Iterationsregister eine digitale Zahl Z , die nach der Umsetzung durch den D/A-Wandler bis auf den Quantisierungsfehler der Eingangsspannung entspricht.

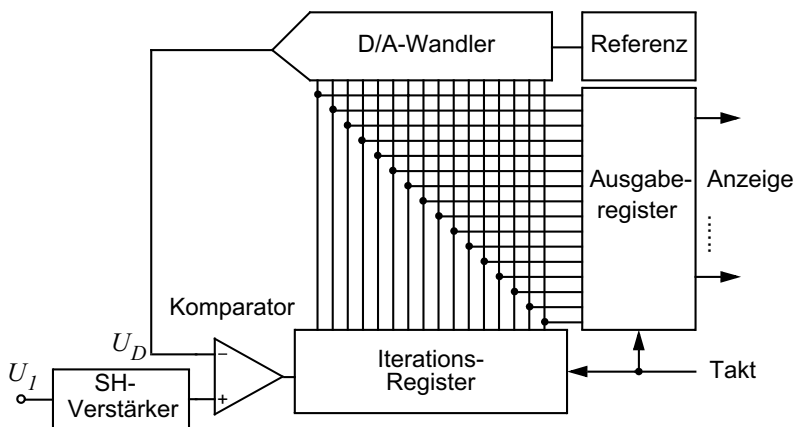


Bild 8.4-5: Schaltungsprinzip für das Iterationsverfahren zur A/D-Umsetzung

Eine konkrete schaltungstechnische Ausführung für das Iterationsverfahren mit einem 4-Bit-D/A-Wandler und einem 4-Bit Iterationsregister zeigt Bild 8.4-6. Die im Beispiel nicht praktisch ausgeführte Steuerlogik erzeugt die Steuersignale $X0$, $X1$, $X2$, $X3$, $X4$ für das Wägeverfahren. Im folgenden Experiment kann der Anwender das Iterationsverfahren selbst ausführen.

Experiment 8.4-1: 4-Bit-A/D-Wandler nach dem Iterationsverfahren

Im Beispiel beträgt die zu wandelnde Eingangsspannung $U_I = 3,3V$. Der D/A-Wandler ist so eingestellt, dass seine Gewichte beim MSB-Bit $2V$, dann $1V$, $0,5V$ und schließlich beim LSB-Bit $0,25V$ betragen. Das digitale Wort nach dem Wandlungsprozess beträgt somit "1101". Das entspricht einer Spannung von $3,25V$. Das Simulationsergebnis des Beispiels ist in Bild 8.4-7 dargestellt.

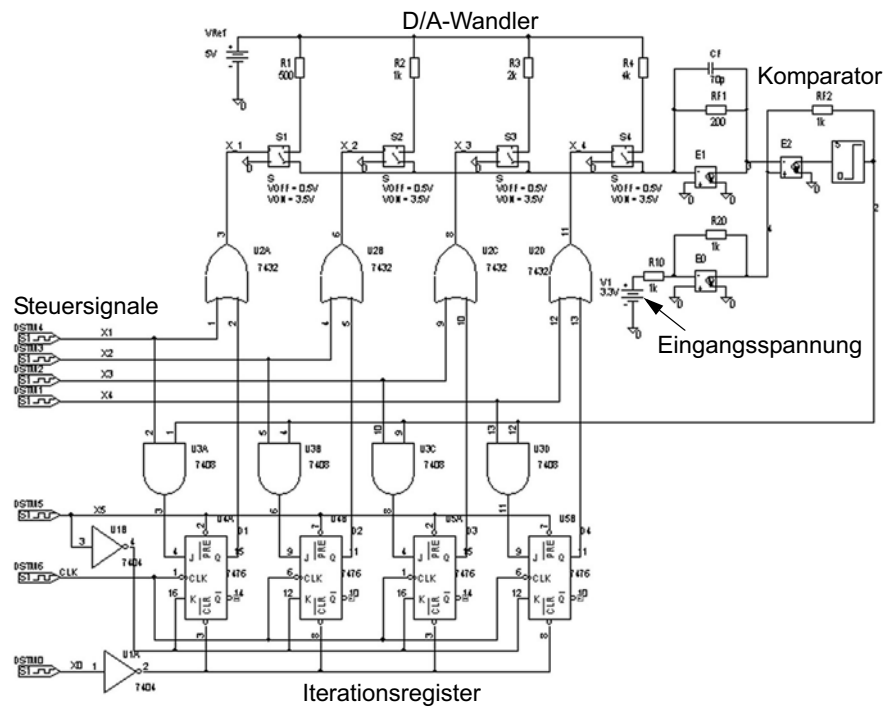


Bild 8.4-6: 4-Bit-A/D-Umsetzer nach dem Iterationsverfahren

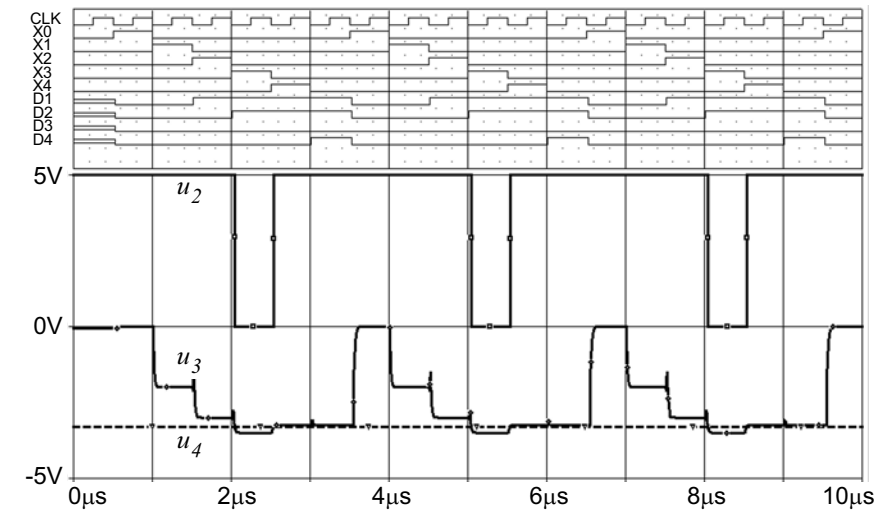


Bild 8.4-7: Ergebnis des 4-Bit-A/D-Umsetzers nach dem Iterationsverfahren

Nach Betrachtung einer möglichen Realisierung eines A/D-Wandlers gemäß dem iterativen Wägeverfahren ist im Folgenden ein VHDL-AMS Modell aufgeführt, das ebenfalls auf dem Iterationsverfahren beruht. Als digitale Eingangssignale werden benötigt: *Start* für den Start der Wandlung und das *Clock*-Signal. Daneben stehen die analogen Eingangssignale: *vin* ist das zu konvertierende Eingangssignal, *vdda* und *vssa* sind die analogen Versorgungsspannungen, *vrp* und *vrn* sind analoge Referenzspannungen. Als Ergebnis erhält man das Digitalwort *data* mit dem Wandlungsergebnis und *eoc* als Steuersignal nach Abschluss der Wandlung. Die eigentliche Modellbeschreibung erfolgt durch den Iterationsalgorithmus definiert in dem Prozess mit dem Label *conversion*. Dazu werden im Prozess die Variablen *th* und *v* eingeführt. Dabei ist *th* das „Gewicht“ und *v* die zu wägende Größe.

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.math_real.ALL;
entity adc is
  generic (g_vdda : real := 5.0);           -- max. voltage at VIN
  port (signal Start : in std_logic;       -- start conversion
        signal Clock : in std_logic;      -- clock
        signal eoc  : out std_logic;      -- end of conversion
        signal data : out std_logic_vector(0 to 7); -- data out
  terminal
    vdda,           -- positive supply
    vssa,           -- negative supply
    vrn,            -- negative reference
    vrp,            -- positive reference
    vrn,            -- negative reference
    vin : electrical); -- input signal
end entity adc;
architecture behave of adc is
  quantity q_conv across c_in through VIN to VRN; --input-signal
  quantity q_vrp across c_vrp through VRP to vssa;
begin -- behave
  c_vrp == 0.0;
  c_in  == 0.0;
  conversion : process
    variable th : real;
    variable v  : real;
    begin
      eoc <= '0';
      wait until clock'event and clock = '1' and start = '1';
      assert q_conv < g_vdda and q_conv >= 0.0;
      th := g_vdda;
      v  := q_conv;
      for i in 0 to 7 loop
        th := th / 2.0;
        if v > th then
          data(i) <= '1';
          v := v - th;
        end if;
      end for;
    end process
end behave

```

```

    else data(i) <= '0';
    end if;
end loop;
eoc <= '1';
wait until clock'event and clock = '1';
eoc <= '0';
end process;
end behave;

```

Parallelverfahren: Beim Parallelverfahren erfolgt der Wandlungsprozess in einem Umsetzschritt. Dazu benötigt der D/A-Wandler 2^n Komparatoren. Eine Logikschaltung setzt den „Thermometercode“ um in ein geeignet codiertes Digitalwort. Oft wird mit D-FlipFlops das Komparatorergebnis während der Umsetzung gespeichert. A/D-Wandler nach dem Parallelverfahren sind sehr schnell, sie können bis weit in den MHz-Bereich angewandt werden.

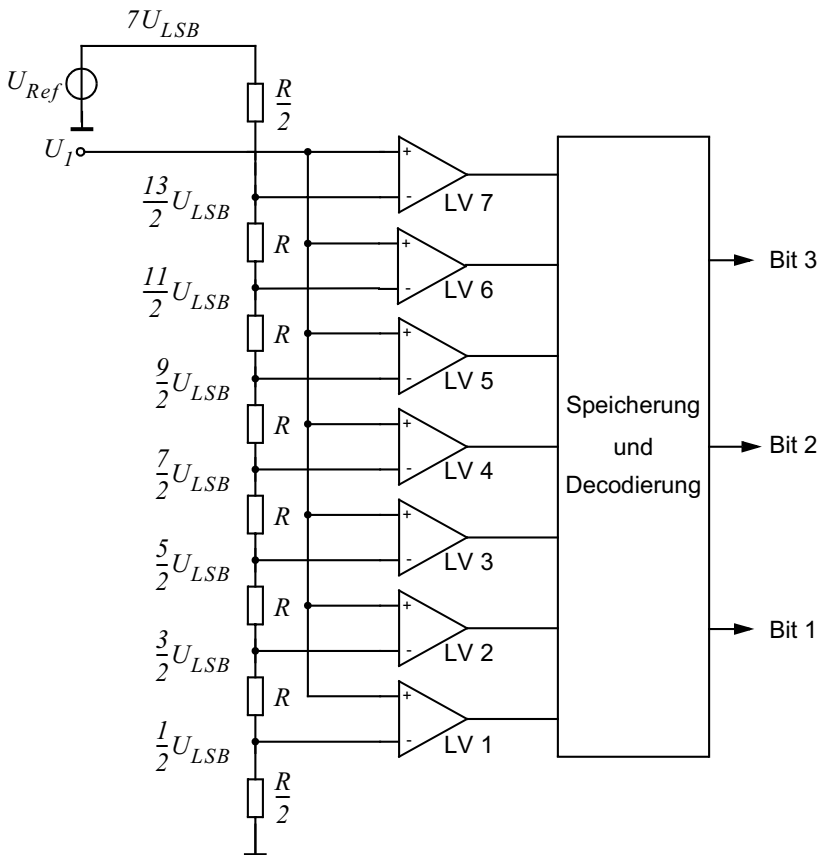


Bild 8.4-8: Prinzipschaltung zum Parallelverfahren für die A/D-Umsetzung

Übungen

Zur Vertiefung des dargebotenen Inhalts und der nachfolgenden Übungsaufgaben werden auf der CD-Rom im Anhang Experimente angeboten, die mit Orcad-Lite/PSpice Version 9.2 bzw. 10.0 ausführbar sind. Ein Teil der Experimente ist auch mit SystemVision auf Basis der Hardwarebeschreibungssprache VHDL-AMS ausführbar. Für jedes dieser Experimente steht in einem Verzeichnis ein gebrauchsfertiger „Experiment-Workspace“-Datensatz zur Verfügung. Die Experimente sind gleichsam „Bausätze“ von Testschaltungen, die mit einem virtuellen Elektroniklabor, gegeben durch Orcad-Lite/PSpice bzw. SystemVision, untersucht und weitergehend verifiziert werden können. Die Simulationstechnik ist heute soweit fortgeschritten, dass die „Messergebnisse“ des virtuellen Elektroniklabors sehr gut mit den realen Messergebnissen übereinstimmen, sofern die den Experimenten zugrundeliegenden Modelle hinreichend genau sind. Der Leser soll angeregt werden, sich selbst weitergehende „Sichten“ bei der Ausführung der Experimente zur vertieften Erarbeitung des Stoffes zur analogen und gemischt analog/digitalen Schaltungstechnik, zu verschaffen. Die Experimente mögen helfen, schneller zu brauchbaren und diskussionsfähigen Ergebnissen zu kommen.

Die folgenden Aufgaben in Übung 2 bis Übung 9 dienen vornehmlich für Abschätzübungen zur Ermittlung von Eigenschaften einer Schaltung. Ausführlich beschriebene Lösungen finden sich auf der CD-Rom. Für nahezu alle Übungsaufgaben steht ein vorbereitetes Experiment zur ergänzenden und vertieften Analyse zur Verfügung. Damit lassen sich auch die analytisch gewonnenen Abschätzwerte kontrollieren. Allgemein erfolgt die Verifikation einer Schaltung anhand einer „Testbench“ in drei Stufen:

- ☐ Abschätzen;
- ☐ Simulieren;
- ☐ Messen.

Die Simulationsergebnisse sollen die Ergebnisse der Abschätzanalyse bestätigen, wobei bei der Simulation genauere Modelle zugrunde gelegt werden. Die Messergebnisse enthalten darüber hinaus u.a. Einflüsse der Aufbautechnik, die in der Simulation möglicherweise nicht berücksichtigt werden konnten.

Übung 1 PSpice-Übung

Zur Ausführung der Experimente müssen das Tool-Set Orcad-Lite/PSpice, die „Experiment-Workspaces“ und das dafür erforderliche „Environment“ auf einen Rechner mit Windows-Plattform geladen werden. Das begleitende „Readme“ auf der CD-Rom enthält eine Beschreibung der Vorgehensweise zur Installation. Spice (Simulation Program with Integrated Circuit Emphasis) wurde an der University of California, Berkeley, USA, entwickelt. Für erste industrielle Anwendungen

stand Spice Anfang ca. 1970 zur Verfügung. Spice ist der am weitesten verbreitete Schaltkreissimulator für Transistor-Level-Anwendungen. Original-Spice benötigt eine textuelle Spice-Netzliste und liefert Ergebnisdaten. Orcad-Lite/Pspice bietet eine graphische Oberfläche für die Schaltplanerstellung (Schematic Capture), für die Festlegung der Analyseart (Simulation Profile) und für die Ergebnisdarstellung (Probe). Darüber hinaus kann mit Orcad-Lite/Layout für eine Schaltung das geometrische Layout erstellt werden.

Vor Ausführung der Experimente muss sich der Leser mit Orcad-Lite/PSpice vertraut machen. Dazu enthält das Tool-Set eine umfangreiche Dokumentation mit Tutorials. Zum vereinfachten Einstieg wird auf der CD-Rom eine Kurzeinführung angeboten. Die Kurzeinführung beinhaltet eine Auswahl wichtiger Funktionen zur Erstellung einer Testschaltung, zur Vorbereitung der Simulation mit dem „Simulation Profile“ und zur graphischen Darstellung der Ergebnisse. Folgende Funktionen werden dabei erläutert:

- ☐ Design Manager – Anlegen eines neuen Projekts;
- ☐ Design Manager – Öffnen eines vorhandenen Projekts;
- ☐ Design Manager – Bearbeitung einer Symbol Library;
- ☐ Capture – Instanziierung von Schaltkreiselementen;
- ☐ Capture – Instanziierung von Gound-Symbolen;
- ☐ Capture – „Verdrahtung“ von instanziierten Schaltkreiselementen;
- ☐ Capture – Objekte und Auswahl von Objekten;
- ☐ Capture/Property Editor – Darstellung von Objekt-Attributen eines selektierten Objekts;
- ☐ Capture – Auswahl von anwendbaren Methoden eines selektierten Objekts;
- ☐ Capture – Bearbeitung von im Schaltplan sichtbaren Attributen eines selektierten Symbols;
- ☐ Capture – Generierung der Netzliste;
- ☐ Capture – Allgemeine Bedeutung von Objekt-Attributen bzw. Properties;
- ☐ Capture/Property Editor – Bearbeitung von Objekt-Attributen mit dem Property Editor;
- ☐ Capture/Symbol Editor – Symbolbearbeitung mit dem Symbol Editor;
- ☐ Capture – Modellreferenz am Symbol festlegen;
- ☐ Capture/Model Editor – Aufruf des Model Editor für PSpice Models;
- ☐ Capture – Änderung der Modellreferenz;
- ☐ Capture – Registrierung einer Model Library;
- ☐ Capture/Symbol Editor – Einführung eines neuen Symbols;
- ☐ Capture – Zuordnung eines Subcircuit Modells für ein neues Symbol;
- ☐ Capture – Zuordnung eines Schematic Modells für ein neues Symbol;
- ☐ Capture – Einführung einer neuen Schaltungshierarchie;
- ☐ Capture – Vorbereitung der „Parametrischen Analyse“;

- ☐ Capture – Analyseart festlegen und Start der Simulation;
- ☐ Waveform-Analyzer – Auswahl eines Ergebnisausdrucks;
- ☐ Waveform-Analyzer – Skalierung und Darstellung eines Ergebnisausdrucks.

Für die Durchführung der Anweisungen in der Kurzeinführung werden nachstehende Experimente verwendet:

Experiment Ü1-1: ErstesDesign

Experiment Ü1-2: ErstesDesign_ParametrischeAnalyse

Experiment Ü1-3: RHF_Schematic

Experiment Ü1-4: RHF_Subcircuit

Fragen zur Erfolgskontrolle:

1. Welche Umgebung benötigt grundsätzlich eine rechnergestützte Entwurfsmethode? Weitere Fragen: Was wird im „Setup“ festgelegt? Wo befindet sich die „Setup“ Definition üblicherweise und wie kann sie bearbeitet werden? Wie werden Library-Pfade in Orcad-Lite/PSpice festgelegt? Wohin schreibt ein Design-Bearbeitungswerkzeug Ergebnisse?
2. Skizzieren Sie den Entwurfsablauf für Baugruppen-Design; welche Libraries, welche Objekt-Bearbeitungswerkzeuge, welche Design-Bearbeitungswerkzeuge und Design-Analyse-Werkzeuge werden benötigt?
3. Was beinhaltet ein Design-Container bzw. ein „Workspace“?
4. Welche Grundfunktionen beinhaltet ein Schematic-Entry-Tool?
5. Wie wird eine Design-Hierarchie aufgebaut?
6. Woraus besteht ein Schematic-Symbol?
7. Welche Properties muss ein Symbol mindestens „tragen“ für Simulation und Boardlayout?
8. Aus welchen Primitiven besteht ein „Netz“? Skizzieren Sie ein „Netz“ und kennzeichnen Sie die Netz-Primitive.
9. Welche Objekte können im Schematic Properties (Attribute) tragen? Was muss bei Properties beachtet werden? Wozu dienen Properties?
10. Sie wollen ein Property ändern, wie gehen Sie vor?
11. Was unterscheidet Properties von Text-Attributen?
12. Was beschreibt die Mapping-Information?
13. Welche Modellarten gibt es in PSpice?
14. Unter welchen Voraussetzungen findet PSpice den Parametersatz für ein Primitiv-Modell?
15. Welche Bedeutung hat das Template-Property an einer Designinstanz bei PSpice?
16. Was versteht man unter einem Makro-Modell? Beschreiben Sie die Einführung eines Makro-Modells in PSpice anhand eines Beispiels: Ein Schaltkreis weist an einer Schnittstelle das Verhalten einer spannungsgesteuerten Stromquelle mit fol-

gender Gleichung auf.

$$I_x = (1mA)/(1/((1 + \exp(U_I/(26mV)))) - 1/((1 + \exp(-U_I/(26mV)))))$$

17. Was versteht man unter einem SUBCIRCUIT-Modell in PSpice? Erläutern Sie die Vorgehensweise bei Verwendung eines neuen SUBCIRCUIT-Modells bei z.B. einem HF-Widerstand. Das Subcircuit-Modell des HF-Widerstands soll parametrisierbar sein.

18. Skizzieren Sie die Schritte zur Einführung eines Funktionsmodells mittels Schematic-Makromodell für einen OP-Verstärker. Das Modell soll Differenz- und Gleichtaktverstärkung $V_{ud} = V_{UD0} * 1/(1+jf/F1)$ und V_{UG} , die Offsetgrößen I_{IB} , I_{IO} , U_{IO} ; den Differenzeingangswiderstand R_{ID} , C_{ID} ; den Ausgangswiderstand R_A und die Ausgangsspannungsbegrenzung U_{MAX} enthalten. Das Makromodell soll parametrisierbar sein.

Übung 2 Frequenzbereichsanalyse und Bodediagramm

Ziel ist es in dieser Übungseinheit, Frequenzgänge von Schaltungen zu analysieren und den Frequenzverlauf nach Betrag und Phase im Bodediagramm zu skizzieren. Das Bodediagramm ist ein wichtiges Hilfsmittel, um den Frequenzgang von Schaltungen zu veranschaulichen.

Ü2.1 Allpass

Bestimmen Sie $\underline{U}_2/\underline{U}_1$ und skizzieren Sie das Bodediagramm nachstehender Schaltung.

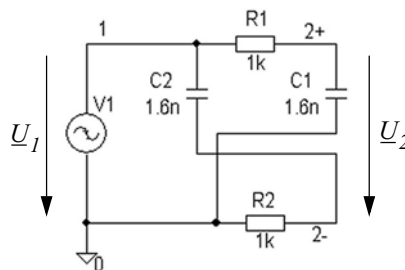


Bild Ü2-1: Allpass mit $R1 = R2 = R$ und $C1 = C2 = C$

Experiment Ü2-1: AC-Analyse Allpass

Ü2.2 Tiefpass mit unterer und oberer Eckfrequenz

Bestimmen Sie $\underline{U}_2/\underline{U}_1$ und skizzieren Sie das Bodediagramm nachstehender Schaltung.

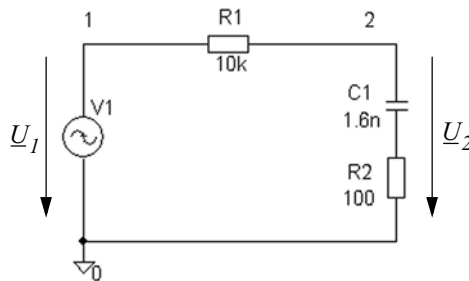


Bild Ü2-2: Tiefpass mit unterer und oberer Eckfrequenz

Experiment Ü2-2: AC-Analyse Tiefpass

Ü2.3 Verstärker mit Hochpass und Tiefpass

Bestimmen Sie $\underline{U}_2/\underline{U}_1$ und skizzieren Sie das Bodediagramm nachstehender Schaltung.

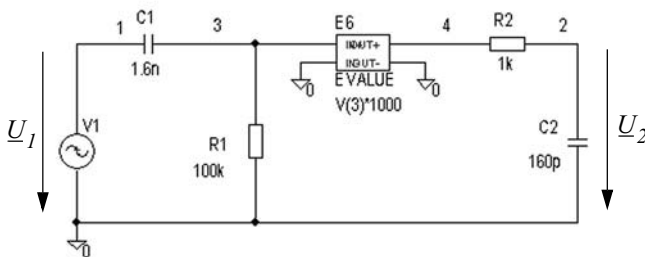


Bild Ü2-3: Verstärker mit Hochpass und Tiefpass

Experiment Ü2-3: AC-Analyse Verstärker

Ü2.4 Kapazitiver Spannungsteiler

Bestimmen Sie $\underline{U}_2/\underline{U}_1$ und ermitteln Sie Real- und Imaginärteil der Eingangsimpedanz in Ersatzparallelendarstellung.

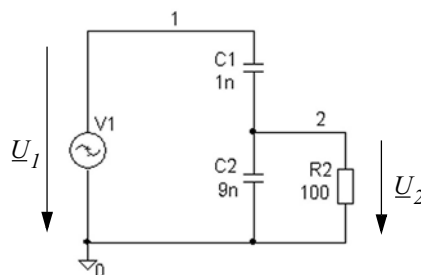


Bild Ü2-4: Kapazitiver Spannungsteiler

Experiment Ü2-4: AC-Analyse kapazitiver Spannungsteiler

Ü2.5 Parallelresonanzkreis mit kapazitivem Teiler

Bestimmen Sie $\underline{U}_I$ bei Speisung mit einer Konstantstromquelle und ermitteln Sie die Eingangsimpedanz. Skizzieren Sie den Frequenzverlauf der Eingangsimpedanz im Bodediagramm.

Experiment Ü2-5: AC-Analyse Parallelresonanzkreis

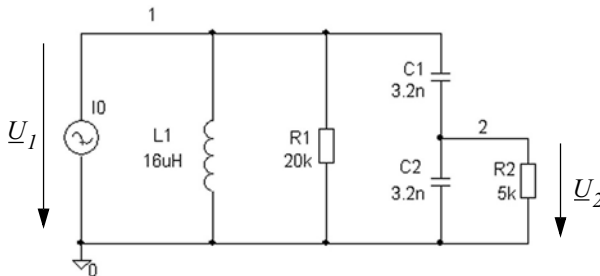


Bild Ü2-5: Parallelresonanzkreis mit kapazitivem Teiler

Ü2.6 Angepasster Hochpass

Bestimmen Sie $\underline{U}_2/\underline{U}_I$ und skizzieren Sie den Frequenzgang im Bodediagramm. Ermitteln Sie die Eingangsimpedanz. Welche Eingangsimpedanz ergibt sich bei tiefen Frequenzen? Welche Ausgangsimpedanz erhält man im oberen Frequenzbereich?

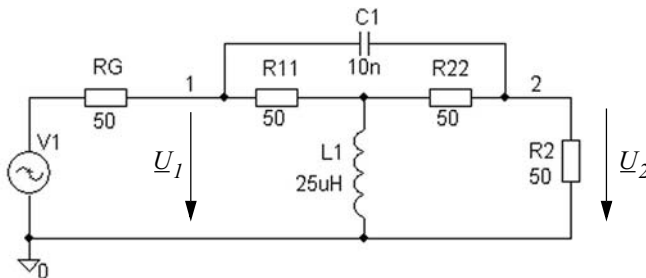


Bild Ü2-6: Angepasster Hochpass

Experiment Ü2-6: AC-Analyse angepasster Hochpass

Übung 3 Rauschen, Rauschzahl von Verstärkern

An praktischen Beispielen gilt es, eine Rauschanalyse von Verstärkern durchzuführen und die Kenngrößen für das Rauschverhalten zu ermitteln.

Ü3.1 Rauschzahl eines Verstärkers – Messanordnung 1

Ein Verstärker mit der rauschäquivalenten Bandbreite $B = 2\text{MHz}$ wird leistungsangepasst von einem Signalgenerator angesteuert. Die Ausgangsleistung P_2 zeigt der Leistungsmesser LM an. Für die Signalspannung $U_{S0} = 0$ wird an LM der Wert P_{20} gemessen. Bei $U_{S0} = 8\mu\text{V}$ steigt die Anzeige auf das sechsfache; es sei $k \cdot T_0 = 4 \cdot 10^{-21}\text{Ws}$.

- Ermitteln Sie die Rauschzahl F des Verstärkers.
- Geben Sie die Grenzsinnleistung an.

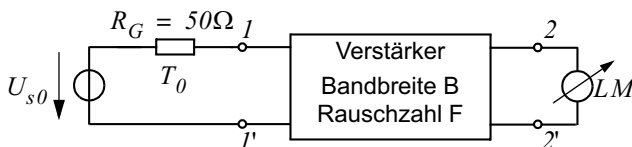


Bild Ü3-1: Messanordnung zur Ermittlung der Rauschzahl – U_{S0} bekannt

Ü3.2 Rauschzahl eines Verstärkers – Messanordnung 2

Ein Verstärker mit der Rauschzahl F und einer rauschäquivalenten Bandbreite $B = 1\text{MHz}$ wird leistungsangepasst von einem Signalgenerator angesteuert. Die Ausgangsleistung P_2 zeigt der Leistungsmesser LM an. Für die Signalspannung $U_{S0} = 0$ wird an LM der Wert P_{20} gemessen. Bei der Signalleistung $P_{S1} = 0.04\text{pW}$ verdoppelt sich die Anzeige an LM; es sei $k \cdot T_0 = 4 \cdot 10^{-21}\text{Ws}$. Ermitteln Sie die Rauschzahl F des Verstärkers.

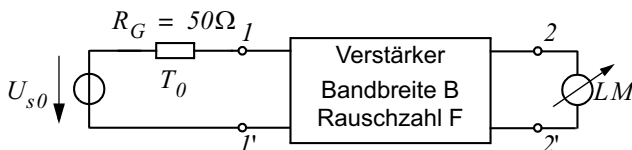


Bild Ü3-2: Messanordnung zur Ermittlung der Rauschzahl – P_{S1} bekannt

Ü3.3 Rauschzahl eines Verstärkers bei gegebenen Rauschquellen

Ein Verstärker mit einem Eingangswiderstand $R_{id} = 1\text{M}\Omega$ und einer Verstärkung $v_{ud} = 10$ wird mit den Ersatzrauschquellen $\bar{U}_{r,v}$ und $\bar{I}_{r,v}$ beschrieben. Die Speisung erfolgt über eine sinusförmige Signalquelle $\underline{U}_0$ mit einer Signalamplitude von 10mV . Die Temperatur des Generatorwiderstandes $R_g = 100\text{k}\Omega$ beträgt $T_0 = 300\text{K}$. Die Bandbreite des Messgerätes liegt bei $B = 10\text{kHz}$.

Bestimmen Sie das Signal-zu-Rauschverhältnis am Ausgang des Verstärkers, wenn $\bar{U}_{r,v}/\sqrt{Hz} = 10\text{ nV}/\sqrt{Hz}$ und $\bar{I}_{r,v}/\sqrt{Hz} = 1\text{ pA}/\sqrt{Hz}$ ist.

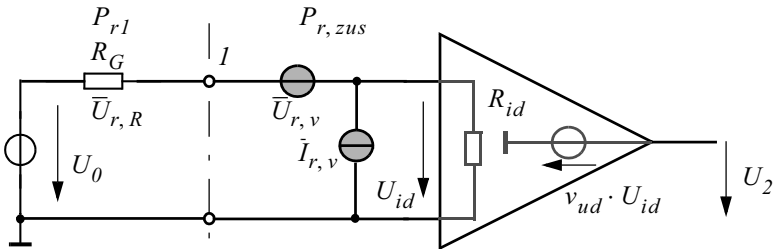


Bild Ü3-3: Rauschzahlbestimmung bei bekannten Rauschquellen (z.B. aus Datenblatt)

Ü3.4 Rauschzahl eines Verstärkers ermittelt mit PSpice

Gegeben sei folgende Verstärkeranordnung. Der Widerstand der Signalquelle weist thermisches Rauschen auf. Die Temperatur beträgt 300 K . Gesucht ist die Rauschspannung am Ausgang bei den gegebenen Verstärkerdaten.

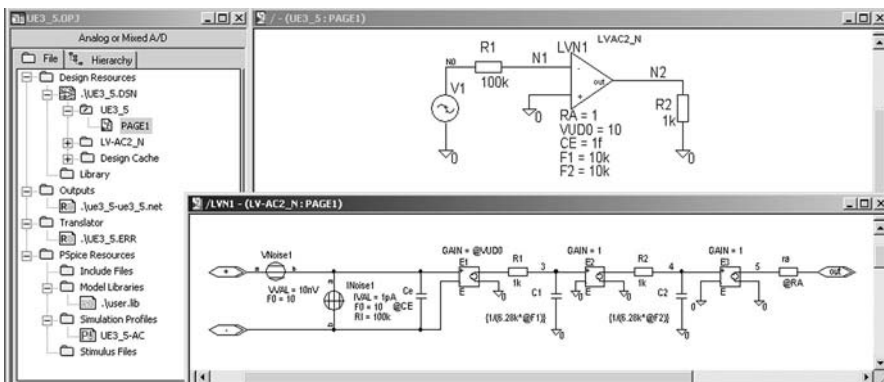


Bild Ü3-4: Rauschspannungsbestimmung mit PSpice bei bekannter Verstärkeranordnung

Experiment Ü3-4: Rauschanalyse eines Verstärkers

Ü3.5 Rauschzahl zweier hintereinander geschalteter Verstärker

Bei einer Kettenschaltung von zwei Verstärkern soll ein möglichst großes Signal-zu-Rausch-Leistungsverhältnis am Ausgang erzielt werden. Die Eingangswiderstände der beiden Verstärker sind gleich groß. An beiden Eingängen herrscht Leistungsanpassung. Es stehen vier Verstärker für Verstärker #1 zur Verfügung. Ermitteln Sie aus der angegebenen Tabelle den günstigsten Verstärker, wenn $F_2 = 101$ ist.

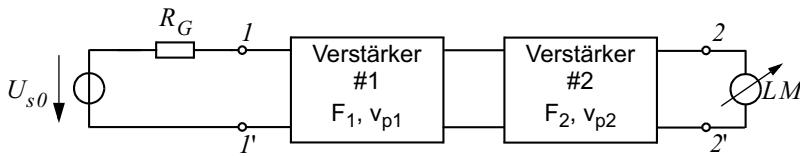


Bild Ü3-5: Kettenschaltung von Verstärkern – Bestimmung der Gesamttauschzahl; F_1 , v_{p1} und F_2 wurden mit angepasstem Generator bestimmt

Verstärker	v_{p1}	F_1
a	10	3
b	20	4
c	100	10
d	200	20

Übung 4 Linearverstärker – DC-Analyse

Ziel ist es in dieser Übungseinheit das DC-Verhalten mit gewollten und nicht gewollten Offsetspannungen von Schaltungen mit Linearverstärkern zu analysieren und den Arbeitspunkt, sowie die Aussteuerbarkeit zu ermitteln.

Ü4.1 DC-Modell des realen Linearverstärkers

- Geben Sie ein DC-Modell für das reale Schnittstellenverhalten am Eingang eines Linearverstärkers mit typischen Werten an.
- Begründen Sie den Eingangsruhestrom und die Eingangsoffsetspannung.
- Warum ist die folgende Beschaltung im allgemeinen nicht erlaubt?

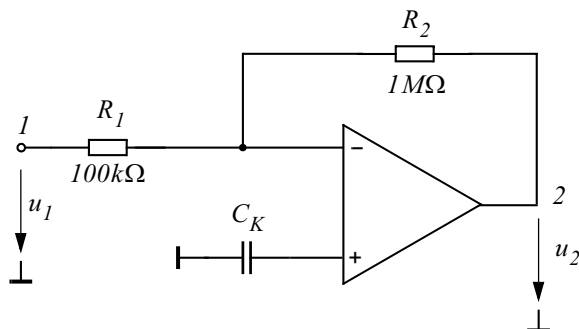


Bild Ü4-1: Fehlerhafte Beschaltung eines Linearverstärkers

Ü4.2 LV mit realem DC-Verhalten und äußerer Kompensationsspg.

- a) Ermitteln Sie U_1 , U_1' , U_{20} , bei $I_{IB} = 200\text{nA}$, $I_{IO} = 50\text{nA}$, $U_{IO} = 10\text{mV}$, $U_K = 0$.
 b) Welche Spannung U_K ist erforderlich, damit $U_{20} = 0$ ist (Offsetkompensation)?

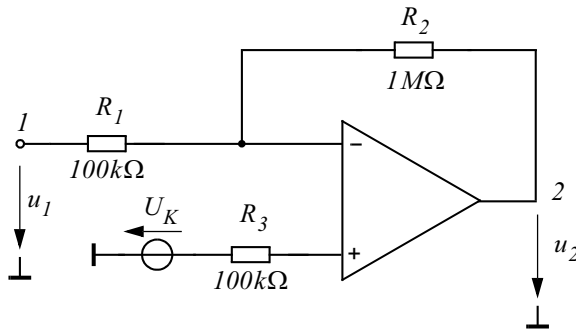


Bild Ü4-2: Beschalteter Linearverstärker mit realem DC-Verhalten

Experiment Ü4-2: DC-Analyse eines OP

Ü4.3 DC- und AC-Signaleinspeisung bei einem Linearverstärker

- a) Bestimmen Sie die DC-Komponente und die AC-Komponente der nachstehenden Schaltung an deren Ausgang.
 b) Welche Bedingungen müssen für Ruhestromkompensation erfüllt sein?

Experiment Ü4-3: DC- und AC-Analyse einer OP-Schaltung

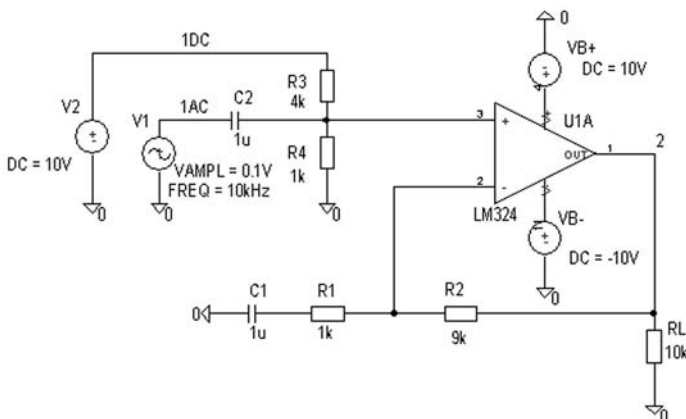


Bild Ü4-3: Schaltungsanordnung für Einspeisung eines DC- und AC-Signals

Ü4.4 Beschalteter LV mit einseitiger Versorgungsspg.

- Bestimmen Sie die DC-Übertragungskennlinie $U_2 = f(U_1)$ bei $U_Z = 2,5V$.
- Wie groß muss R_3 bei idealer Zenerdiode sein, so dass der Eingangsruhestrom des OP-Verstärkers kompensiert wird?

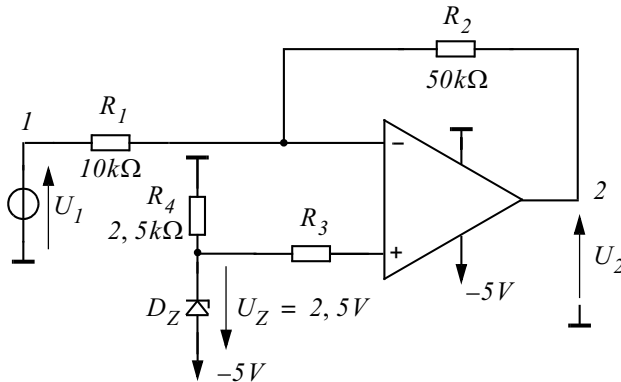


Bild Ü4-4: Beschalteter Linearverstärker mit einseitiger Versorgungsspannung

Experiment Ü4-4:DCSweep-Analyse einer OP-Schaltung mit unsymmetrischer negativer Versorgungsspannung

Zur Vereinfachung wird im Experiment die Zenerdiode durch eine ideale Spannungsquelle ersetzt.

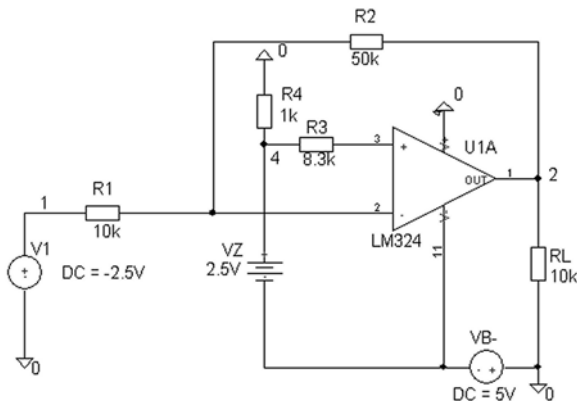


Bild Ü4-5: Experimentelle Anordnung für den beschalteten Linearverstärker mit einseitiger Versorgungsspannung

Ü4.5 Weitere Variante für einen LV mit einseitiger Versorgungsspg.

- Wie groß muss U_1 sein, dass $U_2 = 5V$ wird?
- Skizzieren Sie die DC-Übertragungsfunktion $U_2 = f(U_1)$?
- Für welchen Wert von R_X erhält man „Ruhestromkompensation“?

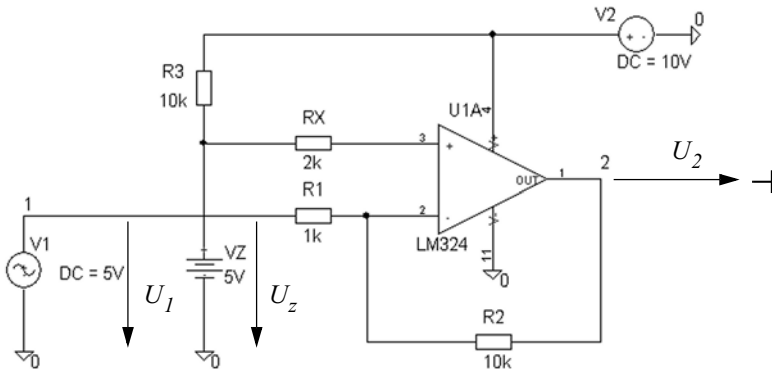


Bild Ü4-6: Linearverstärker mit einseitiger Versorgungsspannung

Experiment Ü4-5:DCSweep-Analyse einer OP-Schaltung mit unsymmetrischer positiver Versorgungsspannung

Übung 5 Rückgekoppelte Linearverstärker – AC-Analyse

Ziel ist es in dieser Übungseinheit das AC-Verhalten von Schaltungen mit rückgekoppelten Linearverstärkern zu analysieren und deren neue Eigenschaften zu ermitteln.

Ü5.1 Seriengegengekopp. LV – Frequenzg. und Eingangswiderstand

Untersuchen Sie das Übertragungsverhalten der Schaltung im Frequenzbereich.

- Skizzieren Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ (Skizze im Bodediagramm nach Betrag und Phase).
- Bestimmen Sie den Eingangswiderstand $\underline{U}_1/I_1$ der Schaltung. Wie groß ist der Eingangswiderstand bei tiefen Frequenzen?

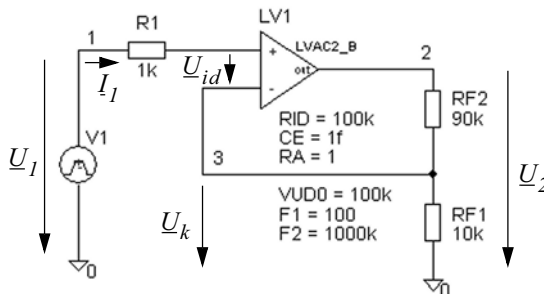


Bild Ü5-1: Seriengegengekoppelter Linearverstärker

Experiment Ü5-1: AC-Analyse eines seriengegeggekoppelten Verstärkers

Ü5.2 Spannungsfolger mit vorgeschaltetem Hochpass

- Bestimmen Sie den Widerstand Z_x ; bis zu welcher Frequenz ist Z_x gegenüber $R1$ vernachlässigbar?
- Ermitteln Sie die Übertragungsfunktion U_2/U_1 (Skizze im Bodediagramm nach Betrag und Phase) unter der Voraussetzung, dass Z_x hochohmig gegenüber $R1$ ist.

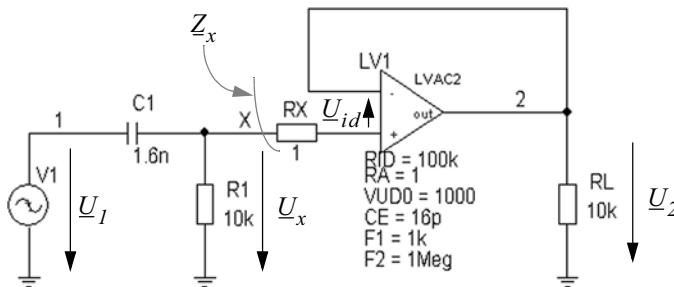


Bild Ü5-2: Spannungsfolger mit vorgeschaltetem Hochpass

Experiment Ü5-2: AC-Analyse eines Spannungsfolgers mit vorgeschaltetem Hochpass

Ü5.3 Verstärker mit vorgeschaltetem Hochpass

- Wie groß ist die Verstärkung U_2/U_3 (Skizze im Bodediagramm). Ist Z_x hier zu berücksichtigen?
- Ermitteln Sie die Übertragungsfunktion U_2/U_1 (Skizze im Bodediagramm nach Betrag und Phase) unter der Voraussetzung, dass Z_x hochohmig gegenüber $R1$ ist.

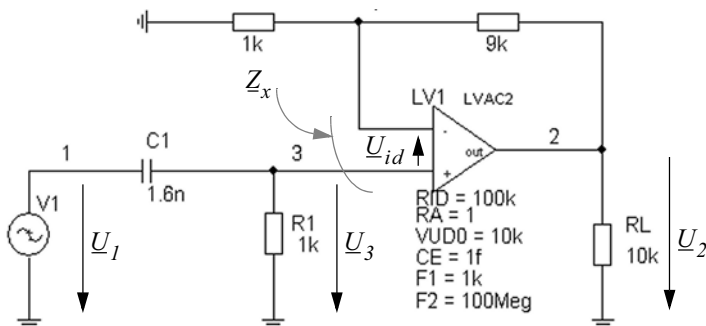


Bild Ü5-3: Verstärker mit vorgeschaltetem Hochpass

Experiment Ü5-3: AC-Analyse eines seriengegeggekoppelten Verstärkers mit vorgeschaltetem Hochpass

Ü5.4 Hochpass-Verstärker

Ermitteln Sie die Übertragungsfunktion $\underline{U}_2/\underline{U}_1$ (Skizze im Bodediagramm nach Betrag und Phase).

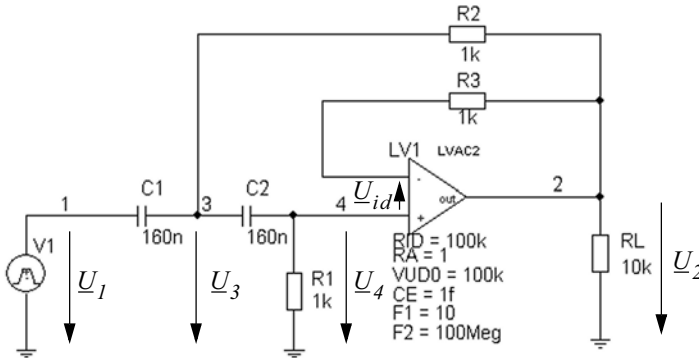


Bild Ü5-4: Hochpass-Verstärker

Experiment Ü5-4: AC-Analyse Hochpassverstärker

Ü5.5 Parallelgegekoppelter Verstärker als optischer Empfänger

Gegeben ist eine Photodiode als Photoempfänger mit einem nachgeschalteten Verstärker. Die Photodiode wird mit einem sinusförmigen zeitlichen Momentanwert einer Lichtleistung angesteuert, so dass die Photostromamplitude $10\mu A$ beträgt. Die in Sperrrichtung betriebene Photodiode weist eine Sperrschichtkapazität von $16pF$ auf.

- Geben Sie ein AC-Ersatzschaltbild der Anordnung an.
- Bestimmen Sie den Eingangswiderstand Z_x .
- Ermitteln Sie die Ausgangsspannung $\underline{U}_2$ des Photoempfängers gesteuert durch den sinusförmigen Photostrom mit der AC-Amplitude von $10\mu A$ (Skizze im Bodediagramm).

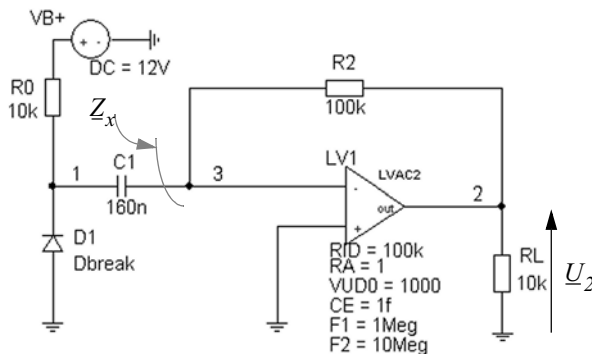


Bild Ü5-5: Photoempfänger

Experiment Ü5-5: AC-Analyse Photoempfänger

Ü5.6 Differenziator

- Bestimmen Sie Z_x und skizzieren Sie den Verlauf im Bodediagramm
- Ermitteln Sie die Übertragungsfunktion $\underline{U}_2/\underline{U}_I$ (Skizze im Bodediagramm).

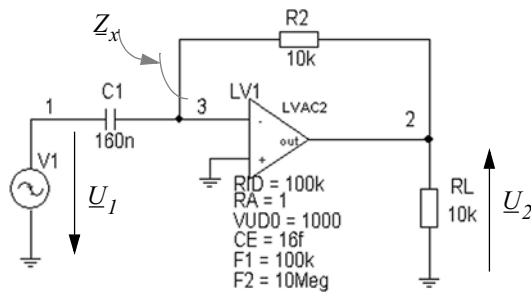


Bild Ü5-6: Differenziator

Experiment Ü5-6: AC-Analyse invertierender Differenziator

Ü5.7 Hochpass mit 40 dB pro Dekade Anstieg

Ermitteln Sie die Übertragungsfunktion $\underline{U}_2/\underline{U}_I$ (Skizze im Bodediagramm).

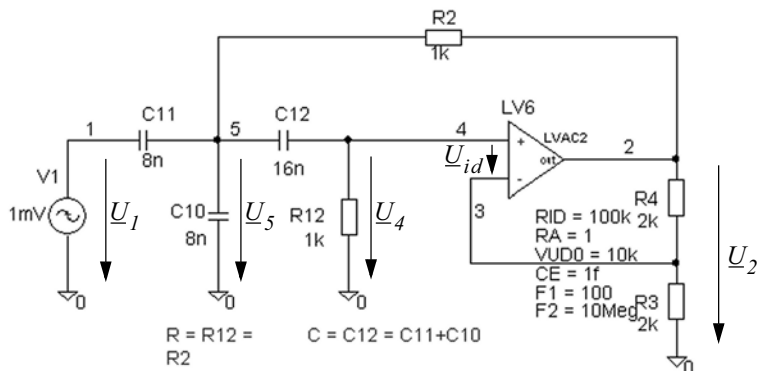


Bild Ü5-7: Hochpass mit 40dB pro Dekade Anstieg

Experiment Ü5-7: AC-Analyse Hochpassverstärker

Ü5.8 Bandpass

- Wie müsste die Schaltung für Ruhestromkompensation ergänzt werden?
- Ermitteln Sie die Übertragungsfunktion $\underline{U}_2/\underline{U}_I$ (Skizze im Bodediagramm).

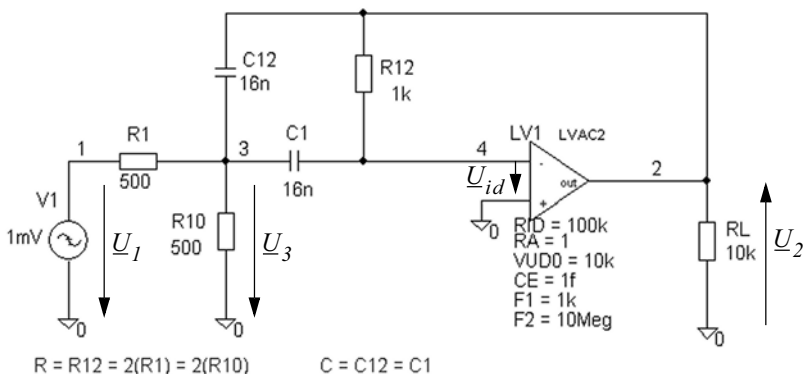


Bild Ü5-8: Bandpass

Experiment Ü5-8: AC-Analyse Bandpassverstärker

Ü5.9 Differenziator

- a) Unter welchen Bedingungen liegt Ruhestromkompensation vor?
 b) Ermitteln Sie die Übertragungsfunktion $\underline{U}_2/\underline{U}_1$ (Skizze im Bodediagramm).

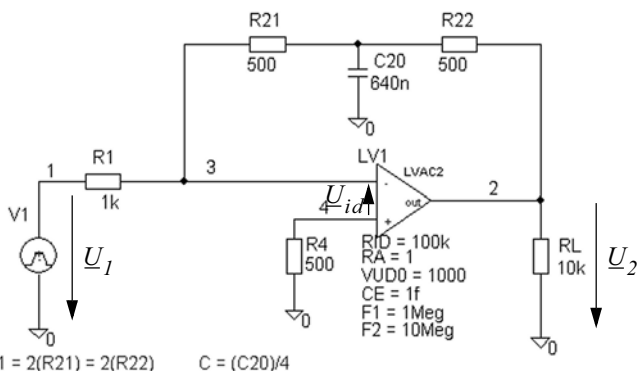


Bild Ü5-9: Differenziator

Experiment Ü5-9: AC-Analyse Differenziator

Übung 6 Rückgekoppelte LV – Stabilitätsanalyse

Ziel ist es in dieser Übungseinheit die Stabilität von Schaltungen mit rückgekoppelten Linearverstärkern zu analysieren und geeignete Maßnahmen zu diskutieren, um ein stabiles System zu erhalten (Verstärkeranwendungen) bzw. gezielt die Selbsterregung zu gewährleisten (Oszillatoranwendungen).

Ü6.1 Seriengegengekopp. LV – Stabilitätsuntersuchung

Untersuchen Sie die Stabilität der Schaltung von Aufgabe Ü5.1 im Frequenzbereich.

- Wo wird geeigneterweise zur Untersuchung der Schleifenverstärkung aufgetrennt?
- Zunächst sei $f_1 = 100\text{Hz}$, $f_2 = 10\text{kHz}$, $r_a = 0$ und $C_L = 0$. Skizzieren Sie die Schleifenverstärkung $\underline{U}_k/\underline{U}_I$ (Skizze im Bodediagramm nach Betrag und Phase). Welche Phasenreserve liegt vor? Ist das gegengekoppelte System stabil?
- Sodann ist $r_a = 1\text{k}\Omega$ und $C_L = 1,6\text{nF}$ zu berücksichtigen. Skizzieren Sie die Schleifenverstärkung $\underline{U}_k/\underline{U}_I$ (Skizze im Bodediagramm nach Betrag und Phase). Welche Phasenreserve liegt vor? Ist das System stabil?

Experiment Ü6-1a: AC-Analyse bei $r_a = 0$ und $C_L = 0$.

Experiment Ü6-1b: AC-Analyse bei $r_a = 1\text{k}\Omega$ und $C_L = 1,6\text{nF}$.

Experiment Ü6-1: TR-Analyse bei $r_a = 1\text{k}\Omega$ und $C_L = 1,6\text{nF}$.

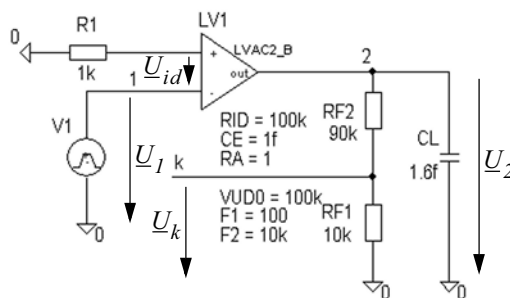


Bild Ü6-1: Seriengegengekoppelter Linearverstärker aufgetrennt am -Eingang

Ü6.2 Spannungsfolger mit realem Verstärker und Frequenzkomp.

Gegeben ist ein Spannungsfolger. Der Geradeausverstärker des Spannungsfolgers besteht aus zwei Stufen. Die erste Verstärkerstufe sei eine gesteuerte Spannungsquelle mit Verstärkung $v1 = 100$, einem Innenwiderstand von $R_{i1} = 100\text{k}\Omega$ und einer inneren Ausgangskapazität von $C_{i1} = 160\text{pF}$. Die zweite Stufe sei ebenfalls eine gesteuerte Spannungsquelle mit einer Verstärkung von $v2 = 1$ und einem Innenwiderstand von $R_{i2} = 100\Omega$. Am Ausgang der zweiten Stufe möge eine Lastkapazität C_L von 16nF wirken. Mittels einer Kompensationskapazität C_k am Ausgang der ersten Stufe kann der Frequenzgang des Geradeausverstärkers beeinflusst werden.

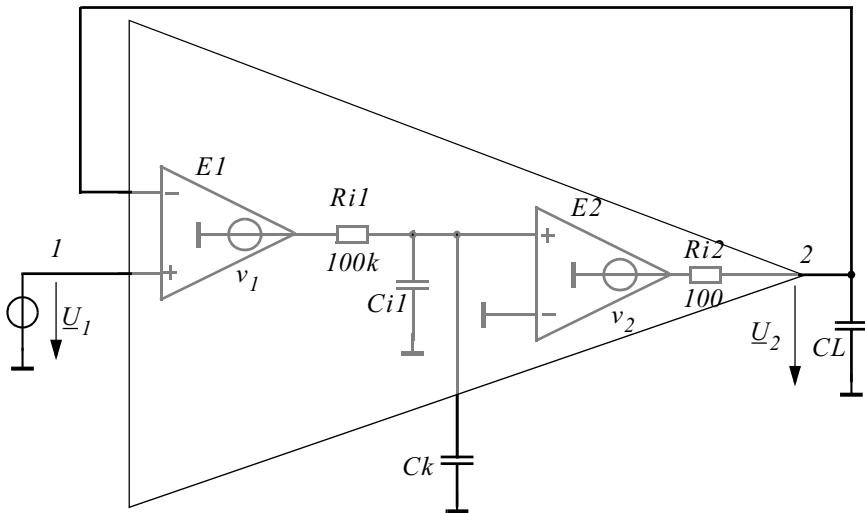


Bild Ü6-2: Spannungsfolger mit realem Geradeausverstärker

- Geben Sie ein Makromodell des Spannungsfolgers unter Verwendung von EVALUE für gesteuerte Spannungsquellen an.
- Untersuchen Sie die Stabilität des Spannungsfolgers bei $C_k = 0$.
- Wie muss C_k gewählt werden, um eine Phasenreserve von etwa größer 45° zu erreichen?

Experiment Ü6-2a: AC-Analyse ohne C_k .

Experiment Ü6-2b: AC-Analyse mit C_k .

Experiment Ü6-2: TR-Analyse ohne und mit Einfluss von C_k .

Ü6.3 Differenziator – Stabilitätsuntersuchung

Untersuchen Sie die Stabilität der Schaltung.

- Wo wird geeignet aufgetrennt zur Ermittlung der Schleifenverstärkung?
- Geben Sie die Schleifenverstärkung an (Skizze im Bodediagramm nach Betrag und Phase).
- Mit welchen Maßnahmen verbessert man die Stabilität ohne die Schaltungsfunktion wesentlich zu beeinträchtigen?

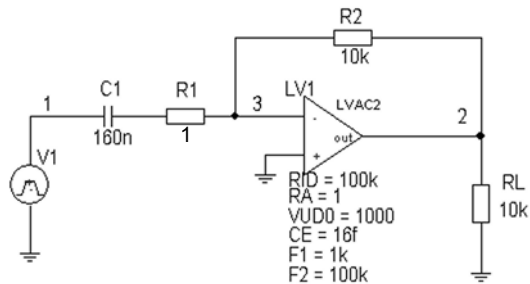


Bild Ü6-3: Differenziator

Experiment Ü6-3a: AC-Analyse ohne R1.

Experiment Ü6-3b: AC-Analyse mit R1.

Experiment Ü6-3: TR-Analyse ohne und mit Einfluss von R1.

Ü6.4 Wienbrückenoszillator – Stabilitätsuntersuchung

- Wo wird geeignet aufgetrennt zur Ermittlung der Schleifenverstärkung?
- Geben Sie die Schleifenverstärkung an (Skizze im Bodediagramm nach Betrag und Phase).
- Unter welchen Voraussetzungen schwingt die Schaltung?

Experiment Ü6-4a: AC-Analyse bei offener Rückkopplungsschleife.

Experiment Ü6-4: TR-Analyse mit Selbsterregung.

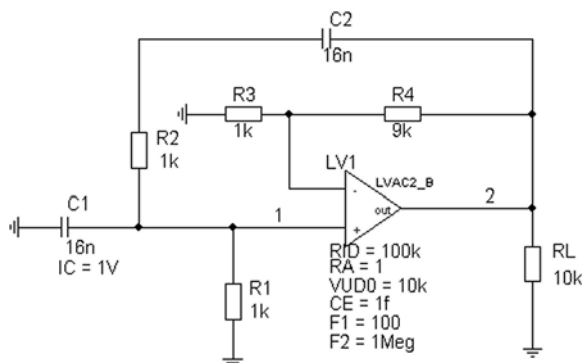


Bild Ü6-4: Wienbrückenoszillator

Ü6.5 Hochpass-Verstärker – Stabilitätsuntersuchung

Untersuchen Sie die Stabilität der Schaltung.

- Wo wird geeignet aufgetrennt zur Ermittlung der Schleifenverstärkung?
- Geben Sie die Schleifenverstärkung an (Skizze im Bodediagramm nach Betrag und Phase).

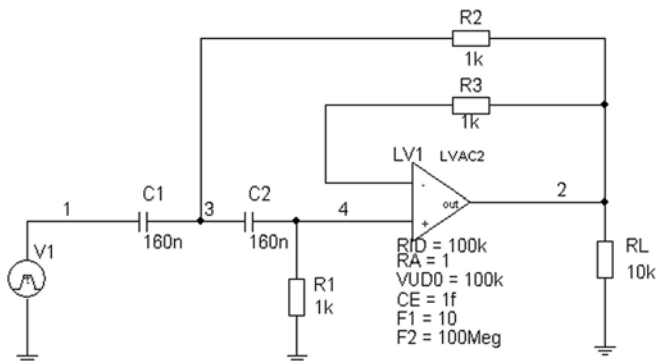


Bild Ü6-5: Hochpass-Verstärker

Experiment Ü6-5a: AC-Analyse bei offener Rückkopplungsschleife.

Experiment Ü6-5: TR-Analyse bei geschlossener Schleife.

Ü6.6 Bandpass – Stabilitätsuntersuchung

Untersuchen Sie die Stabilität der Schaltung.

- Wo wird geeignet aufgetrennt zur Ermittlung der Schleifenverstärkung?
- Geben Sie die Schleifenverstärkung an (Skizze im Bodediagramm nach Betrag und Phase).

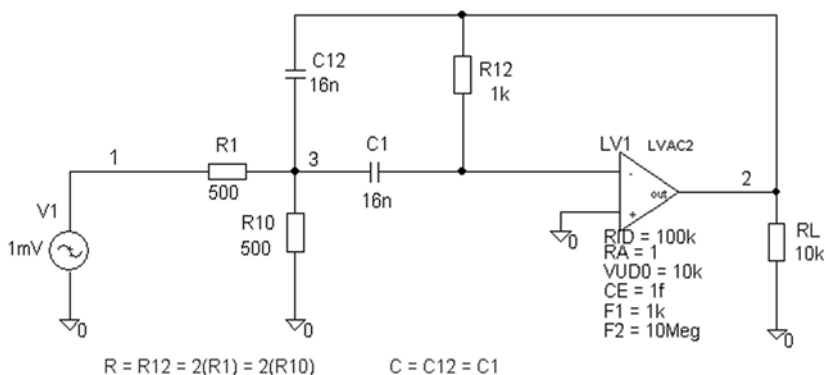


Bild 8.4-9: Bandpass

Experiment Ü6-6a: AC-Analyse bei offener Rückkopplungsschleife.

Experiment Ü6-6: Bandpass bei geschlossener Schleife.

Ü6.7 Colpittsoszillator – Stabilitätsuntersuchung

- Wo wird geeignet aufgetrennt zur Ermittlung der Schleifenverstärkung? Geben Sie ein Makromodell mit einer spannungsgesteuerten Stromquelle an.
- Ermitteln und untersuchen Sie die Schleifenverstärkung (Skizze im Bodediagramm nach Betrag und Phase).
- Unter welchen Voraussetzungen schwingt die Schaltung?

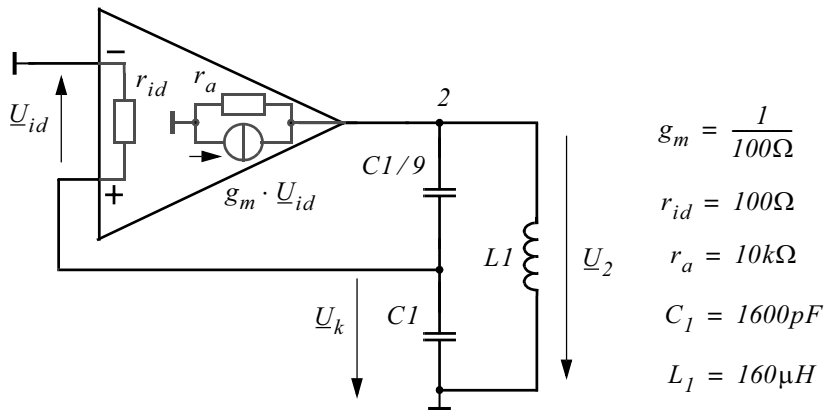


Bild Ü6-6: Colpittsoszillator

Experiment Ü6-7a: AC-Analyse bei offener Rückkopplungsschleife.

Experiment Ü6-7: TR-Analyse mit Selbsterregung.

Übung 7 Bipolartransistorschaltungen

In dieser Übungseinheit geht es darum, Schaltungen mit Bipolartransistoren zu analysieren und deren Eigenschaften zu ermitteln. Als erstes ist immer eine DC-Analyse zur Bestimmung des Arbeitspunktes durchzuführen. Bei einigen Beispielen erfolgt auch eine Analyse der Stabilität des Arbeitspunktes bei Temperaturänderung. Als nächstes erfolgt eine AC-Analyse im Arbeitspunkt unter Zugrundelegung eines linearen Modells. Hier geht es vor allem um das Abschätzen von Schnittstelleneigenschaften und Eigenschaften, die das Übertragungsverhalten der Schaltung betreffen.

Ü7.1 Resonanzverstärker

DC-Analyse:

a) Bestimmen Sie den Arbeitspunkt des Transistors und geben Sie die Arbeitsgerade (DC und AC bei Resonanz) im Ausgangskennlinienfeld an. Wie groß ist die maximale Aussteuerbarkeit?

b) Ermitteln Sie bei einer Temperaturerhöhung von 25°C auf 125°C den geänderten Arbeitspunktstrom. Wie könnte man die Arbeitspunktstabilität verbessern?

AC-Analyse:

c) Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ und den Eingangswiderstand $\underline{U}_1/I_1$.

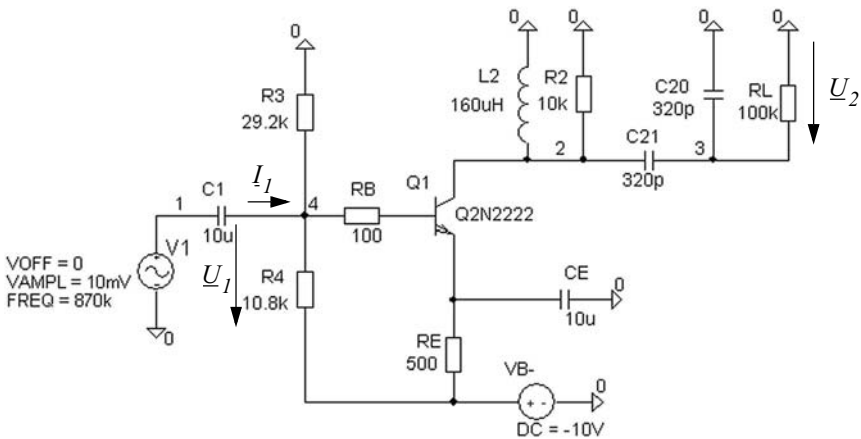


Bild Ü7-1: Resonanzverstärker

Experiment Ü7-1: DC/AC/TR-Analyse mit dem SimulationProfile „DC“, „AC“ bzw. „TR“.

Ü7.2 Parallelgegekoppelter Verstärker

DC-Analyse:

a) Bestimmen Sie den Arbeitspunkt des Transistors und geben Sie die Arbeitsgerade im Ausgangskennlinienfeld an. Wie groß ist die maximale Aussteuerbarkeit?

b) Ermitteln Sie bei einer Temperaturerhöhung von 25°C auf 125°C den geänderten Arbeitspunktstrom.

AC-Analyse:

c) Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ und den Eingangswiderstand $\underline{U}_1/I_1$, sowie $\underline{Z}_x$.

Experiment Ü7-2: DC/AC-Analyse mit dem SimulationProfile „DC“ bzw. „AC“.

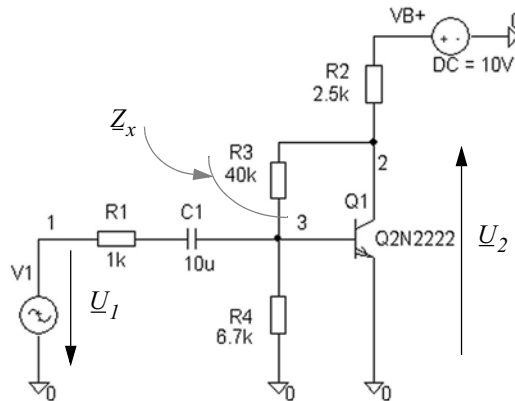


Bild Ü7-2: Parallelgegekoppelter Verstärker

Ü7.3 Parallelgegekoppelter Verstärker mit zwei Transistoren

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.
- Wie ändern sich die Arbeitspunkte bei einer Temperaturerhöhung von 25°C auf 125°C .

AC-Analyse:

- Bestimmen Sie die Verstärkung U_2/U_I und den Eingangswiderstand U_I/I_I , sowie Z_x , Z_y , Z_4 .

Experiment Ü7-3: DC/AC-Analyse mit dem jeweiligen SimulationProfile.

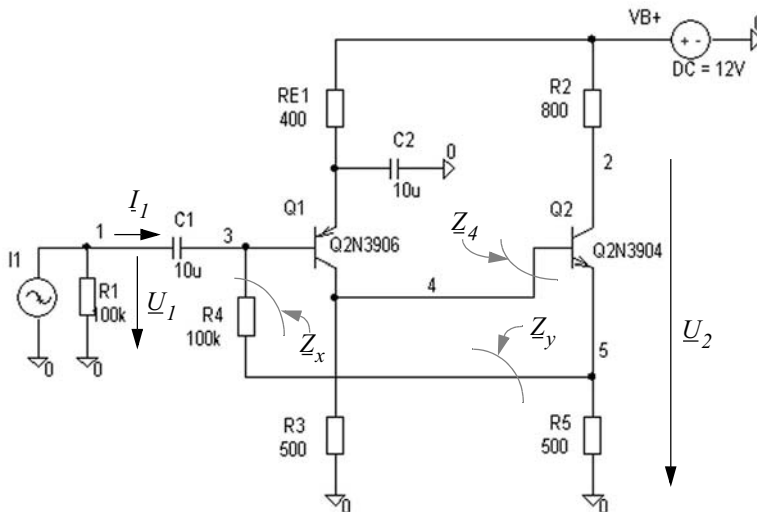


Bild Ü7-3: Parallelgegekoppelter Verstärker mit zwei Transistoren

Ü7.4 Verstärker mit hochohmigem Eingangswiderstand

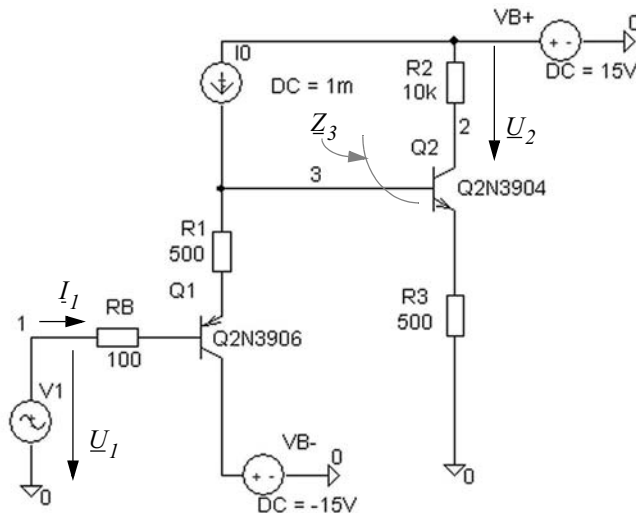


Bild Ü7-4: Verstärker mit zwei Transistoren und hochohmigem Eingang

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.
- Wie groß müsste R_2 dimensioniert werden, um größtmögliche Aussteuerung zu erzielen?

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_I$ und den Eingangswiderstand $\underline{U}_I/I_I$, sowie $\underline{Z}_3$.

Experiment Ü7-4: DC/AC-Analyse mit dem jeweiligen SimulationProfile.

Ü7.5 Detektorverstärker

DC-Analyse:

- Bestimmen Sie den Arbeitspunkt des Transistors und geben Sie dessen Übertragungskennlinie an.

TR-Analyse:

- Geben Sie die zeitlichen Momentanwerte der Spannungen u_3 und u_2 , sowie des Strom i_C an, bei einer sinusförmigen Ansteuerung mit $u_I = 1V \cdot \sin(\omega t)$.

Experiment Ü7-5: DC/TR-Analyse mit dem jeweiligen SimulationProfile.

Experiment Ü7-5a: DC Sweep-Analyse.

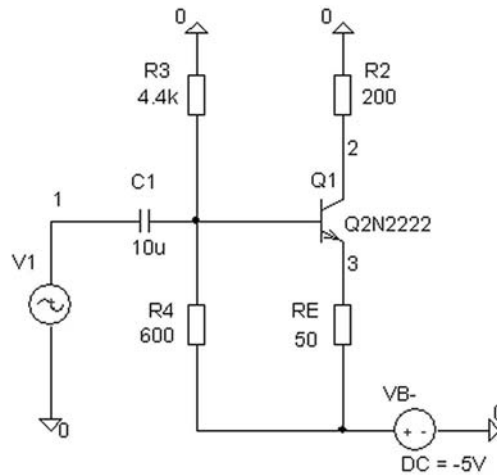


Bild Ü7-5: Detektorverstärker

Ü7.6 Verstärker mit Stromspiegel

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.
- Wie groß müsste $R2$ dimensioniert werden, um größtmögliche Aussteuerung zu erzielen?

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_I$ und den Eingangswiderstand $\underline{Z}_I$, sowie $\underline{Z}_3$ und $\underline{Z}_x$.

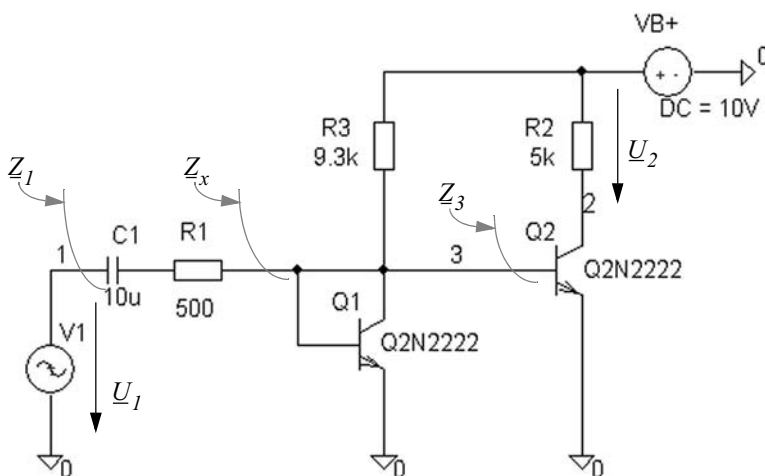


Bild Ü7-6: Verstärker mit Stromspiegel

Experiment Ü7-6: DC/AC-Analyse mit dem jeweiligen SimulationProfile.

Ü7.7 Verstärker mit Stromqu. zur Arbeitspunkteinst. im Kollektorpfad

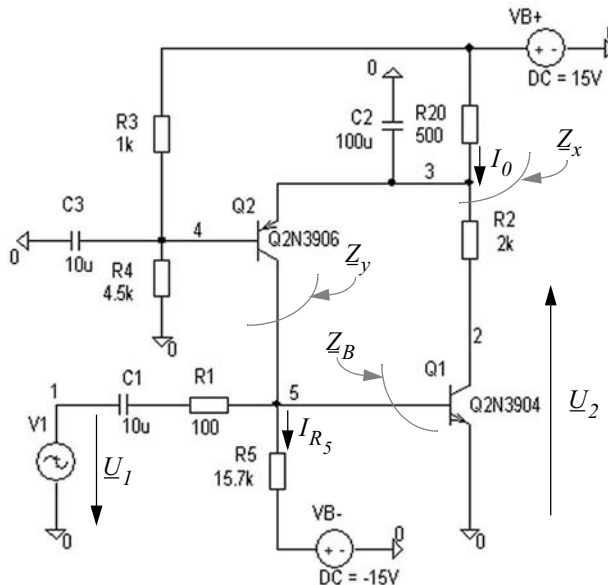


Bild Ü7-7: Verstärker mit Stromquelle zur Arbeitspunkteinstellung

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren und beurteilen Sie die Arbeitspunktstabilität.
- Wie groß müsste $R2$ dimensioniert werden, um größtmögliche Aussteuerung zu erzielen?

AC-Analyse:

- Im unteren Frequenzbereich ist $C2$ nicht wirksam, ermitteln Sie in diesem Fall Z_x und Z_y .
- Bestimmen Sie die Verstärkung U_2/U_1 und die Wirkung der Sperrschichtkapazität C_C von $Q1$, wenn $C2$ einen idealen Kurzschluss darstellt.

Experiment Ü7-7: DC/AC-Analyse mit dem jeweiligen SimulationProfile.

Ü7.8 Verstärker mit Darlingtonstufe

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.
- Wie groß müsste RC dimensioniert werden, um größtmögliche Aussteuerung zu erzielen?

AC-Analyse:

- c) Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ bei unteren Frequenzen, wenn CE unwirksam ist und geben Sie dabei die Impedanz $\underline{Z}_3$ an; $C1$ möge einen idealen Kurzschluss gegenüber der Eingansimpedanz darstellen.
- d) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ bei mittleren Frequenzen, wenn CE wirksam ist und geben Sie dabei die Impedanz $\underline{Z}_3$ an; $C1$ möge einen idealen Kurzschluss gegenüber der Eingansimpedanz darstellen; wie groß ist $\underline{Z}_1$?

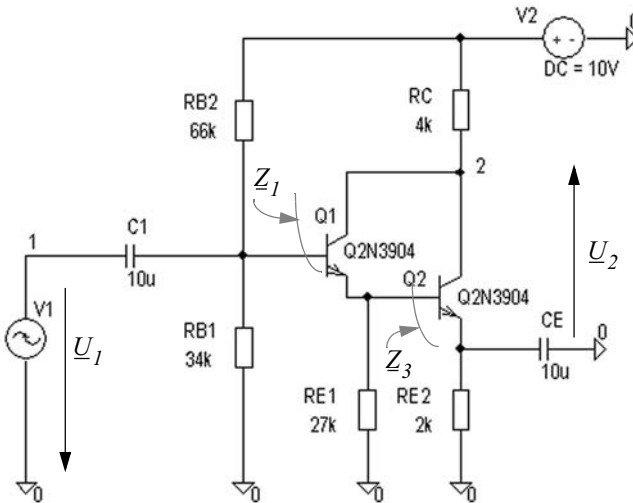


Bild Ü7-8: Verstärker mit Darlingtonstufe

Experiment Ü7-8: DC/AC-Analyse mit dem jeweiligen SimulationProfile.

Ü7.9 Seriengegengekoppelter zweistufiger Transistorverstärker

- a) DC-Analyse: Bestimmen Sie die Arbeitspunkte der Transistoren.
AC-Analyse:
- b) Wie groß ist die Impedanz $\underline{Z}_3$ und wie groß ist $\underline{Z}_4$?
- c) Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ bei mittleren Frequenzen, wenn die Blockkapazitäten wirksam sind.

Experiment Ü7-9: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

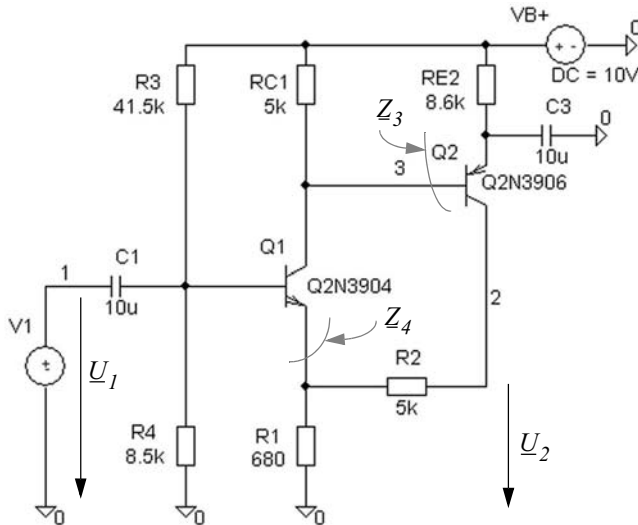


Bild Ü7-9: Seriengengekoppelter zweistufiger Transistorverstärker

Ü7.10 Spannungsquelle realisiert mit einem Bipolartransistor

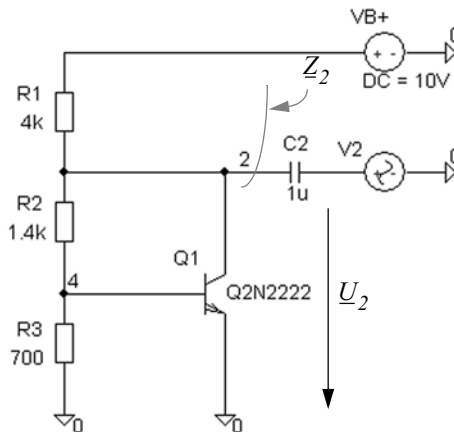


Bild Ü7-10: Testbench zur Bestimmung des Innenwiderstands der Spannungsquelle

- DC-Analyse: Bestimmen Sie den Arbeitspunkt des Transistors und die Leerlaufspannung der Spannungsquelle.
- AC-Analyse: Wie groß ist der Innenwiderstand Z_2 der Spannungsquelle?

Experiment Ü7-10: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Übung 8 Feldeffekttransistorschaltungen

Nach Behandlung von Schaltungen mit Bipolartransistoren geht es in dieser Übungseinheit darum, Schaltungen mit Feldeffekttransistoren zu analysieren und deren Eigenschaften zu ermitteln. Auch hier ist als erstes immer eine DC-Analyse zur Bestimmung des Arbeitspunktes durchzuführen. In einigen Beispielen wird auch eine Analyse der Stabilität des Arbeitspunktes durchgeführt. Als nächstes erfolgt eine AC-Analyse im Arbeitspunkt unter Zugrundelegung eines linearen Modells. Im Vordergrund steht das Abschätzen von Schnittstelleneigenschaften und Eigenschaften, die das Übertragungsverhalten der Schaltung betreffen.

Ü8.1 Verstärker in Sourcegrundschaltung

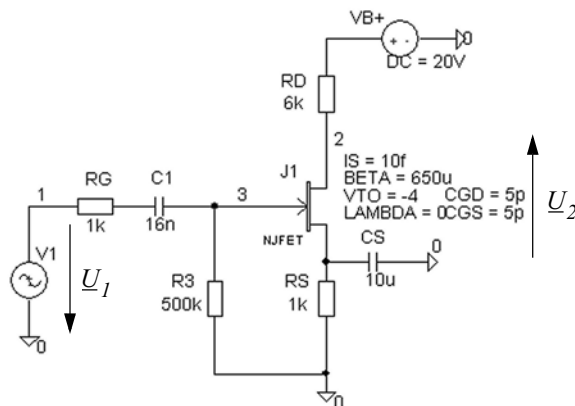


Bild Ü8-1: JFET-Verstärker in Sourcegrundschaltung

DC-Analyse:

- Geben Sie eine Testbench an zur Bestimmung der Kennlinien des Feldeffekttransistors.
- Bestimmen Sie den Arbeitspunkt des Feldeffekttransistors und geben Sie die Arbeitsgerade im Ausgangskennlinienfeld an. Wie groß ist die maximale Aussteuerbarkeit? Wie müsste R_D ausgelegt werden, um größtmögliche Aussteuerbarkeit zu erzielen?

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ und den Eingangswiderstand $\underline{U}_1/\underline{I}_1$.
- Wie muss die Schaltung verändert werden, um aus dem Verstärker in Sourcegrundschaltung einen Verstärker in Gategrundschaltung zu realisieren? Wie groß ist in diesem Fall der Eingangswiderstand?

Experiment Ü8-1: Source-Grundschaltung; DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Experiment Ü8-1b: Testbench für die Ermittlung der Kennlinien des FET; DCSweep-Analyse mit dem Simulation Profile „DCSweep1“ und „DCSweep2“.

Experiment Ü8-1c: Gate-Grundschtaltung; AC-Analyse mit dem Simulation Profile „AC“.

Ü8.2 Der Feldeffekttransistor als Stromquelle

DC-Analyse:

a) Bestimmen Sie den Arbeitspunkt des Feldeffekttransistors bei $R_3 = 10k\Omega$ und $R_S = 1240\Omega$. Wie groß ist die Mindestspannung an Knoten 2, so dass der Transistor als Stromquelle arbeitet?

b) Wie verändert sich der Arbeitspunkt bei $R_3 = 5k\Omega$ und bei $R_3 = 18k\Omega$?

c) Wie verändert sich der Arbeitspunkt bei $R_S = 980\Omega$ und bei $R_S = 1600\Omega$? Geben Sie dabei die Mindestspannung an Knoten 2 an für den ungünstigsten Fall.

AC-Analyse:

d) Ermitteln Sie den Innenwiderstand der Stromquelle für $R_3 = 10k\Omega$ und $R_S = 1240\Omega$.

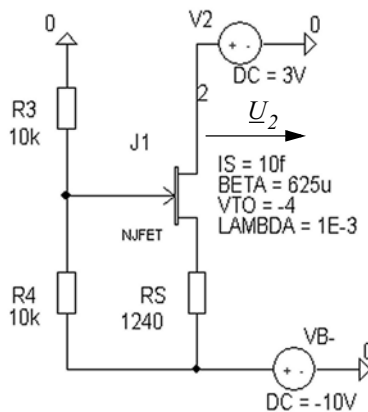


Bild Ü8-2: JFET als Stromquelle

Experiment Ü8-2: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü8.3 Der Feldeffekttransistor als Sourcefolger

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Feldeffekttransistoren. Geben Sie für die graphische Lösung eine Testbench für den P-JFET zur Ermittlung der Übertragungskennlinie an. Wie groß ist der Aussteuerbereich an Knoten 2?

AC-Analyse:

b) Ermitteln Sie die Verstärkung von Knoten 1 nach Knoten 2. Wie groß ist der Innenwiderstand Z_2 des Sourcefolgers am Ausgang?

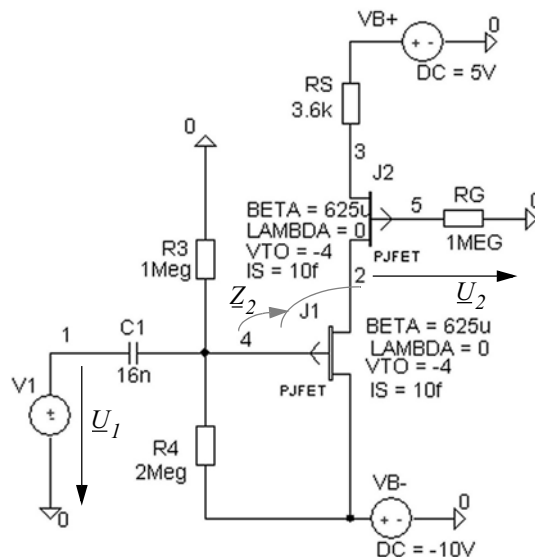


Bild Ü8-3: P-JFET als Sourcefolger mit Konstantstromquelle zur Arbeitspunkteinstellung

Experiment Ü8-3: Sourcefolger; DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Experiment Ü8-3b: Kennlinien des P-Kanal FET; DCSweep-Analyse mit dem Simulation Profile „DCSweep“.

Experiment Ü8-3c: Testbench für die Ermittlung des Innenwiderstands des Sourcefolgers; AC-Analyse mit dem Simulation Profile „AC“.

Ü8.4 NMOS-Verstärker mit Stromquelle im Lastkreis

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Feldeffekttransistoren. Geben Sie für die graphische Lösung eine Testbench für den NMOS Transistor zur Ermittlung der Übertragungskennlinie an. Wie groß ist der Aussteuerbereich an Knoten 2 ?

AC-Analyse:

b) Der Innenwiderstand des NMOS Feldeffekttransistors beträgt $r_{DS,J1} = 1M\Omega$. Ermitteln Sie die Verstärkung von Knoten 1 nach Knoten 2. Wie groß ist die Zweigimpedanz Z_2 ?

c) Bestimmen Sie den Eingangswiderstand Z_1 .

Experiment Ü8-4: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

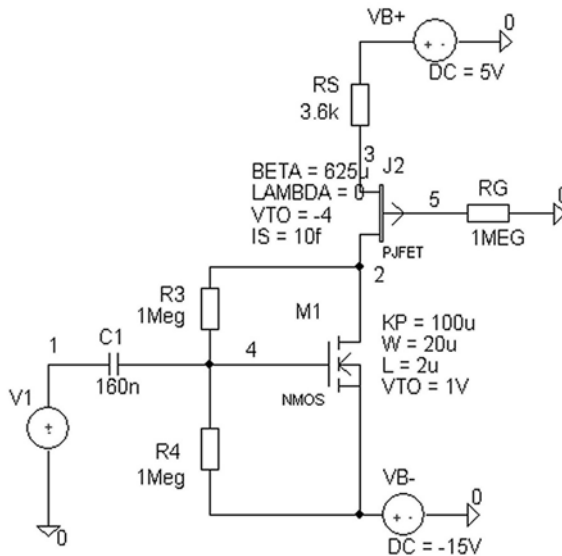


Bild Ü8-4: NMOS-Verstärker mit Konstantstromquelle zur Arbeitspunkteinstellung im Lastkreis

Ü8.5 Zweistufiger Verstärker mit P-JFET und Bipolartransistor

- DC-Analyse: Bestimmen Sie die Arbeitspunkte der Transistoren. Wie groß ist der Aussteuerbereich an Knoten 2?
- AC-Analyse: Ermitteln Sie die Verstärkung von Knoten 1 nach Knoten 2?

Experiment Ü8-5: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü8.6 Mehrstufiger Mikrofonverstärker

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

- Bilden Sie ein Makromodell für die mehrstufige Verstärkeranordnung.
- Ermitteln Sie die „innere“ Verstärkung von Knoten 3 nach Knoten 2. Wie groß ist die Zweigimpedanz Z_3 ? Wie groß ist die Gesamtverstärkung von Knoten 1 nach Knoten 2?

Experiment Ü8-6: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

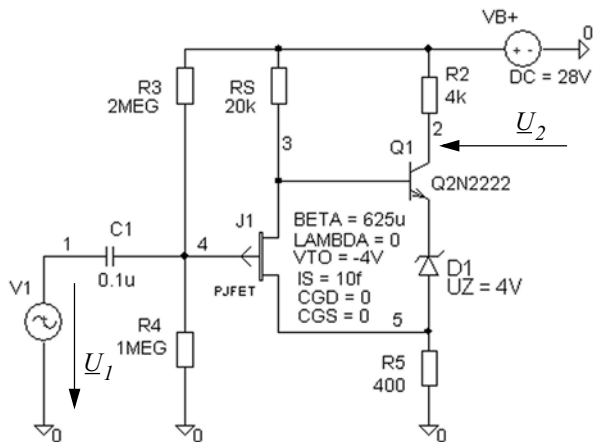


Bild Ü8-5: Zweistufiger Verstärker mit P-JFET und Bipolartransistor

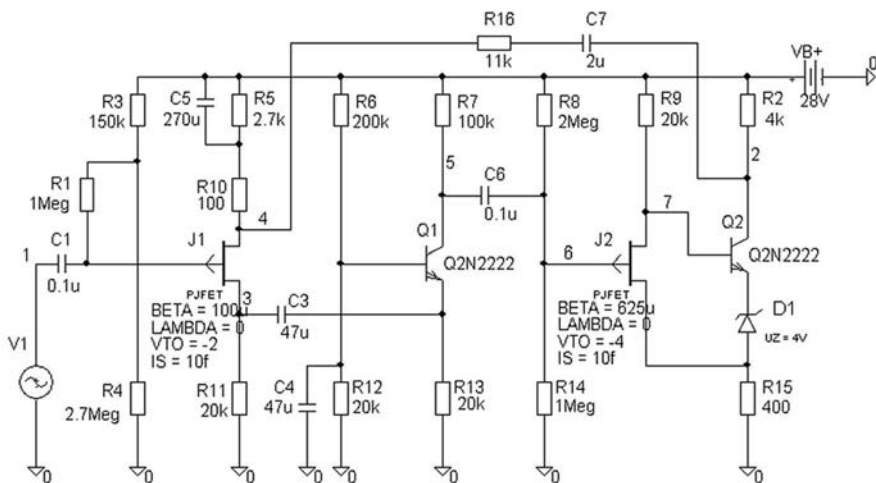


Bild Ü8-6: Mehrstufiger Mikrofonverstärker

Ü8.7 Seriengegengek. zweistufiger Verstärker mit N-JFET und BJT

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

b) Ermitteln Sie die Verstärkung von Knoten 1 nach Knoten 2. Wie groß ist die Zweigimpedanz Z_3 ?

Experiment Ü8-7: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

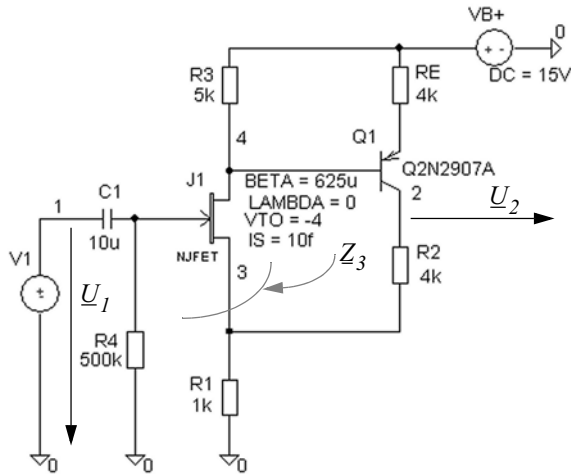


Bild Ü8-7: Seriengengekoppelter zweistufiger Verstärker mit N-JFET und Bipolartransistor

Ü8.8 Phasenempfindlicher Gleichrichter mit NMOS-Schalter

TR-Analyse:

- Erläutern Sie die Funktionsweise der Schaltung.
- Steuern Sie den NMOS-Schalter so, dass die positive Halbwelle mit $-I$ verstärkt wird und die negative Halbwelle mit $+I$. Damit stellt sich ein Gleichrichtereffekt ein. Bis zu welcher Amplitude funktioniert die Schaltung?

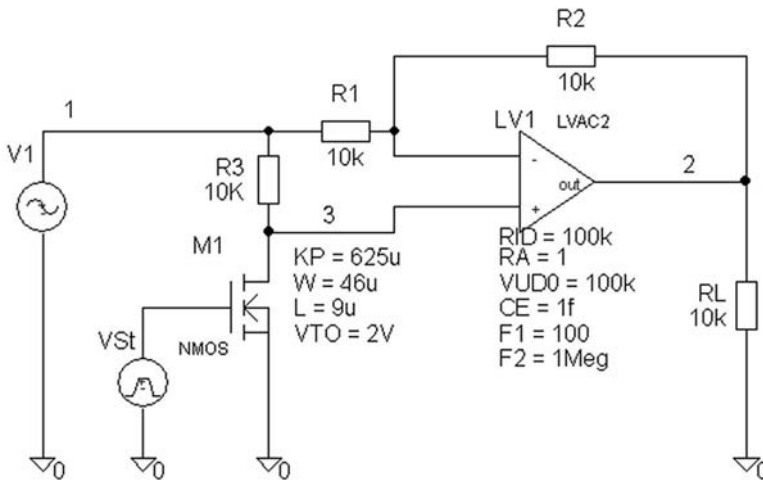


Bild Ü8-8: Phasenempfindlicher Gleichrichter mit NMOS-Schalter

Experiment Ü8-8: TR-Analyse mit dem Simulation Profile „TR“.

Übung 9 Differenzstufen

Differenzstufen sind wichtige Funktionsgrundsaltungen u.a. in Verstärkeranwendungen. Anhand typischer Anwendungsschaltungen werden die Eigenschaften von Differenzstufen in praktischen Beispielen aufgezeigt.

Ü9.1 Einfache emittergekoppelte Differenzstufe

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren. Wie groß ist die maximale Aussteuerbarkeit? Wie müsste RC ausgelegt werden, um größtmögliche Aussteuerbarkeit zu erzielen?

AC-Analyse:

b) Bestimmen Sie die Differenzverstärkung $\underline{U}_{22'}/\underline{U}_{11'}$ und den Differenzeingangswiderstand $\underline{Z}_{11'}$; wie groß ist $\underline{Z}_x$?

c) Wie muss die Beschaltung des Eingangssignals vorgenommen werden für Gleichtaktansteuerung? Bestimmen Sie die Gleichtaktverstärkung $\underline{U}_2/\underline{U}_1$ und den Gleichtakteingangswiderstand $\underline{Z}_{11}$.

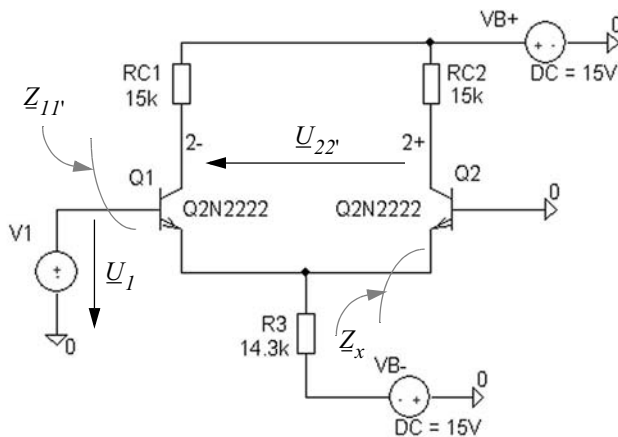


Bild Ü9-1: Einfache emittergekoppelte Differenzstufe

Untersuchung der Schaltungseigenschaften des Differenzverstärkers mit Differenzansteuerung ohne Gleichtaktanteil:

Experiment Ü9-1: Differenzansteuerung ohne Gleichtaktanteil; DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Experiment Ü9-1b: Gleichtaktansteuerung; DC/AC-Analyse mit dem Simulation jeweiligen Profile.

Ü9.2 Einfache sourcegekoppelte Differenzstufe

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren. Wie groß ist die maximale Aussteuerbarkeit? Wie müsste RD ausgelegt werden, um größtmögliche Aussteuerbarkeit zu erzielen?

AC-Analyse:

b) Bestimmen Sie die Differenzverstärkung $U_{22'}/U_{I1}$ bzw. U_2/U_1 ; wie groß ist Z_x ?

c) Bestimmen Sie die Gleichtaktverstärkung U_2/U_{I1} .

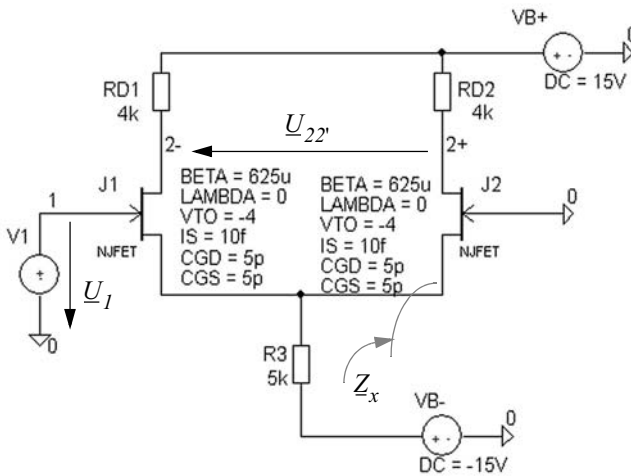


Bild Ü9-2: Einfache sourcegekoppelte Differenzstufe

Experiment Ü9-2: Differenzansteuerung ohne Gleichtaktanteil; DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Experiment Ü9-2b: Gleichtaktansteuerung; DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü9.3 Sourcegekoppelte Differenzstufe mit nachfolg. Verstärkerstufe

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren. Ermitteln Sie die maximale Aussteuerbarkeit an Knoten 3 mittels Schaltkreissimulation.

AC-Analyse:

b) Bestimmen Sie die Verstärkung U_3/U_1 und U_2/U_1 .

c) Wie müsste die Schaltung verändert werden, um die Abschwächung des Signals über $R3$ und $R4$ zu vermeiden, so dass trotzdem das Ausgangspotenzial bei Null im Arbeitspunkt ist?

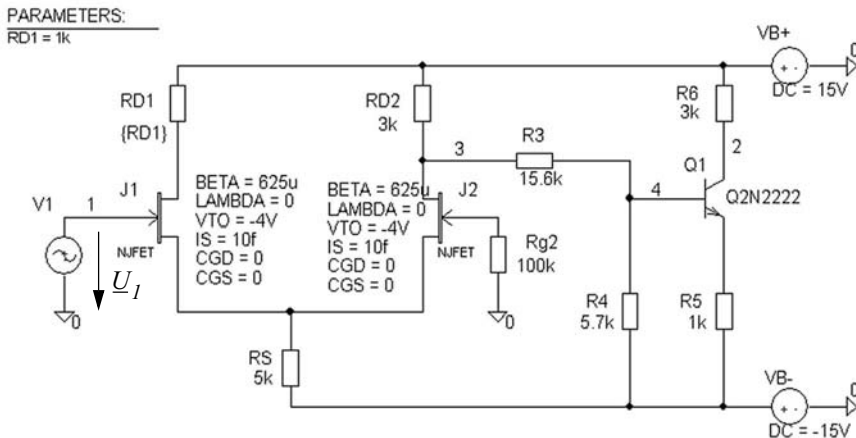


Bild Ü9-3: Sourcegekoppelte Differenzstufe mit nachfolgender Verstärkerstufe

Experiment Ü9-3: DC/DCSweep/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü9.4 Unsymmetrisch versorgte emittergekoppelte Differenzstufe

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren. Ermitteln Sie den optimalen Lastwiderstand der Differenzstufe für maximale Aussteuerbarkeit an Knoten 2.
- Wofür ist der Widerstand $R4$ erforderlich? Wie könnte das zugrundeliegende Problem anders gelöst werden?

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_{22}/\underline{U}_1$ bzw. $\underline{U}_2/\underline{U}_1$.
- Wie groß ist der Eingangswiderstand $\underline{Z}_{11}$ und die Zweigimpedanz $\underline{Z}_x$?
- Was bewirken die Widerstände $RE1$ und $RE2$?

Experiment Ü9-4: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü9.5 Gegengekoppelter Verstärker mit emittergek. Differenzstufe

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_{22}/\underline{U}_{11}$ bzw. $\underline{U}_2/\underline{U}_1$, sowie die „innere“ Geradeausverstärkung.
- Wie groß ist der Eingangswiderstand $\underline{Z}_{11}$?
- Geben Sie ein Makromodell für die zweistufige Verstärkerstufe an.

Experiment Ü9-5: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

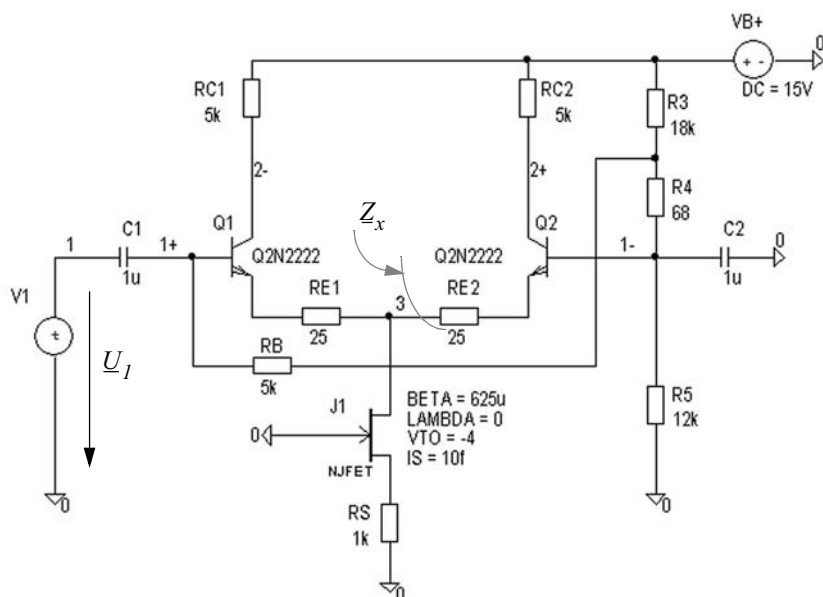


Bild Ü9-4: Emitttergekoppelte Differenzstufe mit einseitiger Versorgungsspannung

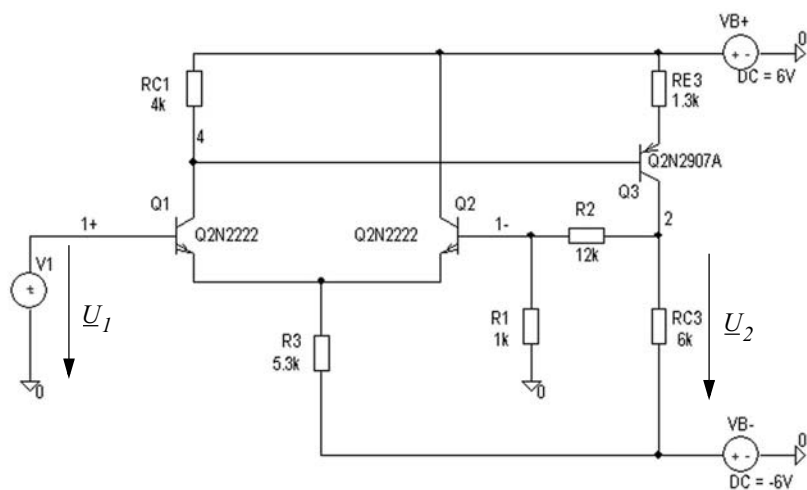


Bild Ü9-5: Gegengekoppelter Verstärker mit emitttergekoppelter Differenzstufe

Ü9.6 Frequenzkomp. Differenzstufe mit Stromquellensteuerung

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren bei $U_{St} = 10V$.
- Führen Sie eine DCSweep-Analyse durch und geben Sie dabei die Kollektorströme von $Q1$ und $Q2$ an bei $U_{St} = 1V, 5V$ und $10V$.

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_{22}/\underline{U}_{11}$ bzw. $\underline{U}_2/\underline{U}_1$ bei $U_{St} = 1V, 5V$ und $10V$.

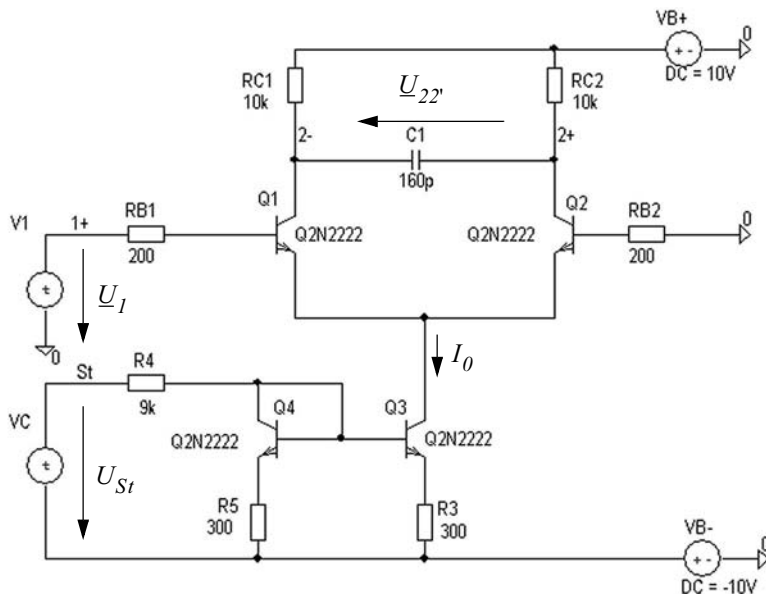


Bild Ü9-6: Frequenzkompensierte emittergekoppelte Differenzstufe mit gesteuerter Stromquelle

Experiment Ü9-6: DC/AC/DCSweep-Analyse mit dem jeweiligen Simulation Profile.

Ü9.7 Emittergek. Differenzst. – basisgek. Diff. als Stromquelle im LK

DC-Analyse:

- Bestimmen Sie die Arbeitspunkte der Transistoren.
- Führen Sie eine DCSweep-Analyse durch und geben Sie dabei die Ausgangsspannung an Knoten 2 an.

AC-Analyse:

- Bestimmen Sie die Verstärkung $\underline{U}_2/\underline{U}_{1+}$ und den Eingangswiderstand an Knoten $1+$. Wie teilt sich die Eingangsspannung $\underline{U}_1$ auf die Steuerspannungen von $Q1$ und $Q2$ auf?

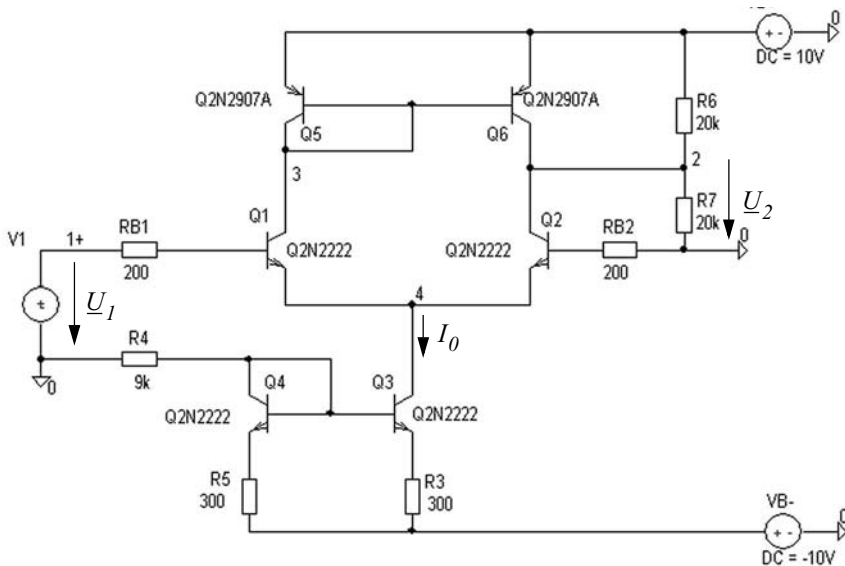


Bild Ü9-7: Emitttergekoppelte Differenzstufe mit Stromquelle als Lastkreis

Experiment Ü9-7: DC/AC/DCSweep-Analyse mit dem jeweiligen Simulation Profile.

Ü9.8 Differenzstufe mit LV zur unsymmetrischen Auskopplung

DC-Analyse:

a) Bestimmen Sie die Ausgangsspannung U_2 .

AC-Analyse:

b) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_{1+}$.

Experiment Ü9-8: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü9.9 Differenzstufe mit Phasenumkehrstufe zur unsym. Auskopplung

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

b) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ und analysieren Sie die Schaltung durch TR-Analyse, untersuchen Sie insbesondere die Aussteuerbarkeit.

Experiment Ü9-9: DC/AC/TR-Analyse mit dem jeweiligen Simulation Profile.

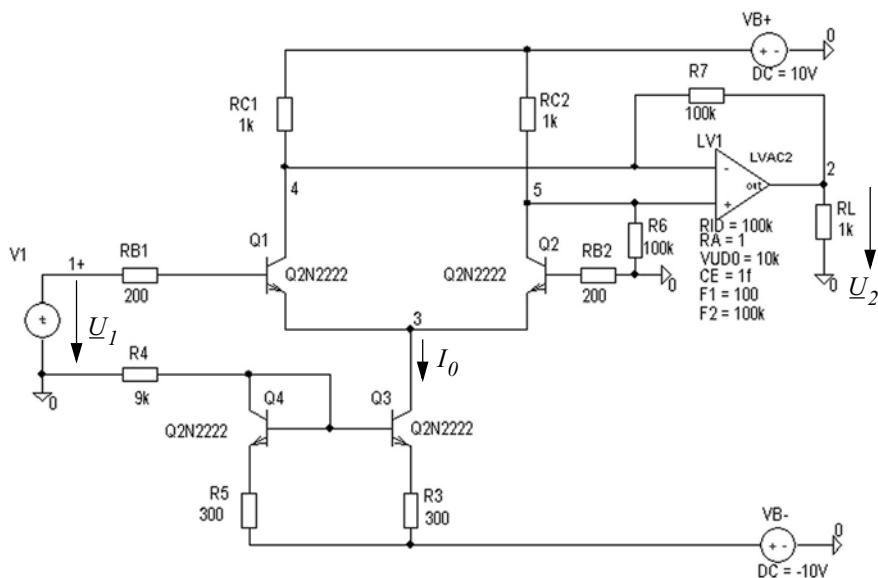


Bild Ü9-8: Emitttergekoppelte Differenzstufe mit LV zur Auskopplung einer unsymmetrischen Ausgangsspannung

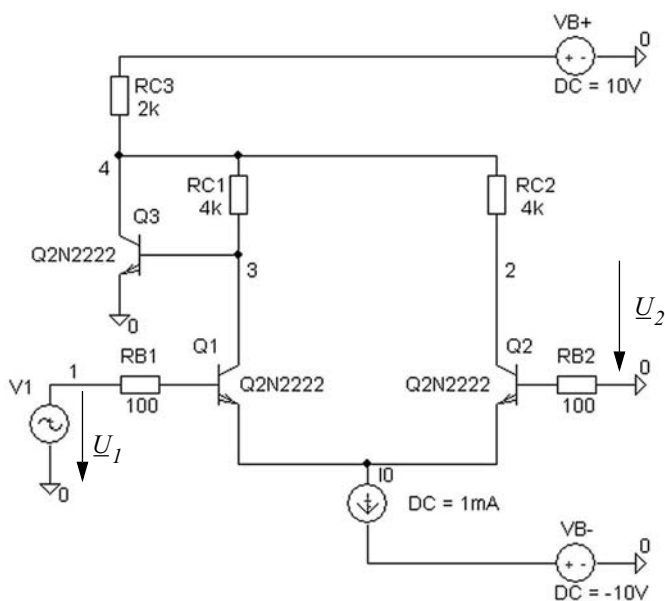


Bild Ü9-9: Emitttergekoppelte Differenzstufe mit Phasenumkehrstufe im Lastkreis

Ü9.10 Emittergekoppelte Differenzstufe im C-Betrieb

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

TR-Analyse:

b) Untersuchen Sie den zeitlichen Momentanwert des Ausgangsstroms bzw. der Ausgangsspannung.

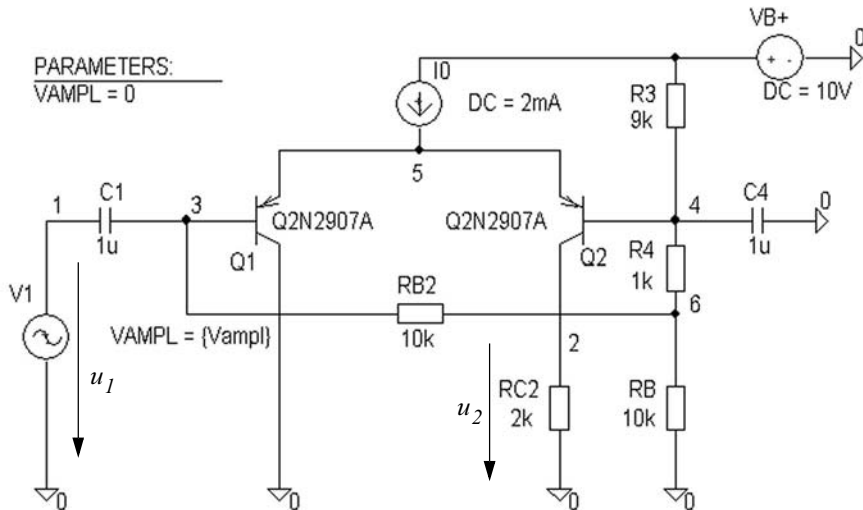


Bild Ü9-10: Emittergekoppelte Differenzstufe im C-Betrieb

Experiment Ü9-10: DC/TR-Analyse.

Ü9.11 FET-Differenzstufe mit basisgekoppelter Differenzstufe

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren und diskutieren Sie die Aussteuer Grenzen am Ausgangsknoten 2.

AC-Analyse:

b) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$.

Experiment Ü9-11: DC/AC-Analyse mit dem jeweiligen Simulation Profile.

Ü9.12 NMOS/PMOS Operationsverstärker mit unsym. Auskopplung

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

b) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$ und analysieren Sie die „innere“ Verstärkung. Welchen Einfluss hat die „Kompensations“-Kapazität C2?

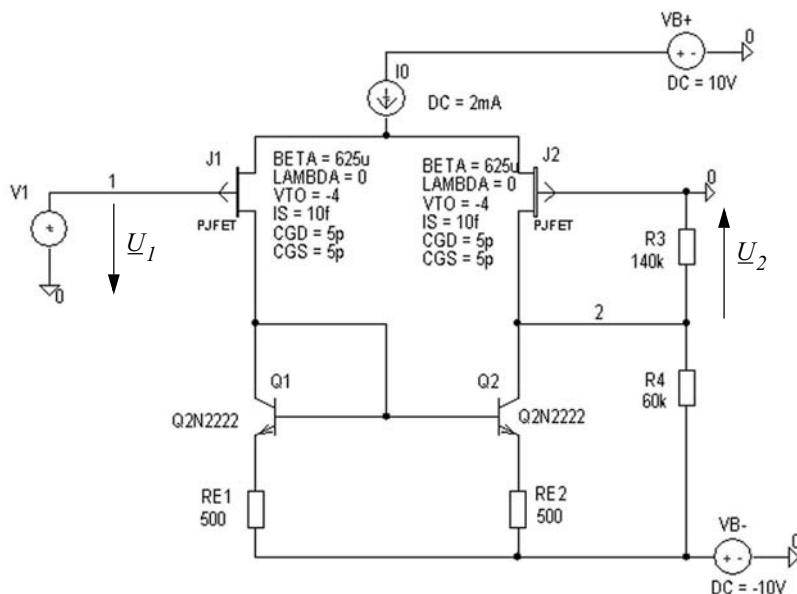


Bild Ü9-11: Sourcegekoppelte Differenzstufe mit basisgekoppelter Differenzstufe im Lastkreis

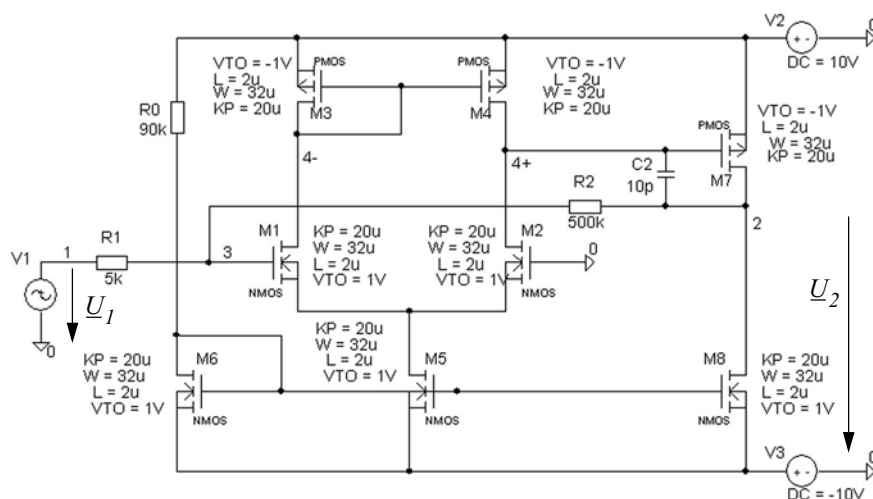


Bild Ü9-12: NMOS/PMOS Operationsverstärker mit unsymmetrischer Auskopplung

Experiment Ü9-12: DC/AC-Analyse.

Ü9.13 PMOS Inverter

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

AC-Analyse:

b) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$.

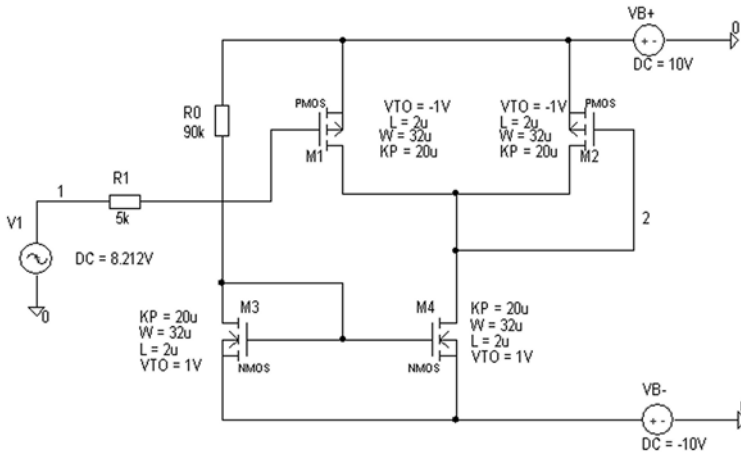


Bild Ü9-13: PMOS Inverter

Experiment Ü9-13: DC/AC-Analyse.

Ü9.14 CMOS Operationsverstärker

DC-Analyse:

a) Bestimmen Sie die Arbeitspunkte der Transistoren.

b) Ermitteln Sie die Aussteuerbarkeit des Verstärkers mittels DC Sweep-Analyse

AC-Analyse:

c) Ermitteln Sie die Verstärkung $\underline{U}_2/\underline{U}_1$.

Experiment Ü9-14: DC/AC/TR-Analyse mit dem jeweiligen Simulation Profile.

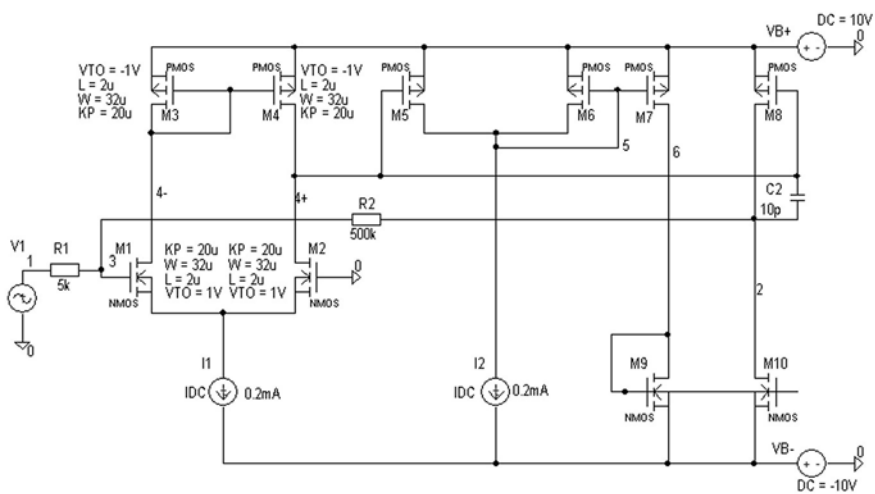


Bild Ü9-14: CMOS Operationsverstärker

Formelzeichen

a	Schalttransistor: Ausräumfaktor
A	Parameter: Stromverstärkungsfaktor beim Transistor $A = I_C/I_E$
A_F	Parameter: „Flicker“ Rauschen, Exponent
A_L	Induktivität pro Windungsquadrat
B	Parameter: Stromverstärkungsfaktor beim Transistor $B = I_B/I_C$
B	Bandbreite
B_r	Äquivalente Rauschbandbreite; z.B. Bandbreite der Leistungsverstärkung
$BETA$	PSpice-Parameter: Transkonduktanzkoeffizient, $BETA = \beta/2$
BF	Parameter: Maximale Stromverstärkung im Normalbetrieb eines BJT
BR	Parameter: Maximale Stromverstärkung im Inversbetrieb eines BJT
b_i	Binärer Wert
BV	Parameter: Durchbruchspannung eines pn-Übergangs
C	Verhältniszahl
$CMRR$	Parameter: Gleichtaktunterdrückung
CI	Kapazität: Referenzbezeichner
C_{oo}	Koppelkapazität: Kurzschluß im Betriebsfrequenzbereich
C_D	Kapazität: Diffusionskapazität eines pn-Übergangs
C_j	Kapazität: Sperrschichtkapazität eines pn-Übergangs
$CJ0$	Parameter: Sperrschichtkapazität eines pn-Übergangs bei $0V$
CJC	Parameter: Sperrschichtkapazität der CB-Diode eines BJT bei $0V$
CJE	Parameter: Sperrschichtkapazität der EB-Diode eines BJT bei $0V$
CJS	Parameter: Substratkapazität eines pn-Übergangs bei $0V$
CGD	Parameter: Gate-Drain Kapazität eines FET
CGS	Parameter: Gate-Source Kapazität eines FET
CDS	Parameter: Drain-Source Kapazität eines FET
c_0	Lichtgeschwindigkeit $c_0 = 2.997925m/s$
D	Digitalwort
$D1$	Diode: Referenzbezeichner
dB	Logarithmisches Maß einer Verhältniszahl a in dB: $20\log(a)$
dBm	Logarithmisches Maß einer Leistung a bezogen auf 1mW: $10\log(a/1mW)$
$E1$	Spannungsgesteuerte Spannungsquelle: Referenzbezeichner
e	Konstante: $e = 2.7182818$
e	Elementarladung $1,602E-19As$
EG	Parameter: Bandabstand (bei Si ist $EG = 1,11eV$)
F	Rauschzahl
$F1$	Stromgesteuerte Stromquelle: Referenzbezeichner
FC	Parameter: Koeffizient zur Beschreibung der Spannungsabhängigkeit der Sperrschichtkapazität C_j eines pn-Übergangs
f	Frequenz (allgemein)
f_g, f_1, f_2	Eckfrequenzen

f_T	Parameter: Transistfrequenz
$G1$	Spannungsgesteuerte Stromquelle: Referenzbezeichner
g	Komplexe Schleifenverstärkung
g_m	Kleinsignalsteilheit im Arbeitspunkt
$H1$	Stromgesteuerte Spannungsquelle: Referenzbezeichner
I	Strom; DC-Wert bzw. statischer Wert, Amplitude
$I^{(A)}$	Strom im Arbeitspunkt
I, I_1	Strom; komplexer Zeiger: AC-Wert
i, i_1	Strom; zeitlicher Momentanwert: TR-Wert
$\mathbf{i}$	Zweigströme in Vektorform; zeitlicher Momentanwert
$\hat{I}, \hat{I}_1$	Strom, Scheitelwert des zeitlichen Momentanwerts
I_{CBO}	Parameter: Transistor-Sperrstrom von Kollektor zu Basis bei offenem Emitter
$I_{CÜ}$	Schalttransistor: maximaler Strom bei Übersteuerung
I_{I0}	Parameter: DC-Offsetstrom
I_{IB}	Parameter: DC-Eingangsruhestrom
$\overline{I_r^2}/df$	Rauschstromquadrat, spektrale Größe
IBV	Parameter: Knickstrom beim Übergang eines pn-Übergangs in den Durchbruchbereich
IKF	Parameter: Knickstrom eines pn-Übergangs in Flussrichtung, oberhalb dessen gilt der „Hochstrombereich“
IKR	Parameter: Knickstrom der Rückwärts-Stromverstärkung eines BJT
IS	Parameter: Sättigungssperrstrom eines pn-Übergangs (bei Si ist in etwa $IS = 10^{-15}A$)
ISC	Parameter: Sättigungssperrstrom der CB-Diode beim BJT
ISE	Parameter: Sättigungssperrstrom der EB-Diode beim BJT
ISR	Parameter: Rekombinationssperrstrom, bei Si beträgt ISR bei Normaltemperatur ca. $1nA$, sehr stark exemplarstreuungsabhängig
ISS	Parameter: Sättigungssperrstrom der Substrat-Diode
$I1$	Stromquelle: Referenzbezeichner
$J1$	Sperrschicht-Feldeffekttransistor: Referenzbezeichner
k	Boltzmannkonstante; $k = 1.38E-23Ws/K$
$\underline{k}$	Rückkopplungsfaktor
K_0	VCO-Konstante
KF	Parameter: „Flicker“ Rauschen, Koeffizient
K_d	Phasendetektor-Konstante
KP	Parameter: Übertragungsleitwertparameter eines MOS-Transistors
L	Kanallänge eines MOS-Transistors
$L1$	Induktivität: Referenzbezeichner
$LAMBDA$	Kanalängenmodulation, $LAMBDA = \lambda$
M	Parameter: Gradationskoeffizient eines pn-Übergangs
MJC	Parameter: Gradationskoeffizient der CB-Diode eines BJT
MJC	Parameter: Gradationskoeffizient der EB-Diode eines BJT

MJS	Parameter: Gradationskoeffizient der Substrat-Diode
$M^{(\dots)}$	Modellparametersatz
M	Übertrager: Gegeninduktivität
M	Modulationsindex
MI	Isolierschicht-Feldeffekttransistor: Referenzbezeichner
N	Parameter: Emissionskoeffizient eines pn-Übergangs (idealtyp. Diode)
NR	Parameter: Emissionskoeffizient eines pn-Übergangs (Korrektur-Diode)
NC	Parameter: Emissionskoeffizient der CB-Diode eines BJT
NE	Parameter: Emissionskoeffizient der EB-Diode eines BJT
NS	Parameter: Emissionskoeffizient der Substrat-Diode
p_i	komplexe Nullstellen
$\underline{p}$	komplexer Zählerausdruck in der Frequenzbereichsdarstellung
P	Leistung; Mittelwert
P_I	Impulsverlustleistung
P_N	Nennverlustleistung
P_V	Verlustleistung
P_{Vmax}	Maximal zulässige Gesamtverlustleistung
p	Leistung; zeitlicher Momentanwert
P_r	Rauschleistung
dP_r/df	Spektrale Rauschleistungsdichte
PER	Parameter: Pulsperiode
PW	Parameter: Pulsweite
$1/Q$	komplexer Nennerausdruck in der Frequenzbereichsdarstellung
q_i	komplexe Polstellen
Q, Q_0	Güte eines Resonators
QI	Bipolartransistor: Referenzbezeichner
Q_{DE}	Diffusionsladung eines BJT
q	Elementarladung eines Elektrons: $e = 1.6E-19As$
r_b, RB	Basisbahnwiderstand eines BJT
RBM	Parameter: Minimaler Bahnwiderstand eines BJT
r_D	Differenzieller Widerstand einer Diode im Arbeitspunkt
r_e	Differenzieller Widerstand der Emitter-Basis Diode im Arbeitspunkt
r_0	Early-Widerstand eines BJT
RI	Ohmscher Widerstand: Referenzbezeichner
R_L^*	Wirksamer Lastwiderstand; Zusammenfassung wirksamer Widerstände
RS	Parameter: Bahnwiderstand einer Diode
R_{th}	Wärmewiderstand
$R_{th,jG}$	Wärmewiderstand zwischen „Junction“ und Gehäuse
$R_{th,jU}$	Wärmewiderstand zwischen „Junction“ und Umgebung
$R_{th,GK}$	Wärmewiderstand zwischen Kühlkörper und Gehäuse
$r_{th,jG}$	Dynamischer Wärmewiderstand zwischen „Junction“ und Gehäuse
$r_{th,jU}$	Dynamischer Wärmewiderstand zwischen „Junction“ und Umgebung
$\underline{s}$	komplexe Frequenz $\underline{s} = j\omega$ (ohne Realteil)
s	„free“ Quantity

SI	Spannungsgesteuerter Schalter: Referenzbezeichner
T	Temperatur in $^{\circ}C$ bzw. absolut in K
T_j	Sperrschichttemperatur eines Halbleiters
T_{jmax}	Maximal zulässige Sperrschichttemperatur eines Halbleiters
T_G	Gehäusetemperatur
TF	Parameter: ideale Vorwärts-Transitzeit eines BJT
TR	Parameter: ideale Rückwärts-Transitzeit eines BJT
TT	Parameter: ideale Transitzeit einer Diode
T_U	Umgebungstemperatur
t	Zeit
t_d	Verzögerungszeit
t_f	Schaltzeit: Abschaltzeit
t_p	Pulsdauer
t_r	Schaltzeit: Einschaltzeit
T	Periodendauer
U	Spannung; DC-Wert bzw. statischer Wert, Amplitude
$U^{(A)}$	Spannung im Arbeitspunkt
$\underline{U}, \underline{U}_l$	Spannung; komplexer Zeiger: AC-Wert
$\underline{U}_{l1'}$	Spannung; komplexer Zeiger: AC-Wert zwischen Knoten l und l'
u, u_l	Spannung; zeitlicher Momentanwert: TR-Wert
$\mathbf{u}$	Knotenspannung bzw. Zweigspannung in Vektorform; zeitl. Momentanwert
$U_{B'E}$	Spannung von der inneren Basis B' zum Emitter E
$\ddot{u}$	Übertrager: Übersetzungsverhältnis
$\ddot{u}$	Schalttransistor: Übersteuerungsfaktor
U_{I0}	Parameter: DC-Offsetspannung
U_{id}	Eingangsdifferenzspannung
$\underline{U}_{id}$	Eingangsdifferenzspannung; komplexer Zeiger
$\overline{U_r^2}/df$	Spektrales Rauschspannungsquadrat
$\overline{U_r}$	Rauschspannung (quadratischer Mittelwert)
U_p	Schwellspannung eines FET ($U_p = V_{TO}$)
U_S	Schwellspannung einer Diode
U_T	Parameter: Temperaturspannung $kT/e = 26mV$ bei Normaltemperatur
U_l	Referenzbezeichner einer Logikfunktion
v	Verstärkung
$\underline{v}$	Komplexer Wert der Verstärkung
v_{ud0}	Differenz-Spannungsverstärkung bei tiefen Frequenzen
$\underline{v}_{ud}$	Komplexe Differenz-Spannungsverstärkung
v_{ug}	Gleichtakt-Spannungsverstärkung
$\underline{v}_{21}$	Komplexe Verstärkung von Knoten l nach Knoten 2
V_A	Parameter: Early-Spannung eines BJT
V_{AF}	Parameter: Early-Spannung eines BJT im Normalbetrieb

V_{AR}	Parameter: Early-Spannung eines BJT im Inversbetrieb
V_I	Spannungsquelle: Referenzbezeichner
V_i	Knotenpotenzial: Spannung von Knoten i zum Bezugsknoten
$\mathbf{V}$	Spannungen von Knoten i zum Bezugsknoten in Vektorform
V_J	Parameter: Diffusionsspannung eines pn-Übergangs
V_{JC}	Parameter: Diffusionsspannung der CB-Diode eines BJT
V_{JE}	Parameter: Diffusionsspannung der EB-Diode eines BJT
V_{JS}	Parameter: Diffusionsspannung der Substrat-Diode
V_{TO}	Parameter: Abschnürspannung eines FET
W	Kanalbreite eines MOS-Transistors
X_{TI}	Parameter: Temperaturexponent des Sättigungssperrstroms I_S
X_{TB}	Parameter: Temperaturkoeffizient der Stromverstärkung eines BJT
Z	Impedanz
Z	Zählerstand
$\underline{Z}, \underline{Z}_I$	Impedanz; AC-Wert
$\underline{Z}_{id}$	Impedanz; AC-Wert: Differenz-Eingangswiderstand
$\underline{Z}_a$	Impedanz; AC-Wert: Ausgangswiderstand
$\underline{Z}_{II'}$	Impedanz: AC-Wert zwischen Knoten I und I'
α_0	Kleinsignal-Stromverstärkungsfaktor $\alpha_0 = \Delta I_C / \Delta I_E$ bei tiefen Frequenzen
β_0	Kleinsignal-Stromverstärkungsfaktor $\beta_0 = \Delta I_C / \Delta I_B$ bei tiefen Frequenzen
β	Transkonduktanzwert beim Feldeffekttransistor
Δ	Änderung einer Größe
ϵ_r	Permittivitätszahl
ϵ_0	Elektrische Feldkonstante $\epsilon_0 = 8,854 \times 10^{-12} \text{ As/Vm}$
η	Wirkungsgrad bei Treiberstufen
λ	Kanallängenmodulation
μ_n	Ladungsträgerbeweglichkeit der Elektronen
μ_r	Permeabilitätszahl
μ_0	Magnetische Feldkonstante $\mu_0 = 1,256 \times 10^{-6} \text{ Vs/Am}$
ν	Tastverhältnis $\nu = t_p / T$
ξ	Dämpfungskonstante
π	Konstante $\pi = 3,1415926$
φ	Phasenwinkel
$\varphi_{I/Q}$	Phasenwinkel des komplexen Ausdrucks I/Q
φ_{U_2/U_1}	Phasenwinkel des komplexen Ausdrucks U_2/U_1
Θ	Laplacetransformierte eines Phasenwinkels
ω	Kreisfrequenz $\omega = 2 \cdot \pi \cdot f$
ω_n	Eigenkreisfrequenz

Empfohlene Literatur

Allgemein:

- Reisch, M.: "Elektronische Bauelemente";
Springer Verlag; Berlin, Heidelberg, New-York; 1998
- Tietze, U.; Schenk, Ch.: "Halbleiterschaltungstechnik";
Springer Verlag; Berlin, Heidelberg, NewYork; 12. Auflage; 2002
- Herberg, H.: "Elektronik";
Vieweg Verlag; Braunschweig; 2002; ISBN 3-528-03911-6
- Böhmer, E.: "Elemente der angewandten Elektronik"; Vieweg Verlag, Braunschweig, 13. Auflage, 2001; ISBN 3-528-24090-3
- Möschwitzer, A.; Lunze, K.: "Halbleiterelektronik";
Hüthig Verlag; Heidelberg; 7. Auflage, 1987
- Seifart, M.: "Analoge Schaltungstechnik";
Hüthig Verlag; Heidelberg; 4. Auflage, 1994
- Horowitz, P.; Hill, W.: "Die Hohe Schule der Elektronik";
Elektor Verlag; Aachen; Band 1 und 2; 2. Auflage; 1996;
Originalausgabe: „The Art of Electronics“; Cambridge University Press;
New York; 1989
- Köstner, R.; Möschwitzer, A.: "Elektronische Schaltungen";
Carl Hanser Verlag; München, Wien; 1993
- Hering, Bressler, Gutekunst: "Elektronik für Ingenieure";
VDI Verlag; Düsseldorf; 1992
- Koß, G., Reinhold, W.: "Elektronik"; Fachbuchverlag Leipzig; 2. Auflage, 2002
- Meier, U., Nerreter, W.: "Analoge Schaltungen"; Hanser Verlag, München, 1997
- American Radio League: "The ARRL Handbook for Radio Amateurs";
The American Radio League, Newington, CT06111, USA,
ISBN 0-87259-174-3; 47. Auflage; 1997
- "System Applications Guide"; Analog Devices, Prentice Hall, 1993,
ISBN 0-916550-13-3

2. Kapitel:

- Ruehli, A. E.: "Circuit Analysis, Simulation and Design";
North-Holland; Amsterdam, NewYork; Volume 3-Part1&2; 1986
- Ruehli, A. E., Ditlow, G. S.: "Circuit Analysis, Logic Simulation and Design Verification for VLSI";
Proceedings of the IEEE, Vol. 71, No. 1, January 1983
- Vladimirescu, A.: "The Spice Book";
John Wiley&Sons; NewYork; 1994
- Tuinenga, P. W.: "Spice – A Guide to Circuit Simulaton&Analysis Using PSpice";
Prentice Hall; 2. Edition; 1992
- Connelly, J. A., Choi, P.: "Macromodelling with SPICE";
Prentice Hall, New Jersey, 1992; ISBN 0-13-544942-3

Jansen, D.: "Handbuch der Electronic Design Automation";
Carl Hanser; München, Wien; 2001

Ashenden, P. J., Peterson, G. D., Teegarden, D. A.: "The System Designers Guide to VHDL-AMS"; Morgan Kaufmann Publishers, San Francisco, 2003;
ISBN 1-55860-749-8

Ashenden, J.: "The Students's Guide to VHDL"; Morgan Kaufmann Publishers,
San Francisco, 1998;

Yalamanchili, S.: "VHDL Starters Guide"; Prentice Hall, New Jersey, 1998;
ISBN 0-13-519802-X

Spiro, H.: "CAD der Mikroelektronik"; Oldenburg Verlag, München, Wien, 1997;
ISBN 3-486-241141-1

4. Kapitel:

Payton, A. J.; Walsh, V.: "Analog Electronics with OP Amps";
Cambridge University Press, 1993

Boyle, Cohn, Pederson, Solomon: "Macromodeling of Integrated Circuit Operational Amplifier"; IEEE Journal of Solid-State Circuits; SC-9 No. 6, 12/
1974

Wupper, H.: "Professionelle Schaltungstechnik mit Operationsverstärkern"; Franzis Verlag, 1994; ISBN 3-7723-6732-1

5. Kapitel:

Gray, P. R.; Meyer, R. G.: "Analysis and Design of Integrated Circuits"
John Wiley&Sons; New York; Third Edition; 1993

Ashburn, P.: "Design and Realization of Bipolar Transistors"; John Wiley&Sons,
1988; ISBN 0-471-91700-1

6. Kapitel:

Allen, P. E.; Holberg, D. R.: "CMOS Analog Circuit Design";
Saunders College Publishing; New York; 1987

Baker, R.J.; Li, H.W.; Boyce: "CMOS Circuit Design, Layout and Simulation";
IEEE Press Series on Microelectronic Systems; 1998

Moschytz, G. S.: "MOS Switched Capacitor Filters: Analysis and Design"; IEEE
Press, 1984, ISBN 0-87942-177-0

Gray, P. R., Wooley, B. A., Broderson, R. W.: "Analog MOS Integrated Circuits";
IEEE Press, 1989, ISBN 0-87942-246-7

7. Kapitel:

Best, R.: "Theorie und Anwendungen des Phase-Locked-Loops";
VDE-Verlag, Berlin, 5. Auflage, 1993; ISBN 3-8007-1980-0

8. Kapitel:

Benda, D.: "A/D- und D/A-Wandler für Praktiker";
VDE-Verlag, Berlin, 1993, ISBN 3-8007-1889-8

"Linear Design Seminar"; Analog Devices; Prentice Hall, 1995;
ISBN 0-916550-15-X

Stichwortverzeichnis

A

A/D-Wandler 549, 556
- Ein-Rampenverfahren 557
- Iterationsverfahren 560
- Parallelverfahren 563
- Quantisierungsfehler 560
- Sukzessive Approximation 559
- VHDL-AMS Modell 562
- Zählverfahren 556
- Zwei-Rampenverfahren 558
AB-Betrieb 287, 485
Abblockkondensator 30
A-Betrieb 287, 485
Abschätzanalyse 8, 503, 565
Abtasthalteschaltung
- mit gesteuertem MOS-Schalter 554
Abtasthalteschaltungen 554
AC-Analyse 36, 82
- Einstellungen 83
AC-Arbeitsgerade 296
AC-Multimeter 34
AGC 29, 514
Aktive Signaldetektoren 247
AM-Detektor 95
- Demodulationssignal 95
- Modulationsfrequenz 95
- Modulationssignal 95
- Trägerfrequenz 95
amplitudenmoduliertes Signal
- Modulationsfrequenz 146
- Modulationsgrad 146
- Trägerfrequenz 146
amplitudenmoduliertes Signal (AM) 146
Analog/Digital Wandlung 556
Analog/Digitale Schnittstelle 537
Analoge Filterschaltungen 249
- Bandpass 251
- Bandstopppfilter 252
- Hochpass 250
- Tiefpass 249
Analoger Modellteil 55
Analogmultiplizierer 525
Analogspeicher 554
Angepasster Tiefpass/Hochpass 132
Antennenanpassungsschaltung 27
Anti-Blockier-Systemen 19
Arbeitsgerade des Eingangskreises 295, 378
ASIC 10
Astabiler Multivibrator 256

Attribute an Symbolen 50
- Implementation Path-Attribut 50
- Implementation Type-Attribut 50
- Implementation-Attribut 50
- Reference-Attribut 51
- Reference-Designator 46
- Template-Attribut 50
- Value-Attribut 50
Attribut-Eigner 50
Attribut-Name 47, 50
Attribut-Wert 47, 50
Automotive-Anwendungen 21
Auto-Router 13

B

Bandgap-Referenzschaltung 480
Basisgrundschialtung 310
Baugruppenträger 13
Begrenzerschaltungen 152
Bezugspotenzial 7
Bias Point 81
Bipolartransistor 259
- Abschätzanalyse 276
- AC-Modellvarianten 274
- Arbeitsgerade des Ausgangskreises 296
- Arbeitsgerade des Eingangskreises 295
- Arbeitspunkteinstellung und Stabilität 286
- Ausgangskennlinien 259
- Aussteuerung im Arbeitspunkt 297
- Bahnwiderstände 265
- Basisbahnwiderstand 266
- Basislaufzeit TF 281
- DC-Modellvarianten 271
- differenzieller Widerstand r_e 275
- Diffusionskapazität 268, 275
- Early-Effekt 266, 273
- Early-Spannung 267
- Eigenschaften und Kennlinien 259
- Gummel-Poon Modell 280
- Injektionsstrom 261
- inverse Stromverstärkung BR 271
- Inverser Betrieb 271
- Kleinsignalmodell 267
- Kollektor-Basis-Raumladungszone 265
- Ladungsdreieck 265
- mit Stromquelle als Last 333
- Normalbetrieb 259
- optimaler Lastwiderstand 293

- parallelgegekoppelt 285, 320
- physikalischer Aufbau 264
- Rauschanalyse 308
- Rauschen 277
- Rekombinationssperrstrom 262
- Sättigungsbetrieb 270
- Sättigungssperrstrom IS 260
- Schalteranwendungen 336
- seriengegekoppelt 282, 323
- Simulationsmodell in VHDL-AMS 278
- spannungsgesteuerter Schalter 336
- Sperrbetrieb 271
- Sperrschichtkapazität 265, 268
- Sperrstrom ICB0 260, 264
- Steilheit im Arbeitspunkt 267
- Stromverstärkung B 260, 264
- Substratkapazität 268
- systematische Arbeitspunktanalyse 294
- Temperaturabhängigkeit UBE 288
- Transistoreffekt 265
- Transitfrequenz 270, 276
- Transitzeit der Ladungsträger in der Basiszone 269
- Transportmodell 272
- Übertragungskennlinie 259

Bit 5

Bodediagramm 97

- Asymptoten 98
- Eckfrequenzen 98
- Frequenzgangverlauf 97
- Primitivfaktor Typ1 98
- Primitivfaktor Typ2 99
- Primitivfaktor Typ3 100
- Primitivfaktoren 98
- RC-Tiefpass 103
- Verstärkerschaltung mit zwei Stufen 106

BOM - Bill of Material 43

Brückengleichrichter 138

Brückenverstärker 243

C

Capture 37, 42

- Add Libraries 39
- Änderung des Widerstandswertes 82
- Design Cache 39
- Designsheet 38
- Place Part 39
- Place Wire 39
- Taskleiste 38

C-Betrieb 287, 485

CE-Kennzeichnung 15

CMOS

- HCT 537

CMOS-Inverter 413

- Latch-Up Effekt 417
- Schaltverhalten 415
- spannungsgesteuerte Schalter 418
- Verstärker 421

CMOS-NAND-Gatter 419

CMOS-NOR-Gatter 419

CMOS-Schalter 434

CMOS-Schaltkreistechnik 342

CMOS-Transmission-Gate 420

CMRR

- Gleichtaktunterdrückungsverhältnis 225

Colpitts-Oszillator 32, 585

Component Instantiation 64

Concurrent-Signal-Assignment 547

D

D/A-Umsetzer 549

D/A-Umsetzung

- mit gestuften Spannungen 553
- mit gestuften Stromquellen 551
- mit gewichteten Kapazitäten 553

DAE 53

Darlingtonstufen 325, 392

Datenblatt 228

DC-Analyse 36, 81

DC-Arbeitsgerade 296

DC-Multimeter 34

DC-Sweep-Analyse 488

DCSweep-Analyse 466, 510

Design Manager 37

Designinstanz 38, 43, 46, 539

Designsheet 43, 46

Detektorschaltung 95

D-FlipFlop 541

Dickschicht- oder Dünnschichttechnik 20

Differenzaussteuerung 440

Differenzial-Algebraische-Gleichungssysteme 53

Differenziator 117, 514

Differenzstufe 437

- AC-Analyse bei Gleichtaktansteuerung 447
- AC-Modell 440
- Aussteuerverhalten 441
- basisgekoppelt 451
- emittergekoppelt 437
- gategekoppelt 468
- in Kaskodeschaltung 463
- mit Feldeffekttransistoren 466
- Offsetverhalten 447
- sourcegekoppelt 466

- Strombegrenzung 442
 - Stromspiegel im Lastkreis 456
 - Übertragungskennlinie 438
 - unsymmetrischer Ausgang 450
 - verfeinertes AC-Modell 446
 - Digital/Analog Wandlung 549
 - Digitaler Modellteil 54
 - Diode 68
 - Arbeitspunkt im Flussbereich 93
 - Kapazitätsdiode 73
 - Linearisierung im Arbeitspunkt 93
 - Modellbeschreibung 68
 - spektrales Rauschstromquadrat 180
 - statische Kennlinie 68
 - Testbench Kennlinien 69
 - Testbench Sperrschichtkapazität 74
 - Testschaltung Speicherzeit 76
 - Dioden
 - Backwarddioden 134
 - Detektordioden 135
 - Gleichrichterioden 134
 - Photodioden 134
 - pin-Dioden 134
 - Schaltdioden 134
 - Tunnelioden 134
 - Diodenbrücken 555
 - Dioden-Modell 68
 - differentieller Widerstand 70
 - Diffusionskapazität 75
 - Diodenstrom 68
 - Durchbrucheffekt 73
 - Durchbruchspannung 73
 - Idealtypisch 70
 - Korrektur-Diode 71
 - Realer Sperrstrom 72
 - Rekombinationssperrstrom 71
 - Speicherzeit 75
 - Sperrschichtkapazität 68, 73
 - Statische Modellparameter 72
 - Transportsättigungssperrstrom IS 70
 - verzögerter Stromkomponente 68
 - Dioden-Modell vereinfacht
 - Durchbruchbereich 78
 - Flussbereich 77
 - Sperrbereich 78
 - Diodenschaltung 92
 - Abschätzung der AC-Analyse 92
 - AC-Lösung 93
 - Arbeitspunkt 92
 - Arbeitspunktbestimmung 93
 - DC-Lösung 92
 - TR-Analyse 94
 - Diodenschaltungen
 - Begrenzerschaltungen 152
 - Detektorschaltung 95
 - Klemmschaltungen 154
 - Parallelbegrenzer 152
 - Reihenbegrenzer 152
 - Schutzschaltungen 154
 - Signaldetektorschaltungen 143
 - Spannungsquelle 142
 - Spitzendetektor in Reihen- und Parallelschaltung 143
 - Doppelgegentakt-Mischer 516
 - Doppelweggleichrichter 137
 - Drehratensensor 19
 - Durchflusswandler 156
 - Dynamik 186, 245
 - 1dB-Kompressionspunkt 186
 - Grenzsinalleistung 186
- ## E
- E - spannungsgesteuerte Spannungsquelle 44
 - Early-Effekt 267
 - ECL 25, 537
 - Einweggleichrichter 136
 - Elektronik-Labor 34
 - Emitterfolger 316
 - Emittergrundschialtung 301
 - Empfangssignal 27
 - Entscheider 534
 - Entwicklungsmethodik 9
 - Entwicklungsprozess 9
 - Ereignissteuerung 545
 - Ereignistabelle 543, 546
 - ESD Schutz 228
 - Event-Queue 543, 546
 - EXOR-Phasenvergleich 525
- ## F
- F - stromgest. Stromquelle 44
 - Feinentwurf 9, 12
 - Feldeffekttransistor 359
 - Abschnürbetrieb 361
 - Abschnürpunkt 370
 - Abschnürspannung Up 360
 - AC-Ersatzschaltbild JFET 367
 - AC-Ersatzschaltbild MOSFET 373
 - AC-Modell JFET 383
 - Anreicherungsstyp MOSFET 369
 - Anwendung des Linearbetriebs 399
 - Anwendungsschaltungen 386
 - Arbeitspunkteinstellung und Arbeitspunktstabilität 377

- Ausgangskennlinien 363
- Aussteuerung einer Verstärkerschaltung 380
- Aussteuerung im Arbeitspunkt 382
- Bulkanschluss MOSFET 371
- Depletion-MOSFET 369
- digitale Anwendungsschaltungen 403
- Drain-Grundschialtung 388
- Early-Effekt 367
- Early-Spannung 367
- Enhancement-MOSFET 369
- Exemplarstreuungen 381
- Gate-Grundschialtung 387
- Innenwiderstand der Stromquelle 367
- Inversionsladung MOSFET 369
- Inversionsschicht MOSFET 369
- Isolierschicht-Feldeffekttransistor MOSFET 359
- Kanalbreite W 368
- Kanallänge L 368
- Kanallängenlängenmodulation 362
- Kanalzone 360, 369
- Kennlinien N-JFET 364
- Kennlinien P-JFET 365
- optimaler Lastwiderstand 380
- physikalischer Aufbau N-JFET 360, 363
- physikalischer Aufbau N-MOSFET 368
- Rauschen JFET 367
- Rauschen MOSFET 374
- Rekombinationssperrstrom IGSS 362
- Schwellspannung U_p 360
- Source-Grundschialtung 386
- spektrale Rauschspannung am Eingang 387
- Sperrbetrieb 361
- Sperrschicht-Feldeffekttransistor JFET 359
- Sperrschichtkapazitäten 362
- Steilheit 367, 383
- Steuerung der Raumladungszonen (RLZ) 360
- Stromergiebigkeit 362
- Stromquellen-Betrieb 360
- Symbol JFET 360
- Symbol MOSFET 371
- Temperaturabhängigkeit der Übertragungskennlinie 381
- Transkonduktanzkoeffizient 362
- Übertragungskennlinie 363
- Übertragungsleitwertparameter 370
- Verarmungstyp MOSFET 369
- Verstärkergrundschialtungen 386
- VHDL-AMS Modell N-MOSFET 375
- Widerstandsbetrieb 361
- Fertigungsdaten 13
- Fertigungsfreigabe 10, 13
- Fertigungsunterlagen 10

- FM-Demodulation 519, 533
- FM-Demodulator 148
 - Flankendetektor 149
- FM-Tuner 27
- Footprint 21, 47
- Frequenzdiskriminator 131
- Frequenzgangausdruck 98
 - Nennerpolynom 98
 - Polynomdarstellung 98
 - Übertragungsfunktion 98
 - Zählerpolynom 98
- Frequenzgangkorrektur 216
- Frequenzkompensierter Spannungsteiler 120
- frequenzmodulierte Signale 27
- frequenzmoduliertes Signal (FM) 148
- Frequenzsynthese 535
- Funkelrauschen 177
- Funkempfänger 27
- Funktional gesteuerte Quellen 48
- Funktionale Verifikation 34
- Funktionsgeneratoren 34
- Funktionsgrundschialtungen 24
- Funktionsmodelle 26
- Funktionsprimitive 24, 437
- Funktionsschaltkreise 24
- Funktionsschaltungen 437

G

- G - spannungsgesteuerte Stromquelle 44
- Gategekoppelte Differenzstufe 468
- Gegentaktansteuerung 223
- Gehäuse 21
- Gehäuseformen 23
- Gesteuerte Quellen 44
- Gilbert-Mischer 517
- Gleichrichterschaltungen 134
 - Doppelweggleichrichter 137
 - Einweggleichrichter 136
 - Spannungsverdopplerschaltungen 139
 - Spannungsvervielfacherschaltungen 140
- Gleichspannungsanteil 4
- Gleichtaktansteuerung 223
- Gleichtaktunterdrückung 437, 447
- Glitches 551

H

- H - stromgest. Spannungsquelle 44
- Halbwellendetektor 247
- Hierarchische Vorgehensweise 27
- Hochpass 132
 - Angepasst 132

Hold-Zeiten 540
Hybrid-Schaltungstechnik 20

I

I/O-Modell 540
IEEE-Standard 1076.1 53
Impedanznomogramm 102
Impedanztransformator 24, 32
Implementation Path-Attribut 50
Implementation Type-Attribut 50
Implementation-Attribut 50
Induktiver Abstandssensor 19, 433
Instanziierung 46, 544
- physikalischen Instanziierung 46
- virtuelle Instanziierung 46
Instrumentenverstärker 242
Integrator 117
Iterations- bzw. Wägeverfahren 559
Iterationsregister 559

J

Jitter 523
- Phasenjitter 534
Junction 112

K

Kapazitätsbelag 120
- Koaxialkabel 120
Kapazitiv gekoppelte Resonanzkreise 127
Kapazitiver Spannungsteiler 119
- Impedanztransformator 119
Kaskode-Schaltung 330
Kernmaterial
- AL-Wert 123
Kettenleiternetzwerk 552
Klemmschaltungen 154
Knoten-Admittanzgleichungen 90
Knoten-Differenzspannungen 7
Knotenpotenziale 7
Knotenspannung 7
Komparator 172, 256, 434, 557
Komparatoren 438
Komparatorschwelle 438
Komplementäre Emitterfolger 497
Komplexe 5
Komplexe Zeiger 5
Kompressor/Expander-Verstärker 245
Konstantspannungsquellen 478
Konstantstromquellen 471
Konzeptphase 9

L

Labormuster 10
Ladungsträgerbeweglichkeit 370
Layout 18
Layout-Editor 13
Layoutentwicklung 13
Layouterstellung 10
LC-Resonator
- Güte 126
- Induktiv gekoppelt 128
- Kapazitiv gekoppelt 127
- Kennwiderstand 126
- Parallelresonanzkreis 126
- Phasensteilheit 126
- Resonanzfrequenz 126
- Serienresonanzkreis 130
LC-Resonatoren 126
Leistungsanpassung 175
Leiterplatte 13
Leiterplattentechnik 20
Lineare Schaltungen 80
Linearisierte Schaltungen 80
Linearisierung nichtlinearer Schaltungen 91
- Taylor-Reihe erster Ordnung 91
Linearverstärker 161
- Ausgangswiderstand 161
- Aussteuergrenzen 170
- Dynamik 186
- Eingangswiderstand 161
- Grundmodell 161
- innere Rauschquellen 177
- Makromodell mit Begrenzerelement 171
- Makromodelle 161
- Modell mit spannungsgesteuerter Spannungsquelle 164
- Modell mit spannungsgesteuerter Stromquelle 166
- parallelgegekoppelt 202
- PSpice-Makromodell 163
- Rauschen 173
- rückgekoppelt 187
- Schnittstellenverhalten 168
- seriengegekoppelt 197
- Verstärkungsfrequenzgang 162
- VHDL-AMS Modellbeschreibung 165
Lizenzgebühr 435
Logarithmischer Verstärker 346
Logikfamilien 537
Logikinstanz 541
Logiksignal 538
- Auflösungsfunktion 539
- std_logic 539
- Treiberstärke 539

Logiksimulation 54, 547

- Algorithmus 54
- Ereignistabelle 54
- Folgeereignisse 54
- VHDL-Modell 54

Logiksystem

- Datenselektoren 540
 - Decoder/Encoder 540
 - Ereignissteuerung 545
 - FlipFlops 540
 - Funktionsblöcke 539
 - Funktionsmodell 539
 - I/O-Modell 540
 - Modellbeschreibung von Logikfunktionen in PSpice 541
 - PSpice Grundmodelle 540
 - PSpice Timing-Modell 541
 - PSpice-Funktionsmodell 541
 - Register 540
 - Schematic-Modell 539
 - Standard-Gatter 540
 - Subcircuit-Modell 539
 - Timing-Modell 540
 - Timing-Parameter 540
 - VHDL-Modell 539
 - Zähler 540
- Logikzustände 538
- LSB 550

M

- Machbarkeitsstudie 10
- Makromodelle 26
- Mapping 23
- Marketing 10
- Marketing Requirements 11
- Marktanalyse 10
- Maschen-Impedanzgleichungen 90
- Masse-Versorgungssystem 13
- Mikrofonverstärker 389
- Miller-Effekt 330
- Mischer 27, 516
- Mittelwelle 146
- Mittelwellenempfänger 96, 146
- MNA-Methode 86
- Aufstellen der Netzwerkmatrix 89
 - Knoten-Admittanzgleichungen 88
 - Maschen-Impedanzgleichungen 89
- Model Editor 39, 76
- Model Library 39, 47, 539
- Modelle 47
- Intrinsic-Modelle 48
 - Intrinsic-Modelle mit Parametersatz 49

- Makromodelle 47
 - Modell-Referenz 47
 - Parametrisierbare Modelle 51
 - Registrierung 51
 - Schematic"-Modelle 49
 - Subcircuit-Modelle 49
- Modulfertigung 10
- Modultest 10
- Monolithisch integrierte Schaltungstechnik 21
- MOS-Schalter 551
- MSB 550
- Multi-Emitter-Transistor 342
- Musteraufbauten 34
- Musterfertigung 10
- Musterprüfung 14

N

- Nachregistrierung 39
- Netzknoten 7
- Netzliste 39, 43, 46, 47
- Netzwerkanalysator 35
- Newton-Methode 89
- Nichtlineare Schaltungen 80
- NMOS-Inverter 397, 403
- mit ohmscher Last 403
 - mit selbstleitendem NMOS-Transistor als Last 409
 - mit selbstperrendem NMOS-Transistor als Lastkreis 407

O

- Offsetverhalten 162, 447
- Operationsverstärker 223
- AC - Parameter 224
 - Analog-Addierer 244
 - Analoge Integratoren 248
 - Ausgangsaussteuerbarkeit 226
 - Ausgangsoffsetspannung 230, 233
 - Aussteuerparameter 224
 - Datenblatt 228
 - DC -Parameter 224
 - Eingangsoffsetspannung 225
 - Eingangsoffsetstrom 225
 - Eingangsruhestrom 223
 - Gegentaktansteuerung 223
 - Gegentaktverstärkung 223, 224
 - Gesamttauschspannung 237
 - Gleichtaktansteuerung 223
 - Gleichtaktunterdrückung 229
 - Gleichtaktunterdrückungsverhältnis 225
 - Makromodell 227

- maximaler Ausgangsstrom 226
- Offsetkompensation 236
- Rauschen 236
- Ruhestromkompensation 235
- Slew - Rate - Parameter 224
- Slew-Rate Verhalten 238
- Strombegrenzung 228
- Symbol 227
- Versorgungsparameter 224
- Versorgungsspannungsempfindlichkeit 225
- VHDL-AMS Modell 240
- Optischer Empfänger 348, 534
- OP-Verstärker uA741
 - Abschätzanalyse 503
 - Arbeitspunkteinstellung 503
 - erste Stufe 504
 - Slew-Rate Verhalten 506
 - Treiberstufe 506
 - zweite Stufe 505
- Orcad-Lite/PSpice 67, 565
- Oszillator 2, 27, 30
 - AM/FM-modulierbar 350
 - Laufzeit-Prinzip 428
 - Negativ-Impedanz-Oszillator 350
 - Resonanzkreis-Oszillator 350
 - spannungsgesteuert 428, 519
- Oszilloskop 34
- Oxid-Kapazität 370

P

- Package 21, 47
- Parallegegenkopplung 208
- Parallelbergenger 152
- Parallelresonanzkreis mit Bandpasscharakteristik 126
- Part 47
- Passive Funktionsgrundsaltungen 117
 - Integrator und Differenziator 117
 - Kapazitiver Spannungsteiler 119
- Patent 435
- PCB 13
- PFD 527
- PFD Phasendetektor 520
- Phasendetektor 432, 519
 - Zustandsdiagramm 432
- Phasenrauschen 523
- Phasenregelkreis 519
- Phasenreserve 215, 220
- Phasenvergleich 430
 - VHDL-AMS Modellbeschreibung 525
- Photo/Ätztechnik 20
- Physical View 21

- Physikalischer Entwurf 10
- Pin-Namen am Symbol 52
- PLL-Schaltkreis 519
 - Anwendungen 533
 - Aufbau und Wirkungsprinzip 519
 - Fangbereich 528, 531
 - Fehlerübertragungsfunktion 530
 - Frequenzsynthese 535
 - Haltebereich 528
 - Loop-Filter 528
 - Phasenübertragungsfunktion 530
 - Phasenvergleich 525
 - Rauschsignalunterdrückung 522
 - Restphasenfehler 521
 - spannungsgesteuerter Oszillator VCO 522
 - Stabilität des Regelkreises 530
 - statisches Verhalten im Haltebereich 529
 - Systemverhalten 528
 - Ziehbereich 528
- PLL-Synthesizer 519
- pn-Übergang 68
 - Raumladungszone 68
 - Schwellspannung 68
- Potenzialverschiebung 481
- Power-Supplies 34
- Produktentwicklungsprozess 9
- Produktidee 10
- Propagation-Delays 540
- Property Editor 39
- Prototypenfertigung 13
- Prototypenverifikation 34
- Prototypfertigung 10
- PSpice
 - ABM-Library 44
 - ANALOG-Library 44
 - C - Kapazität 44
 - D - Diode 44
 - E, G, H, F 44
 - EVAL-Library 44
 - EValue 44
 - GValue 44
 - I - Stromquellen 45
 - J - Sperschichtfeldeffekttransistor 44
 - L - Induktivität 44
 - M - NMOS oder PMOS 44
 - Q - Bipolartransistor 44
 - R- Widerstand 44
 - S - Schalter 155, 418
 - SOURCE-Library 44
 - T - Transmissionline 44
 - V - Spannungsquellen 45

Q

Querschalter 336

R

Rail-to-Rail Verstärker 171

Rauschanpassung 185

Rauschen

- Kettenschaltung von Verstärkern 186

Rauschgrößen 174

- Amplitudenrauschen 174

- mittleres Rauschspannungsquadrat 175

- Phasenrauschen 174

- Rauschleistung 175

- spektrale Rauschleistungsdichte 174

- spektrale Rauschspannung 174

- thermisches Rauschen 174

- $V(\text{ONoise})$ 176

Rauschmessplatz 35

Rauschquellen 177

- frequenzabhängige Rauschspannungsquelle 177

- frequenzabhängige Rauschstromquelle 179

Rauschzahl 183

RC-Resonator 124

- Resonanzfrequenz 125

Receiver 16

Reference-Designator 43

Referenzbezeichner 43

Referenzspannung 142

Reflow-Löten 14

Reflow-Lötverfahren 20

Regelverstärker 514

Registrierung 39

requenzmoduliertes Signal

- Demodulation 148

- Modulationsfrequenz 148

- Modulationshub 148

- Trägerfrequenz 148

Resonanztransformator 351

Resonator 351

Rückgekoppelte Systeme

- Differenziator 216

- Spannungsfolger 213

Rückgekoppeltes System 188

- Frequenzgang 194

- Frequenzgangkorrektur 208, 210

- Phasenreserve 212

- Schleifenverstärkung 209

- Stabilitätsbetrachtung 208

Rückgekoppeltes System

- Verstärkungs-Bandbreiteprodukt 194

Rückkopplung 187

- Gegenkopplung 189

- offene Schleife 189

- Rückkopplungsfaktor 188

- Rückkopplungspfad 188

- Rückkopplungsschleife 190

- Schleifenverstärkung 188, 189

- Schwingbedingung 188, 190

Rückgekoppeltes System

- Schleifenverstärkung 194

S

Sägezahngenerator 557

Sample&Hold-Schaltungen 554

SAW-Resonator 350

Schaltdioden 555

Schalteranwendungen

- Abfallzeit 339

- Anstiegszeit 339

- Ausräumfaktor 339

- Einschaltverzögerung 339

- Längsschalter 342

- Speicherzeit 339

- Übersteuerungsfaktor 337

Schalter-Kondensator-Technik 423

- Integratorschaltung 427

- Ladungstransfer 423

- RC-Tiefpass 423

Schaltkreisfunktion 23

Schaltkreissimulation 36

Schaltkreissimulator 42

Schaltnetzteile 156

- Durchflusswandler 156

- primär getaktet 156

- Schalttransistor 156

- sekundär getaktet 156

- Sperrwandler 156

- Wirkungsgrad 157

Schaltplan 17

Schaltplaneingabe 38, 42

Schalttransistor 156, 339

Schaltungsanalyse 42

Schaltungsentwicklung 9

Schematic 37

Schematic-Modelle 49

Schematic-View 52

Schleifenverstärkung 188

Schmitt-Trigger 255

- Hysterese 255

- Schaltschwellen 256

Schottky-Dioden 555

Schrotrauschen 177

Schutzrechte 435

Schutzschaltungen 154
 Schwall-Löten 14
 Schwingbedingung
 - Selbsterregungsfrequenz 192
 SC-Technik
 - Switched-Capacitor-Technik 423
 Selektionskreise 27
 Sensorelektronik 19, 434
 Sensorverstärker 243
 - Brückenverstärker 243
 Seriengegenkopplung 208
 Setup 37
 Set-Up-Zeiten 540
 Signale 3
 - binäre 3
 - deterministische 3
 - nichtdeterministische 3
 - Rauschgrößen 3
 - Signalgeneratoren 4
 - Signalquelle 3
 - sinusförmige 4
 - zeitdiskretisierte 3
 - Zufallssignale 3
 Signalquellen 34, 43, 44
 - spannungsgesteuerte Spannungsquelle 7
 - trapezförmige Impulsquelle 45
 - unabhängige Signalquellen 6
 - VPULSE 46
 - VSIN 46
 Signal-zu-Rauschleistungsverhältnis 173, 183
 Simulation Profile 39, 42
 sinusförmige Wechselspannung 4
 - Effektivwert 5
 - Gleichspannungsanteil 4
 - Nullphasenwinkel 5
 - Wechselspannungsamplitude 4
 Slew-Rate-Parameter 226
 SMD 20
 Sourcegekoppelte Differenzstufe 466
 Spannungsfolger 213, 512
 spannungsgesteuerter Halbleiterschalter 156
 Spannungsgesteuerter Oszillator (VCO) 428
 Spannungsgesteuerter Schalter 336
 Spannungsregler 138
 Spannungsstabilisierungsschaltung 142
 Spannungsverdopplerschaltungen 139
 Spannungsvervielfacherschaltungen 140
 Spektralanalyse 34
 Spektraldarstellung 34
 Spektrumanalysator 34
 Sperrwandler 156, 159
 Spezifikation 9
 Spice 48, 565

Steilheit 167
 Steilheitsmischer 517
 Stimuli-Beschreibung 544
 Störimpulse 551
 Störspannung 30
 Stromflusswinkel 136, 485
 Stromspiegel 454
 Stückliste 13, 43
 Subcircuit-Modelle 49
 Subsystementwicklung 12
 Subsystementwurf 9
 Suchindex (*.ind) 51
 Symbol 21
 - Attribute 52
 - Pin 52
 - Pin-Namen 52
 - Symbolkörper 52
 Symbol Editor 37
 Symbol Library 38, 43
 - ABM 43
 - ANALOG 44
 - EVAL 44
 - SOURCE 44
 - USER 44
 Symbolische Beschreibung 43
 Symbolpins 44
 Systemaufteilung 9
 Systementwicklung 10
 Systementwurf 9
 Systemintegration 15
 Systemkonstruktion 9
 Systemprüfung 10
 Systemsimulation 10
 Systemtest 10
 SystemVision 565

T

Tachometerschaltung 248
 Taktrückgewinnung 519, 534
 Taktsignalsynchronisation 519
 Teilelogistik 13
 Testadapter 35
 Testbench 34, 42
 Testplatine 35
 Thermometercode 563
 Tiefpass 133
 - Angepasst 132
 Timing-Modell 540
 Torzeit 557
 Trace Expression 41
 TR-Analyse 36, 84
 - Abbruchschranke 87

- adaptive Schrittweitensteuerung 87
- Algorithmus 86
- Einstellungen 85
- Initial Conditions 86
- Iterationsschritt 88
- Maximalschrittweite 87
- Zeitschrittweite 86
- Transimpedanzbeziehung 204, 228, 286, 396
- Transimpedanzverstärker 434
- Transistorschalter 155
- Transmitter 16
- Transportsättigungssperrstrom IS 70
- Treiberstufen 484
- A-Betrieb 485
- A-Betrieb mit gesteuerter Stromquelle 493
- Komplementäre Emitterfolger im AB-Betrieb 499
- Komplementäre Emitterfolger im B-Betrieb 497
- Wirkungsgrad 490
- Treppengenerator 244
- TriState-Ausgang 527
- TTL 537
- LS 537
- TTL-Inverter 343
- TTL-Schaltkreistechnik 342

U

- Überlagerungsempfänger 27
- Überlagerungssatz 6
- Übersteuerungsstrom ICÜ 337
- Übertrager 123
- Gegeninduktivität 123
- gekoppelte Induktivitäten 123
- Kernmaterial 123
- Koppelfaktor 123
- Übersetzungsverhältnis 123
- UKW-Übertragungssystem 148

V

- Value-Attribut 52
- Varaktordiode 74
- VCO
- Makromodell 523
- VHDL-AMS Modellbeschreibung 524
- VCO-Konstante 523
- VDE-Vorschriften 15
- Vektorvoltmeter 35
- Versorgungsimpedanz 30
- Versorgungsspannungsquellen 34
- VHDL 53, 539

- Architecture 542
- Component Instantiation 55, 543
- Concurrent Signal Assignment 55, 543
- D-FlipFlop 542
- Entity 542
- Entity Generic-Attribute 542
- Entity Port-Deklaration 542
- Process 55, 542
- Strukturmodell 542
- Strukturmodelle 55
- Verhaltensmodell 542
- Verhaltensmodelle 55
- VHDL-AMS 53
- Architecture 59
- Beschreibung einer Testschaltung 60
- Branch Quantities 57
- charakteristische Beziehungen 55
- Entity 58
- Entity Port-Declaration 62
- Entity-Declaration 61
- Flussgrößen 55
- Free Quantities 58
- free QUANTITY 55
- Generic-Attribute 58
- konservative Systeme 55
- Libraries und Packages 57
- Modellbeschreibung der Testbench für die Diodenschaltung 63
- Modellbeschreibung einer DC-Quelle 63
- Modellbeschreibung einer DCsweep-Spannungsquelle 64
- Modellbeschreibung einer Diode (level0) 62
- Modellbeschreibung eines realen Widerstandes 65
- Modellbeschreibung eines Widerstandes 61
- Modellbeschreibung für eine Testbench 67
- Nature 56
- nichtkonservative Systeme 55
- Quantity-Attribute 58
- Simultaneous Case Statement 60
- Simultaneous Procedural Statement 60
- Simultaneous Statements 59
- Terminals 56
- through QUANTITY 55
- Verhaltensmodell einer AC-Spannungsquelle 66
- Verhaltensmodell einer Diode 79
- VHDL-Modell mit Testbench 542
- Video-Testsignale 244
- Virtuelle Induktivität 253
- Vorselektion 27
- Vorserie 10
- Vorverstärker mit Verstärkungsregelung 27

W

Wärmeflussanalyse 111

- Gesamtverlustleistung 112
- Junction 112
- Lastminderungskurve 112
- Leistungsbilanz 111
- Nennverlustleistung 112
- Pulsleistung 116
- Thermische Ersatzschaltung 113
- Verlustleistung 114
- Wärmekapazität 113
- Wärmeübergangswiderstand 113
- Wärmeverlustleistung 111
- Wärmewiderstand im Pulsbetrieb 115

Wärmeverlustleistung 111

Waveform-Analyzer 40

Wechselspannungsamplitude 4

Wilson-Konstantstromquelle 474

Wirbelstromverluste 434

Wirkungsgrad 490, 499

Workspace 37, 51

Z

Zeigerdiagramm 5

Zenerdiode 142

ZF - Filter 27

ZF-Verstärker 28

Zieltechnologie 13

Zweigimpedanz 7

Zweigströme 7

Zwischenfrequenzlage 27